

République Algérienne Démocratique et Populaire

Ministère de l'Enseignement Supérieur et de la Recherche
Scientifique

Université Mohammed Seddik BENYAHIA -Jijel-
Faculté des Sciences et de la Technologie



Projet

Présenté pour l'obtention du diplôme de **MASTER**
En : **Télécommunications**
Option : **Systèmes des Télécommunications**

Thème

**Modélisation Hyperfréquence des
Transistors MOS : Utilisation de Différents
Schémas Electriques Equivalents**

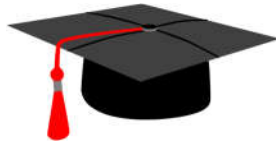
Réalisé par :

Mlle. Madina BENAZIZA
Mlle. Messaouda BOUDOUDA

Proposé par :

Dr. Mohammed TAMOUM

Promo : 2020/2021



Remerciements

Nous remercions Allah dieu tout-puissant de nous avoir accordé la santé, la capacité et la patience pour mener à bien ce projet, de nous avoir guidé vers le droit chemin et nous avoir aidé tout au long de nos années d'étude.

Tout d'abord, nous adressons notre profond remerciement et respect à notre encadreur M. TAMOU, pour son encadrement de qualité, sa motivation professionnelle, ses conseils et critiques constructifs, ses corrections, sa gentillesse et sa patience ainsi pour le temps qu'il a consacré à la réalisation de ce travail.

Nous exprimons notre reconnaissance à nos enseignants de l'université de Tijel qui ont si bien mené leur noble métier.

Nos vifs remerciements aux membres du jury pour l'honneur et l'amabilité d'avoir bien voulu accepter de juger ce travail.

Merci aussi à nos amis et camarades de promotion pour leur soutien et encouragement qu'ils nous ont apporté.

Sans oublier tous ceux qui ont contribué de près ou de loin à la réalisation de ce modeste travail, en particulier nos familles pour leur soutien.



Dédicace :

Je dédie ce modeste travail à :

Mes chers parents, pour tous leurs sacrifices, leur amour, leur tendresse, leur soutien et leurs prières tout au long de mes études.

Aucune dédicace ne saurait exprimer mes sentiments. Merci mes parents, que dieu vous protège pour moi.

*A ma chère sœur **Amina** et son mari et mes petites nièces les plus chères de mon cœur, **Rana** et **Lyne**.*

*A mes chers frères, **Ramzi**, **Mehdi** et **Arslane** et mes belles sœurs et leurs enfants, **Barae** et **Djad**.*

A toute ma famille pour leur soutien tout au long de mon parcours universitaire.

Que ce travail soit l'accomplissement de vos vœux tant allégués, et le fruit de votre soutien infailible.

Merci d'être toujours là pour moi.

*A ma chère binôme et amie **Messaouda**.*

*A mon âme sœur **Naziha** et mes chères cousines **Meriem**, **Hadjer**, **Farah** et **Ikram**.*

A tous mes chères amies chacun par son prénom qui m'ont toujours aidées et soutenue.

Finalement, un spécial dédicace à tous mes collègues de promo des systèmes des Télécommunications.



Dédicace :

Je dédie ce modest travail :

A mes chers parents, source de vie, d'amour et d'affection.

A mon père, qui a toujours été présent pour moi, qui a consacré sa vie pour ma réussite et qui a cru en moi.

A ma mère, qui m'a entouré avec son amour, sa prière, pour son assistance et sa compréhension tout au long de mes études.

Aucune dédicace ne saurait exprimer mes sentiments. Merci mes parents, que dieu vous protègent pour moi.

A ma chère grand-mère.

A mes chers frères : Redouane, Mohammed, Ismail, Brahim, Moussa, Sifeddine et leurs femmes et leurs enfants.

A mes chères sœurs : Abla, Fatima, Khadidja et leurs maries et leurs enfants.

A mon fiancé Mohammed et sa famille.

A ma chère binôme et amie Madina.

A mon âme sœur Yasmine, et à tous mes copines.

A mes proches et ma grande famille.

A tous mes amies d'étude et mes collègues de promo des systèmes des Télécoms.



Liste des abréviations et acronymes

AC	Alternatif Current
ADS	Advanced Design System
BiCMOS	Bipolar CMOS
BJT	Bipolaire Junction Transistors
BSIM	Berkeley Short-channel IGFET Model
CAO	Conception Assistée par Ordinateur
CMOS	Complementary Metal Oxide Semiconductor
CMS	Composants Montés en Surface
DC	Direct Current
DMOS	Diffused Metal Oxide Semiconductor
D-MOSFET	MOSFET à appauvrissement (Depleted MOSFET)
E-MOSFET	MOSFET à enrichissement (Enhanced MOSFET)
FET	Field Effect Transistor
GaAs	Arséniure de Gallium
GaN	Gallium Nitride
GPS	Global Positioning System
GSM	Global System for Mobile Communications
Im	Imaginaire
ISM	Industriel, Scientific, & Medecal radio frequency band
LDD	Lightly Doped Drain
LDMOS	Laterally Diffused Metal Oxide Semiconductor

LDMOSFET	L aterally D iffused M etal O xide S emiconductor F ield E ffect Transistor
LNA	L ow N oise A mplifier
MMIC	M onolithic M icrowave I ntegrated C ircuits
MOS	M etal O xide S emiconductor
MOSFET	M etal O xide S emiconductor F ield E ffect T ransistor
NMOSFET	Transistor MOSFET ayant un canal de type N
PMOSFET	Transistor MOSFET ayant un canal de type P
PN	Jonction PN
Re	R éel
RF	R adio F réquence
S2P	Matrice S de 2 P ort
Si	S ilicium
SiO₂	D ioxyde de S ilicium
SP	S urface P otential
SPICE	S imulation P rogram with I ntegrated C ircuit E mphasis
TEC	T ransistor à E ffet de C hamp
UMTS	U niversal M obile T elecommunications S ystem
VDMOS	V ertically D iffused M etal O xide S emiconductor
VNA	V ectoriel N etwork A lyser
Wi-Fi	W ireless F idelity
WiMax	W orld I nteroperability for M icrowave A ccess

Liste des Symboles

Symbole	Unité	Définition
a_1		Puissance d'onde électromagnétique transverse incidente au port 1
a_2		Puissance d'onde électromagnétique transverse incidente au port 2
b_1		Puissance d'onde électromagnétique transverse réfléchie au port 1
b_2		Puissance d'onde électromagnétique transverse réfléchie au port 2
C_{ds}	F	Capacité drain-source
C_{dsp}	F	Capacité du boîtier entre le drain et la source
C_{gd}	F	Capacité grille-drain
C_{gs}	F	Capacité grille-source
C_{gsp}	F	Capacité du boîtier entre la grille et la source
C_{pd}	F	Capacité de plots du drain
C_{pg}	F	Capacité de plots de la grille
f	Hz	Fréquence
G_d, g_d, g_{ds}	Ω^{-1}	Conductance du drain
g_m	Ω^{-1}	Transconductance
I_1	A	Courant d'entrée
I_2	A	Courant de sortie
I_{ds}, I_d	A	Courant drain-source
I_{dsat}	A	Courant drain-source à la saturation ($V_{ds} = V_{dsat}$)
I_{gd}	A	Courant grille-drain
I_{gs}	A	Courant grille-source
I_{off}	A	Courant de fuite
L	cm	La longueur du canal entre le drain et la source
L_d	H	Inductance d'accès du drain
L_{dp}	H	Inductance du boîtier, coté drain
L_{eff}	cm	Longueur effective du canal
L_g	cm	Longueur de la grille
L_g	H	Inductance d'accès de la grille
L_{gp}	H	Inductance du boîtier, coté grille
L_s	H	Inductance d'accès de la source
N		Concentration d'électron
N^+		Zone type N fortement dopée
N_a	cm^{-3}	Dopage du substrat

P		Concentration de trou
P⁺		Zone type P fortement dopée
P₁		Puissance d'entrée
P₂		Puissance de sortie
Q_d	C	La charge accumulée sous l'électrode du drain
Q_g	C	La charge totale stockée sur la grille
R_d	Ω	Résistance d'accès du drain
R_g	Ω	Résistance d'accès de la grille
R_{gd}	Ω	Résistance grille-drain
R_i	Ω	Résistance intrinsèque liée aux effets non-quasi statiques
R_s	Ω	Résistance d'accès de la source
[S]		Matrice- S
S_{ij}		Paramètres de répartition (S : Scattering) d'indice <i>i</i> et d'un multipole
[S_{Mes}]		Matrice- S mesurée
T_{ox}	cm	Epaisseur de l'oxyde
V₁	V	Tension d'entrée
V₂	V	Tension de sortie
V_b	V	Tension de polarisation appliquée au substrat
V_d	V	Tension de polarisation appliquée au drain
V_{ds}	V	Différence de potentiel drain-source
V_{dsat}	V	Différence de potentiel drain-source dans la région de saturation
V_g	V	Tension de polarisation appliquée à la grille
V_{gd}	V	Différence de potentiel grille-drain
V_{gs}	V	Différence de potentiel grille-source
V_{gsoff}	V	Tension de blocage
V_t, V_{th}	V	Tension de seuil
W	cm	Largeur du canal
W_{eff}	cm	Largeur effective du canal
X_j	cm	Profondeur des jonctions métallurgiques
[Y]		Matrice- Y
[Y_i]		Matrice- Y intrinsèque
[Y_{Mes}]		Matrice- Y mesurée
[Z]		Matrice- Z
Z_c		Impédance caractéristique
[Z_e]		Matrice- Z extrinsèque
[Z_{Mes}]		Matrice- Z mesurée
ω		Pulsation

Sommaire

Introduction Générale	1
-----------------------------	---

Chapitre I

Le Transistor MOS et son Utilisation en Hyperfréquences

1. Introduction	3
2. Le Transistor MOS	4
2.1. Description.....	4
2.2. Principe de base et structure du transistor MOS	4
3. Types de transistor MOS	6
3.1. Transistor MOS à canal N	6
3.2. Transistor MOS à canal P	7
3.3. MOSFET à appauvrissement D-MOSFET	7
3.4. MOSFET à enrichissement E-MOSFET	7
3.5. Conditions de conduction.....	8
4. Régimes de Fonctionnement.....	10
4.1. Régime bloqué (Accumulation)	10
4.2. Régime d'inversion	10
a) Régime linéaire	11
b) Régime de saturation	11
5. Caractéristiques statiques du transistor MOS	12
6. Les transistors MOS pour les Hyperfréquences (LDMOS)	12
7. Conclusion	14

Chapitre II

Modélisation du Transistor LDMOS en Hyperfréquences

1. Introduction	15
2. Objectif de la modélisation	15
3. Exigences de la modélisation.....	16
4. Types de modélisation.....	18
4.1. Modélisation physique	18
4.2. Modélisation phénoménologique ou (empirique).....	19
4.3. Modélisation à base de données expérimentales (ou par tables)	20
5. Choix de la modélisation	20
6. Méthodologie suivie dans notre travail	22
7. Conclusion	23

Chapitre III

Caractérisation Electrique du Transistor LDMOS

1.	Introduction	24
2.	Schéma équivalent électrique	24
2.1.	Eléments du boîtier	26
2.2.	Eléments extrinsèques	27
2.3.	Eléments intrinsèques	28
2.4.	Facteurs d'échelle.....	30
2.5.	Mesures hyperfréquences.....	31
3.	Détermination des éléments électriques du modèle.....	33
3.1.	Extraction des éléments du boîtier	33
3.2.	Extraction des éléments extrinsèques	34
a)	Calcul analytique	34
b)	Optimisation.....	35
c)	Simulation électromagnétique	35
d)	Méthode statique.....	35
e)	Le FET « froid » (Cold FET)	35
3.3.	Extraction des éléments intrinsèques	41
4.	Conclusion.....	45

Chapitre IV

Comparaison des Résultats et Interprétations

1.	Introduction	46
2.	Nécessité de la simulation	46
3.	Logiciel de simulation ADS	47
4.	Techniques de simulation.....	47
5.	Intégration du schéma équivalent dans le simulateur.....	48
5.1.	Paramètres S mesurés.....	49
5.2.	Paramètres S simulés	51
6.	Validation du model	52
7.	Présentations des modèles à étudier et intégration des schémas dans le logiciel ADS après extraction de leurs éléments	54
7.1.	Schéma équivalent 2	54
7.2.	Schéma équivalent 3	56
7.3.	Schéma équivalent 4	59
7.4.	Schéma équivalent 5	63
7.5.	Schéma équivalent 6	65
8.	Comparaison entre les paramètres S mesurés et simulés des différents schémas équivalents	70
9.	Conclusion	77
Conclusion Générale.....		78

Introduction générale

Introduction générale

Le marché des télécommunications a connu un essor sans précédent au cours de ces dernières années. Il présente la principale source de développement et de croissance pour plusieurs pays où il prend une place importante dans la vie quotidienne des citoyens, à commencer par le téléphone portable (**GSM**, **UMTS**), les réseaux sans-fil (**Wifi**, **Bluetooth**, bande **ISM**, **WiMax**), les radars, localisation **GPS** et autres produits grand public. Toutes ces applications font partie intégrale du domaine des radiofréquences (**RF**), qui est à son tour fortement lié à l'évolution continue d'autres secteurs, entre autre, la filière de la nanoélectronique et en particulier celle des transistors [1].

Au cours de ces vingt dernières années, une avancée émouvante a été notée dans l'industrie des semi-conducteurs, les chercheurs et industriels ont dévoué une énergie remarquable en proposant de nombreux dispositifs de haute performances et des technologies d'implémentation concurrentes.

Adaptés aux technologies de pointe telles que la technologie **CMOS** (**Complementary Metal Oxide Semiconductor**), les transistors à effet de champ (**Field-Effect Transistors** ou **FET**) ont constitué un centre d'intérêt où plusieurs configurations ont été proposées. On peut citer, les transistors **MOSFET** (**Metal Oxide Semiconductor Field Effect Transistors**) de dernière génération connus par leur rapidité et leur faible consommation de puissance [2, 3]. Outre la technologie, le type de matériau impliqué dans l'intégration de ces dispositifs, joue également un rôle essentiel dans les performances ciblées. C'est ainsi que le silicium (**Si**) et l'arséniure de gallium (**Gallium Arsenide** ou **GaAs**) rivalisent avec le nitrure de gallium **GaN** (**Gallium Nitride**) pour les applications haute fréquence. En conséquence, une variété de transistors naissait grâce à la diversité de ces substrats de base [1].

Différentes structures **MOS** sont utilisées aujourd'hui : **VDMOS** (structures Vertical), **LDMOS** (structures Latéral), Drift **MOS** ou **MOS** à extension de drain. Le choix entre ces différentes familles se fait sur des critères de performance et de coût économique. Pour la simulation hyperfréquence on préfère utiliser des transistors **LDMOS** (**Laterally Diffused MOS**) de puissance qui sont disponibles généralement encapsulés en boîtier.

La caractérisation et la modélisation électriques sont également spécifiques pour couvrir tous les aspects lors du fonctionnement de ces dispositifs. Il faut, par exemple, caractériser correctement le phénomène d'auto-échauffement qui survient lorsque le dispositif dissipe de la puissance. La modélisation électrique doit ensuite permettre de reproduire, aussi fidèlement que possible, ce comportement électrique [4].

Ce travail se déroule sur la modélisation et la caractérisation du transistor **LDMOS** en hyperfréquence par le simulateur **ADS (Advanced Design System)** en utilisant différents schémas équivalents électriques. Notre mémoire est divisé en 4 chapitres :

Dans le 1^{er} chapitre, nous rappelons les notions de base nécessaire à la compréhension du transistor **MOSFET** et ses caractéristique principales en précisant sa structure et son principe de fonctionnement. Nous terminons par une vue globale du transistor **MOS** en hyperfréquence tout en déterminent le type des transistors **MOS** utilisés dans ce domaine et qui est le **LDMOS**.

Le 2^{ème} chapitre décrira la modélisation, nous montrons les exigences de la modélisation, ses différents types ainsi que leurs avantages et inconvénients sur lesquelles nous nous sommes basés pour choisir particulièrement la modélisation phénoménologique ; enfin nous allons présenter la méthodologie à suivre pendant notre travail.

Dans le 3^{ème} chapitre, nous nous intéressons à la caractérisation hyperfréquence du transistor **LDMOS**, nous décrivons le schéma équivalent qui est composé de trois parties : les éléments intrinsèques, les éléments extrinsèques et les éléments de boîtier. Ensuite, nous allons expliquer la méthode d'extraction développée par **G. DAMBRINE** qui est basée sur des transformations successives des paramètres **S** en paramètres **Z** ou **Y**. Elle nous permet de déterminer la valeur de chaque élément.

Le 4^{ème} chapitre est consacré à l'implémentation de plusieurs modèles électriques dans le simulateur **ADS**, pour faire une série des comparaisons entre la simulation et la mesure des paramètres **S** des différents schémas équivalents, afin de vérifier leur validation. L'objectif final est de choisir le meilleur de ces différents schémas en se basant sur la précision et/ou la simplicité du modèle.

Enfin, nous terminerons par une conclusion générale et des perspectives.

Chapitre 1 :

Le Transistor MOS et son Utilisation en Hyperfréquences

1. Introduction

Les technologies **MOS** et bipolaire sont les deux grandes familles de l'électronique. Compte tenu de facteurs tels que la rapidité lors de la commutation, la faible consommation, etc..., la technologie unipolaire **MOS** est la plus utilisée que ce soit pour la logique ou l'électronique de puissance. Cette préférence a motivé le choix d'étudier les transistors **MOS** [5].

Le transistor **MOS** à effet de champ ou transistor **MOSFET** dont la conception théorique est énoncée pour la première fois en 1925 par **J.E Lilienfeld**. Ce n'est qu'en 1947 avec les travaux de **J. Bardeen**, **W. Brattain** et **W. Shockly** que le premier transistor bipolaire à base de germanium fut alors fabriqué. Cependant, la difficulté d'obtenir des oxydes de germanium stables (qui reste encore aujourd'hui un problème majeur pour le développement des composants à base des matériaux à forte mobilité), nécessaires au bon fonctionnement des transistors **MOSFET**. Alors le développement des composants à base de silicium [6, 7].

En 1960 **Kahng** et **Atalla** ont présenté le premier transistor **MOS** sur silicium en utilisant une grille isolée dont le diélectrique de grille était en oxyde de silicium **SiO₂**. Le silicium fut un choix très judicieux. Car son oxyde est non seulement un très bon isolant électrique mais il s'est aussi révélé parfaitement adapté pour former des couches dites de passivation protégeant les circuits, accroissant remarquablement leur fiabilité. Ces transistors sont plus simples et moins chers que leurs concurrents bipolaires, mais intrinsèquement moins performants à génération technologique équivalente, ont connu leur essor dans les années 70-80 grâce à la technologie **CMOS** basée sur l'utilisation de deux types de transistors complémentaires (**NMOSFET** et **PMOSFET**) inventée en 1968 qui consomme très peu d'énergie [8].

Le transistor **MOSFET** est le dispositif semi-conducteur le plus utilisé à la base de chaque circuit analogique ou numérique. Il est présent en forte densité dans des circuits intégrés comme les microprocesseurs ou les mémoires [9].

Ce chapitre comprend une étude générale sur les compréhensions de base du transistor **MOS**, son principe de fonctionnement, ses régimes de fonctionnement ainsi que ses caractéristiques statiques. À la fin de ce chapitre, on a introduit tout d'abord la

nécessité d'utiliser le transistor **MOS** dans les hyperfréquences puis nous allons mis en œuvre le cas du transistor **LDMOS** avec ses caractéristiques.

2. Le Transistor **MOS**

2.1. Description

Le transistor **MOS** est un transistor à effet de champ, constitué d'un substrat semi-conducteur (B) recouvert d'une couche d'oxyde sur laquelle est déposée l'électrode de grille (G). Par le biais d'une différence de potentiel appliquée entre grille et substrat, on crée, dans le semi-conducteur, un champ électrique qui a pour effet de repousser les porteurs majoritaires loin de l'interface oxyde-semi-conducteur et d'y laisser diffuser des minoritaires venus de deux îlots de type complémentaire au substrat, la source (S) et le drain (D). Ceux-ci forment une couche pelliculaire de charges mobiles appelée canal [10].

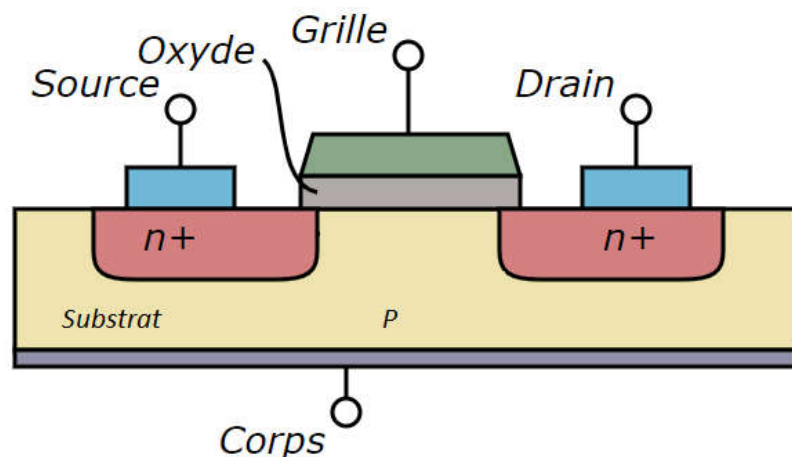


Figure I.1 : Schéma simple d'un **MOSFET** [11]

2.2. Principe de base et structure du transistor **MOS**

Le principe de fonctionnement d'un transistor **MOSFET** repose sur l'effet de champ, ou la densité locale des charges mobiles dans le semi-conducteur est modulée électrostatiquement par :

- Application d'une différence de potentiel entre la grille et la source V_{gs} . Cette différence de potentiel crée des charges d'inversion (porteurs minoritaires) à la surface du semi-conducteur par un effet de champ transversal à travers le diélectrique.

- Application d'une différence de potentiel entre la source et le drain V_{ds} . Cette différence de potentiel permet la circulation des porteurs minoritaires entre la source et le drain et crée ainsi un courant de drain I_d .

Si la tension V_g appliquée est inférieure à un potentiel appelé tension de seuil V_{th} (Threshold Voltage), le transistor est bloqué et aucun courant ne circule entre la source et le drain comme le montre la **Figure I.2 a**. Cependant, si V_{gs} est égal ou supérieur à V_{th} , les porteurs minoritaires sont modulés verticalement à la surface du semi-conducteur, et une région appelée canal est formée sur l'interface oxyde/semi-conducteur. Les porteurs minoritaires peuvent également être modulés horizontalement en appliquant une tension V_{ds} , et formant ainsi un courant de drain qui circule entre le drain et la source, comme indiqué dans la **Figure I.2 b** [12].

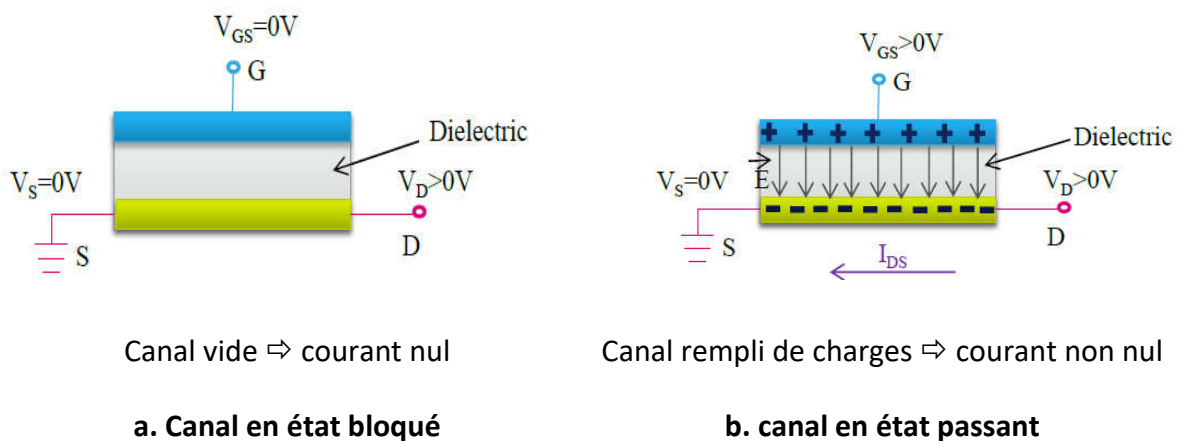


Figure I.2 : Effet de champ dans un transistor **MOS** [12]

Le dopage du canal N_a , la profondeur X_j des jonctions source et drain, la longueur de masque L entre drain et source, la largeur de masque W et l'épaisseur T_{ox} de l'oxyde de grille sont les paramètres caractéristiques d'un transistor **MOSFET** conventionnel. Avec la réduction de la taille du transistor, la différence entre la longueur du masque L et la longueur effective L_{eff} n'est plus négligeable (**Figure I.3**). De même pour la largeur effective du canal W_{eff} [7].

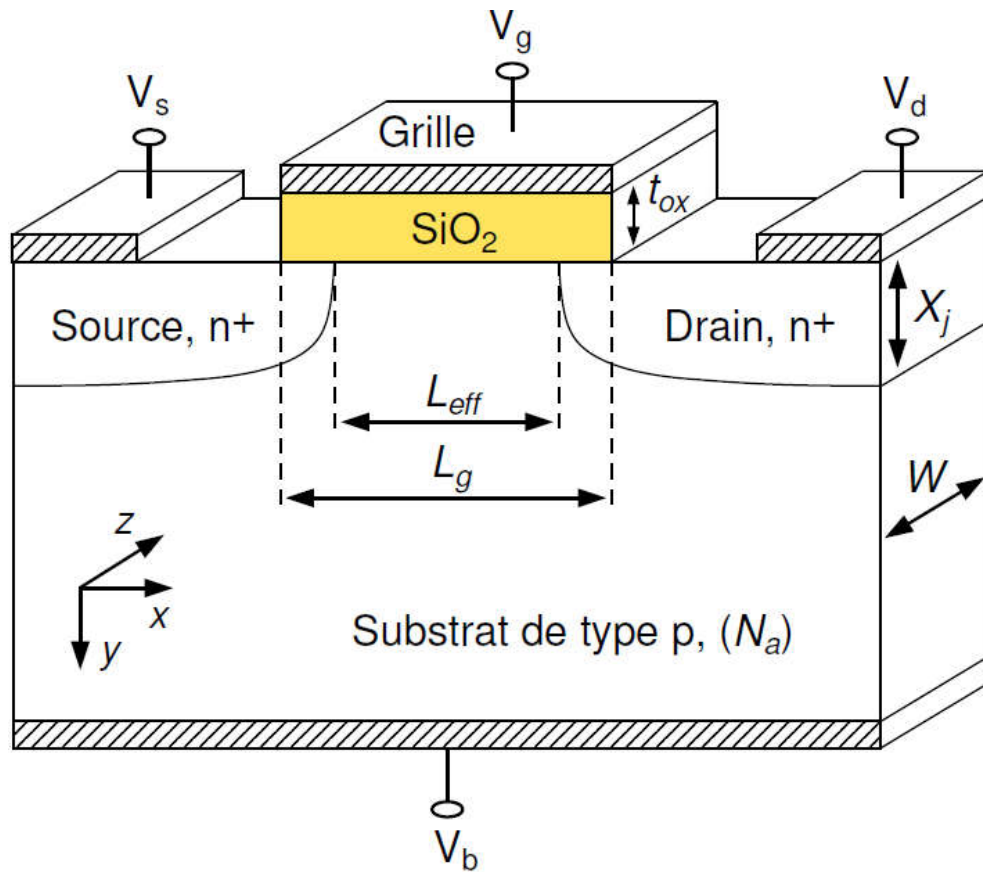


Figure I.3 : Architecture d'un transistor **NMOS** [13]

3. Types de transistor MOS

3.1. Transistor MOS à canal N

Dans le cas des **NMOS** (Figure I.4) la grille est polarisée par une tension V_{gd} positive, afin de créer une zone de déplétion peuplée d'électrons à l'interface SC/Isolant. La source et le drain sont reliés par un canal formé d'électrons. La différence de potentiel entre le drain la source qu'on l'appelle V_{ds} et positive, le sens du courant se fait de la source vers le drain [14].

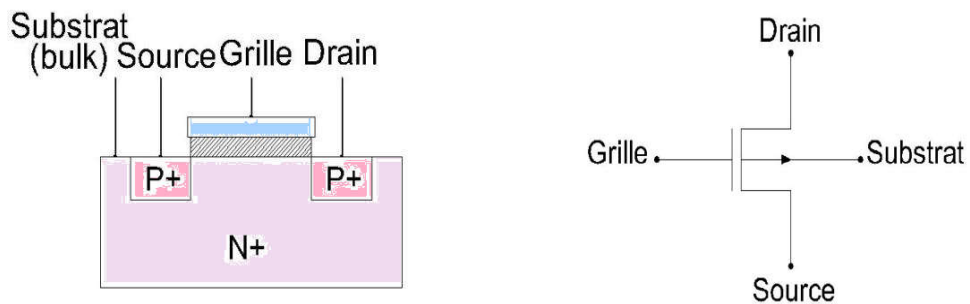


Figure I.4 : Transistor **MOS** à canal N

3.2. Transistor MOS à canal P

Pour les transistors à canal **P** (**Figure I.5**), la grille est négativement polarisée, la zone de déplétion à l'interface SC/Isolant est peuplée par des trous, le canal de conduction est formé de trous et la tension V_{ds} doit être négative pour drainer ces trous. Le courant circule dans le même sens du déplacement des trous soit alors de la source vers le drain [14].

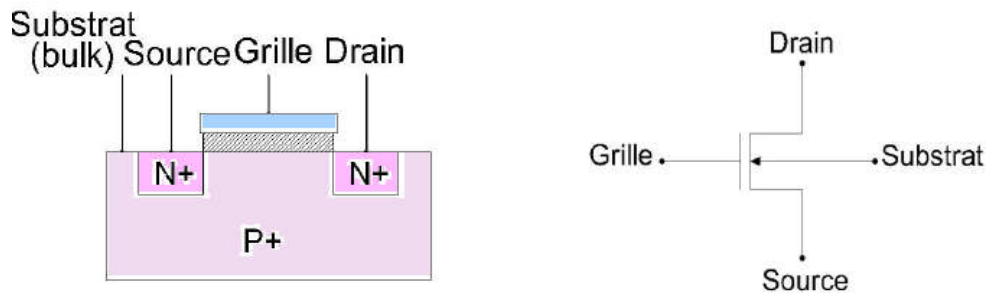


Figure I.5 : Transistor MOS à canal P

3.3. MOSFET à appauvrissement D-MOSFET

Pour un **MOSFET** à appauvrissement, les deux régions créées sont fortement dopées de type **N** et jouent le rôle de réservoirs d'électrons. Ce sont la source et le drain. Dans le **MOS** à appauvrissement une zone supplémentaire de type **N** est créée entre la source et le drain lors des processus de fabrication. Ces transistors sont appelés aussi transistor **MOS** à canal enterré.

Ces transistors sont passants sans l'application de la tension de commande V_g (normally on), ils deviennent de moins en moins conducteurs au fur et à mesure que la tension de commande augmente pour se bloquer finalement au-delà d'une tension appelée V_{gsoff} [14].

3.4. MOSFET à enrichissement E-MOSFET

Les transistors à enrichissement ne comportent pas ce canal lors de sa fabrication. Ils sont bloqués sans l'application de tension de commande (normally off), ils deviennent passant à partir d'une tension de commande bien déterminée appelée tension de seuil V_t . Cette tension entraîne l'inversion de la nature du substrat sous la grille [14].

3.5. Conditions de conduction

Le canal conducteur existe si la tension de grille est supérieure (cas du transistor **NMOS**) ou inférieure (cas du transistor **PMOS**) à une tension de seuil V_{th} , et ça pour un transistor à enrichissement (**Tableau I.1**) [15].

Canal	Type	Porteurs	Condition de conduction
N	Enrichissement	Electrons	$V_{gs} > V_{th}$
N	Appauvrissement	Electrons	$V_{gs} < V_{gs\text{off}}$
P	Enrichissement	Trous	$V_{gs} < V_{th}$
P	Appauvrissement	Trous	$V_{gs} > V_{gs\text{off}}$

Tableau I.1 : Condition de conduction du **MOSFET** [15]

Voici un tableau résultant les différents types de transistor avec leurs caractéristiques de sorties et de transferts (**Tableau I.2**)

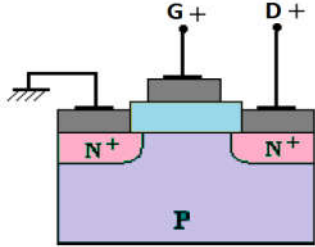
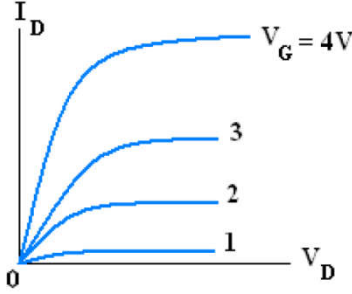
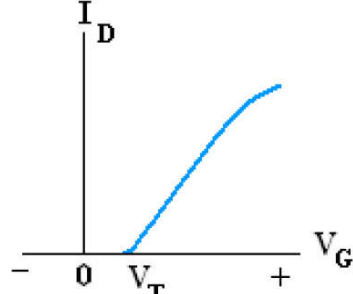
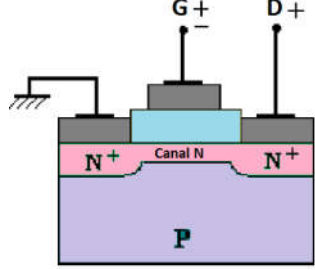
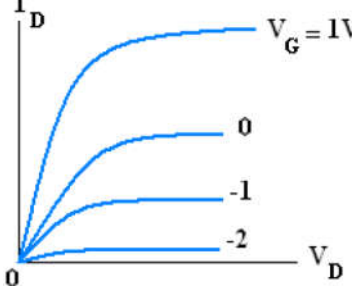
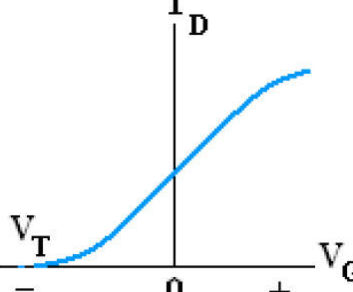
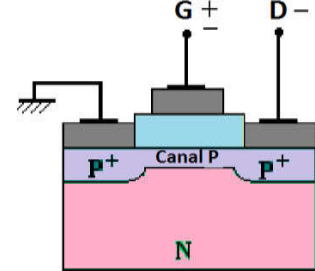
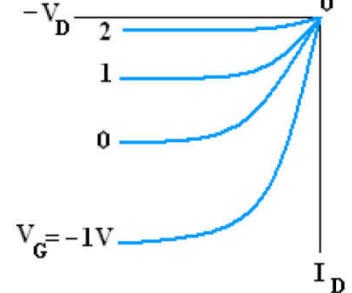
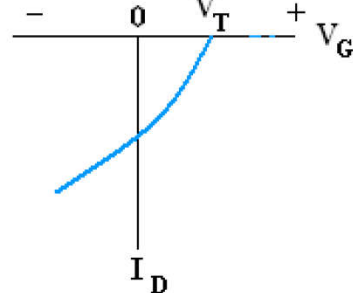
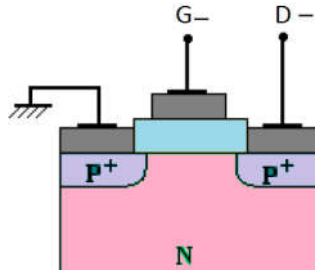
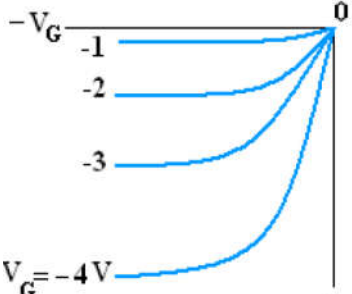
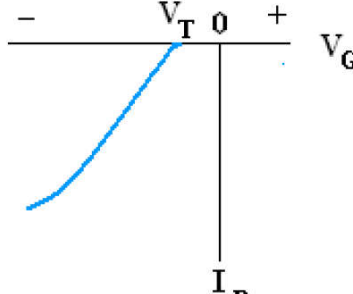
Types	Caractéristiques de sortie	Caractéristiques de transfert
<p>NMOSFET (normally off) à enrichissement</p> 		
<p>NMOSFET (normally on) à appauvrissement</p> 		
<p>PMOSFET (normally on)</p> 		
<p>PMOSFET (normally off)</p> 		

Tableau I.2 : Caractéristiques de sortie et de transfert des différents types de **MOSFET** [16]

4. Régimes de Fonctionnement

4.1. Régime bloqué (Accumulation)

Le régime bloqué représente l'état du composant en absence de polarisation de grille V_g . Le transistor **MOS** est alors représenté par deux jonctions **PN** tête-bêche (**Figure I.6**) Le seul courant qui peut alors résulter d'une polarisation drain-source est le courant inverse de l'une ou de l'autre des jonctions. Ce courant en régime bloqué I_{off} doit être le plus faible possible afin d'éviter toute consommation superflue lorsque le dispositif est non passant [17].

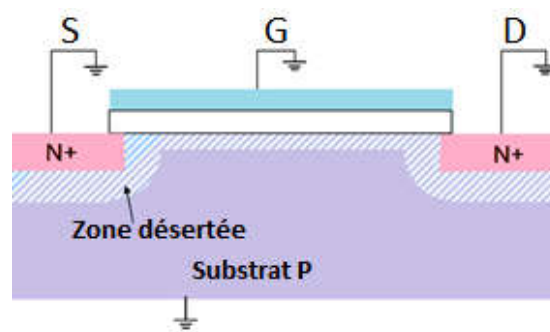


Figure I.6 : Régime bloqué [17]

4.2. Régime d'inversion

L'application d'une tension positive (négative pour le **PMOS**) sur l'électrode de grille supérieure à une certaine tension de seuil V_{th} produit l'apparition d'une couche d'inversion de type **N** entre la source et le drain (**Figure I.7**). Un canal de type **N** relie la source au drain. Plus la tension de grille V_{gs} est élevée, plus la densité de porteurs dans la couche augmente [17].

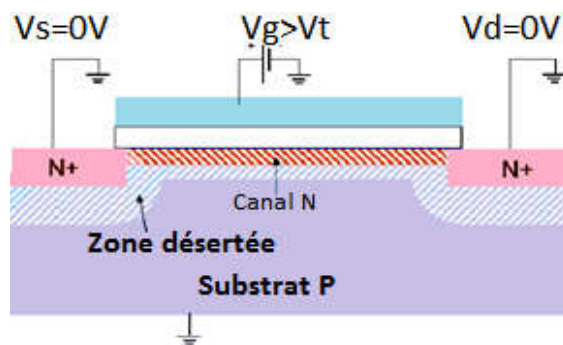


Figure I.7 : Régime d'inversion [17]

a) Régime linéaire

Une fois le canal formé, si une tension de drain est appliquée, un courant circule entre le drain et la source **Figure I.8**. La variation de la tension V_{ds} modifie la couche d'inversion et fait ainsi varier la conductance du canal. Tant que la tension de drain V_{ds} reste faible, le courant reste proportionnel à la tension V_{ds} appliquée. Le composant fonctionne en régime linéaire dans lequel le canal se comporte comme une résistance contrôlée par la tension de grille V_{gs} [17].

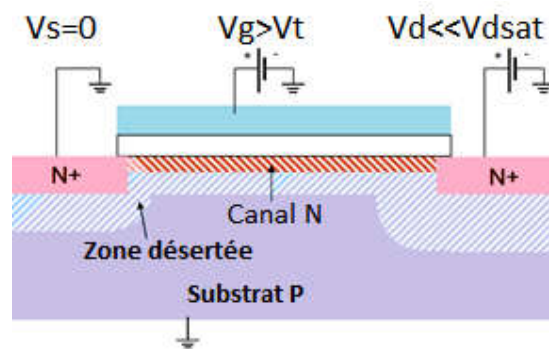


Figure I.8 : Régime linéaire [17]

b) Régime de saturation

Lorsque V_{ds} augmente, elle éteint une valeur dite de saturation ($V_{dsat} = V_{gs} - V_t$) pour laquelle le champ électrostatique entre le substrat et la grille s'inverse localement au voisinage du drain : c'est le point de pincement. Toute augmentation de la tension V_{ds} au-delà de la tension de saturation conduit à une disparition encore plus précoce du canal d'électrons (**Figure I.9**), et à une augmentation faible voire nulle du courant. Dans ce domaine, le courant de drain n'est plus proportionnel à V_{ds} et atteint une valeur de saturation I_{dsat} : c'est le régime saturé [18].

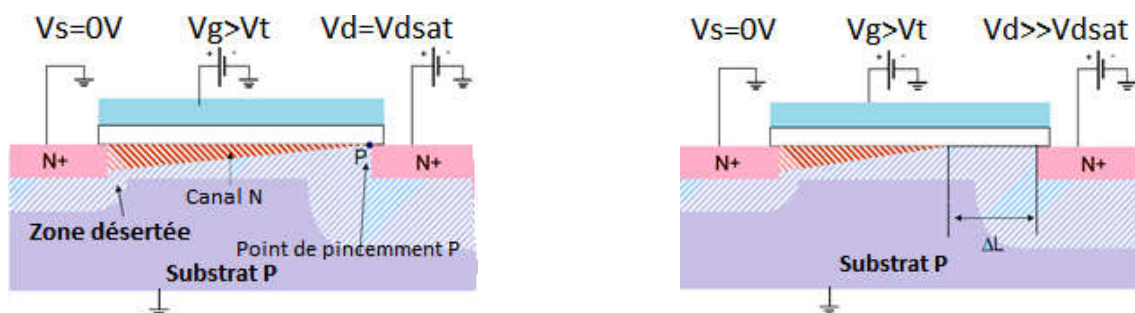


Figure I.9 : Régime saturé [17]

5. Caractéristiques statiques du transistor MOS

Les transistors **MOS** sont caractérisés électriquement en utilisant les graphiques $I_d=f(V_{gs})$ et $I_d=f(V_{ds})$. Ces caractéristiques sont schématisées sur la **Figure I.10** ce qui nous permet de relier les différents régimes du transistor **MOS** définis dans le paragraphe précédent aux modes de fonctionnement du transistor **MOSFET** [19].

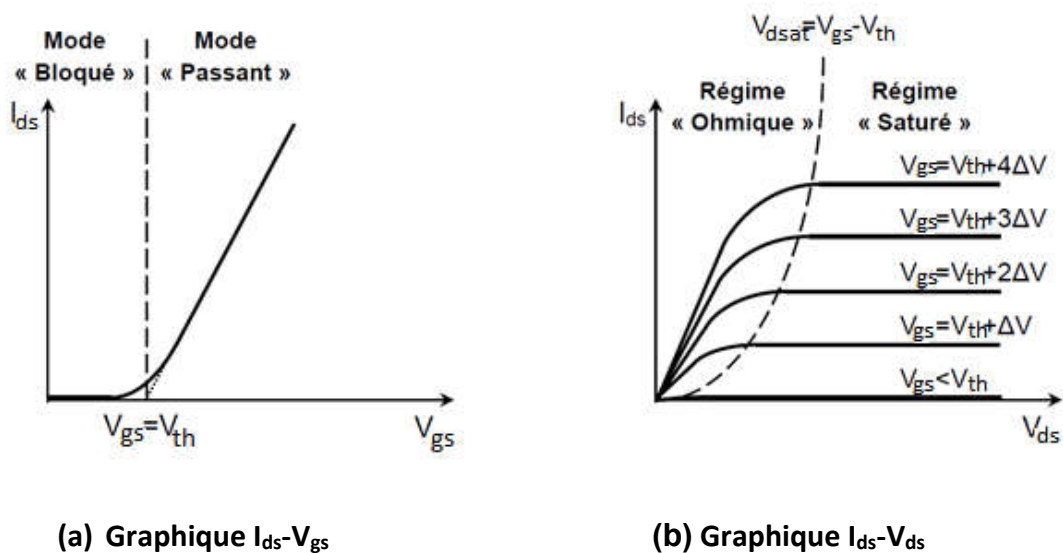


Figure I.10 : Caractéristiques statiques d'un transistor **MOS** [20]

La ligne $V_{dsat} = V_{gs} - V_{th}$ sépare le régime ohmique du régime saturé [20].

6. Les transistors MOS pour les hyperfréquences (LDMOS)

Les fabricants de composants semi-conducteurs (transistors bipolaires, transistors à effet de champ) se sont lancés dans la « bataille » permettant de répondre aux exigences des systèmes de communication en termes de puissance, de performances en gain et linéarité, d'encapsulation et de coût de revient. En effet, ces différents dispositifs semi-conducteurs sont nécessaires pour les étages émetteurs et récepteurs dans les divers équipements qui utilisent le spectre hertzien depuis le téléphone portable, jusqu'aux stations de bases et aux satellites [17].

Avec l'évolution des technologies dans le domaine des circuits intégrés **MOS** et par rapport aux exigences de performances et de coût, une nouvelle génération de composants semi-conducteurs est apparue sur la scène de l'amplification de puissance : les transistors **DMOS** de puissance [21].

Il existe deux types de transistors **DMOS** de puissance : les transistors discrets **VDMOS** et les transistors intégrés **LDMOS**. Le transistor **VDMOS** souffre d'instabilité aux fréquences élevées [20]. Le transistor **LDMOS** possède aussi l'avantage, par rapport au transistor à configuration verticale (**VDMOS**), d'avoir intrinsèquement ses trois électrodes coplanaires, ce qui le rend favorable à l'intégration. Il est également compatible avec les technologies **BiCMOS** avancées, ce qui fait de lui un candidat idéal pour assurer la partie puissance dans un circuit intégré [17].

Nous nous intéresserons dans ce travail aux transistors **LDMOS**.

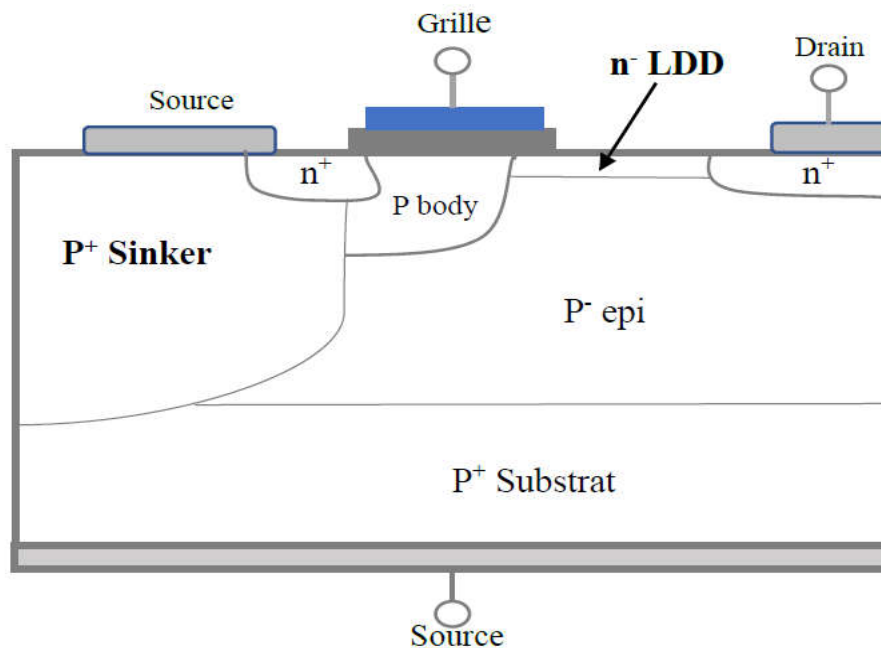


Figure I.11 : Coupe de Transistor **LDMOS** [22]

Actuellement, d'un point de vue technologique, le transistor **MOSFET** classique ne peut supporter des fortes polarisations. Une filière plus employée dans le domaine des applications de puissance est celle du **LDMOS** sur silicium **Figure I.11** qui supporte des tensions de polarisation élevées [23].

Ces transistors obtenus par le procédé de double diffusion se distinguent du **MOSFET** par un puits dopé **P+** qui assure la continuité électrique entre les sources des composants élémentaires et la masse connectée au substrat **P+**. Sa très large utilisation dans le domaine des amplificateurs de puissance **RF** (réseaux télécommunications) fait de cette technologie un standard. En plus de leur faible coût de conception, les transistors **LDMOS** possèdent toutes les caractéristiques électriques et thermiques requises pour les

modulations complexes. Ses potentialités en termes de haut rendement et de linéarité en font un candidat idéal pour une gamme de fréquences qui reste limitée à quelques **GHz** [23].

Les transistors **LDMOS** sont aussi caractérisés par une zone **N⁻** située entre la fin du canal d'inversion et le drain **N⁺**, zone appelée drift ou extension de drain (**LDD** : **L**ightly **D**oped **D**rain). Les extensions **LDD** sont des extensions des zones source et drain sous la grille mais avec un dopage plus faible, et une réduction du champ électrique effectif maximal coté drain. Ils ont une résistivité assez importante, ceci a pour but l'augmentation de la tension de claquage [24, 25].

Un autre grand avantage du **LDMOS** réside dans sa facilité d'intégration dans des circuits **RF** puisqu'il permet de disposer des électrodes de drain et de grille sur la face avant de la puce. Sa très large utilisation dans le domaine des amplificateurs de puissance radiofréquence (réseaux de télécommunications) fait de cette technologie un standard. En plus de leur faible coût de conception, les transistors **LDMOS** possèdent aussi les caractéristiques électriques et thermiques requises pour les modulations complexes. Ses potentialités en termes de haut rendement et de linéarité en font un candidat idéal pour une gamme de fréquences qui reste limitée à environ **3GHz** [26, 20].

7. Conclusion

Le transistor **MOSFET** est de plus en plus utilisé dans le domaine des hyperfréquences, son faible coût et ses performances en font un composant intéressant.

Nous avons présenté au sein de ce chapitre une étude générale sur les compréhensions de base du transistor **MOS**, ses propriétés et son principe de fonctionnement. Le cas du transistor **LDMOS** sera mis en relief, étant donné qu'il est souvent utilisé pour le domaine des hyperfréquences.

Chapitre 2 :

**Modélisation du Transistor
LDMOS en Hyperfréquences**

1. Introduction

Depuis des années, de nombreuses équipes de recherche se sont penchées sur le développement de modèles de transistors micro-ondes de plus en plus fiables, capables de reproduire le mieux possible les phénomènes physiques et électriques régissant ce type de composants. De plus, la tendance actuelle à cibler des fréquences de fonctionnement de plus en plus élevées pousse les concepteurs de circuits à s'intéresser plus particulièrement aux transistors **LDMOS** [1].

Le modèle d'un élément quelconque est construit par des équations décrivant ses propriétés physiques. Le simulateur doit résoudre toutes ces équations à tous les points d'excitation requis par le concepteur. Par conséquent, le temps de calcul et de résolution d'un circuit dépend directement des équations et donc des modèles utilisés pour les composants. Les principales difficultés résident dans le fait qu'il développe un modèle représente un très long travail de recherche [27, 28].

Dans ce chapitre, nous allons citer les différents types de modèles existants tout en exposant leurs avantages et inconvénients afin de choisir le modèle le plus adapté à notre étude.

2. Objectif de la modélisation

La modélisation des éléments d'un circuit intégré s'inscrit parmi les méthodologies permettant de limiter les étapes de réalisation matérielle intermédiaire coûteuse en temps et en argent pour valider son fonctionnement.

En effet, une des particularités des circuits intégrés est qu'une fois fabriqués ils ne peuvent être modifiés. Ainsi, lors de la conception du circuit, le comportement électrique de celui-ci doit être simulé pour vérifier qu'il fonctionne correctement et la simulation doit bien entendu être la plus proche possible de la réalité [20].

Le but principal de la modélisation est d'élaborer pour chaque dispositif, un équivalent mathématique, le modèle, qui permet d'en reproduire, et d'en prédire le comportement électrique.

En pratique, on dispose du modèle, qui est un jeu d'équations basées sur la physique, et de mesures de structures de test, c'est-à-dire de composants isolés. Ces mesures permettent d'extraire les paramètres caractéristiques de la technologie [28].

La modélisation ne se limite pas au choix de la topologie, elle intègre également les mesures quelque soit la nature du modèle, son architecture ou ses défauts.

Dans ce travail le sujet concerné c'est le transistor **LDMOS**. Les mesures permettent de faire l'interface entre le réel et le virtuel. D'elles dépend la pertinence apportée par le modèle au simulateur. Si l'on considère que la modélisation est l'étape qui consiste à faire coïncider les réponses simulées de la topologie choisie avec les réponses, réelles mesurées, alors on peut se poser la question de savoir des deux étapes (modélisation et mesure) laquelle est la plus délicate voire critique [29].

3. Exigences de la modélisation

La modélisation d'un composant doit répondre à un ensemble d'exigences qui, elle, sont définies par le domaine d'application et les demandes du concepteur en termes de résultats de simulation. Pour illustrer ceci, nous allons prendre un exemple très simple qui est le cas d'une impédance. Si le concepteur s'intéresse uniquement au rapport du courant avec la tension appliquée sur cet élément, la loi d'Ohm $i = v / z$ suffit pour le décrire. Cependant, si l'on est intéressé aussi par l'influence de l'effet Joule et de la température sur le courant, il est nécessaire d'inclure ce phénomène et de rendre le modèle plus complexe. Il en va de même pour le bruit thermique, etc.

De manière générale, un modèle idéal de transistors **MOS** adapté pour la conception de circuits intégrés numériques, analogiques ou mixtes, doit satisfaire les points suivants :

1. Le modèle doit donner une bonne précision sur les caractéristiques de courant **I-V** dans une large gamme de polarisation.
2. Il doit prédire, de façon rigoureuse, les caractéristiques dynamiques en régime petit et grand signal, même pour des fréquences de fonctionnement proches de la fréquence de transition du composant.

3. Il doit donner une bonne prédiction du bruit blanc et du bruit basse fréquence.
4. Les recommandations 1 à 3 doivent être vérifiées sur tous les régimes de polarisation et pour diverses valeurs de potentiel de substrat V_b .
5. Toutes les exigences précédentes doivent être satisfaites pour une large gamme de températures.
6. Le modèle doit être valable pour une large gamme de largeur W et de longueur L_g de la grille (paramétrable en W , L_g).
7. Il doit avoir le strict minimum possible de paramètres. Ceux-ci doivent être reliés directement à la structure du composant et au procédé de fabrication technologique.
8. Le modèle doit être facile à intégrer (implémenter) dans un simulateur. Pour le calcul numérique, il doit être robuste et continu entre les régimes de fonctionnement.
9. La méthode d'extraction des paramètres du modèle doit être la plus simple possible. Le nombre de composants-test ainsi que le nombre de mesures requis pour l'extraction des paramètres doit être le plus petit possible.

Tous les points énoncés précédemment représentent évidemment le cas d'un modèle idéal. Il n'existe pas de modèle pouvant satisfaire la totalité de ces exigences. Cependant, l'approche et le type de modélisation font apparaître divers avantages et inconvénients. Ainsi, le choix d'un modèle ou d'une approche de modélisation doit s'effectuer en fonction des besoins comme des moyens offerts [27].

4. Types de modélisation

On peut généralement distinguer trois types de modélisation :

4.1. Modélisation physique

La modélisation physique est la plus ancienne méthode de modélisation pour la conception des circuits hyperfréquences. Elle cherche à déterminer les caractéristiques du transistor à partir de ces paramètres physiques. En effet, la physique des semi-conducteurs permet de calculer les charges et le courant circulant dans le transistor à partir de ces dimensions géométriques tels que la longueur et la largeur de grille, le niveau de dopage du canal ainsi que les tensions appliquées à ses bornes. Ce modèle est basé sur les équations de transport des charges dans le semi-conducteur. D'une façon générale l'approche suivie dans la modélisation permet d'obtenir un modèle pour tout transistor et pour tout état de polarisation. Les modèles physiques se différencient principalement par la façon dont ils résolvent les équations analytiques, en essayant d'effectuer une résolution plus rapide et plus robuste, notamment en termes de convergence des solutions [30].

Cependant, le temps de développement d'un modèle physique peut durer plusieurs années et ne jamais prendre fin, car, à chaque nouvelle génération technologique, de nouveaux effets physiques apparaissent et doivent être pris en compte. D'autre part, afin d'assurer une bonne robustesse numérique, les équations doivent être les plus simples possibles et doivent assurer une continuité entre les différents régimes de fonctionnement. Ceci entraîne automatiquement une limitation dans les expressions du modèle physique. Finalement, d'un point de vue pratique, les inconvénients les plus importants sont le nombre de paramètres et les méthodes d'extraction des modèles physiques [20].

Les modèles physiques les plus répandus pour les transistors de type **MOS** sont le modèle **SP** (**S**urface **P**otential) développé par **Gildenblat** et **Chen** à l'université de Pennsylvanie, qui est qualifié de modèle le plus proche de la physique et aussi le plus mathématique et le modèle **BSIM** développé à l'université de Berkeley. La majorité des effets sont décrits par des équations semi-empiriques qui, en fait, ne sont pas reliées à la physique du composant. De plus, l'extraction des paramètres exige un nombre important

de tests. Ceci oblige les ingénieurs de modélisation à faire appel à un grand nombre de structures de mesures sur les masques technologiques. Par conséquent, le nombre de mesures requises afin d'extraire les paramètres est très élevé.

Enfin, l'extraction exige une formation technique très spécifique sur le modèle précis de la part de l'ingénieur de modélisation. Actuellement, le temps d'extraction d'un modèle est tellement élevé qu'il est difficile de s'adapter à la modélisation de technologies en cours de développement [1].

4.2. Modélisation phénoménologique ou (empirique)

La modélisation phénoménologique est une approche purement empirique. Elle est basée sur la représentation des effets mesurables et observables, indépendamment de leur nature. Ce type de modélisation regroupe les modèles utilisant un circuit électrique équivalent qui comporte des éléments linéaires et non-linéaires. Ces derniers doivent être décrits par des expressions mathématiques relativement simples pour ne pas dégrader la convergence et le temps de calcul des simulateurs. Les expressions mathématiques doivent représenter le fonctionnement global ; néanmoins, elles peuvent conduire à des valeurs non physiques. Aussi, ce type de modèle présuppose de réaliser des composants avant de les modéliser car les paramètres des expressions sont déterminés à partir de mesures électriques de ces mêmes composants.

Le modèle ne tient pas compte de l'évolution de chaque élément physique en fonction des dimensions du composant. D'autre part, les effets de température sur les éléments modélisés empiriquement sont très difficiles à incorporer. Finalement, l'extraction requiert parfois une procédure d'optimisation, étape qui peut mener à différents ensembles de valeurs de paramètres pour un même composant ou à des valeurs non physiques [1].

En contrepartie, la modélisation phénoménologique possède beaucoup d'avantages notamment la rapidité de l'élaboration d'un modèle et des équations simples pouvant décrire le comportement électrique du transistor sur tous les régimes de polarisation et la gamme de fréquence de fonctionnement envisagés. Une fois le modèle élaboré, l'extraction des paramètres est rapide et les mesures requises sont simples et peu nombreuses. Par ailleurs, à cause de la nature de la modélisation empirique, le modèle

est facilement incorporable dans un simulateur de circuits. Grâce à la simplicité de tels modèles, le temps de calcul numérique peut être considérablement réduit [31].

Ce type de modélisation est à son tour subdivisé en trois types de modélisation qui sont :

- Les méthodes numériques basées sur l'optimisation des éléments d'un schéma équivalent.
- Les méthodes pseudo-analytiques.
- Les méthodes analytiques d'extraction directe du schéma équivalent à partir des paramètres de répartition **[S]** mesurés [1].

4.3. Modélisation à base de données expérimentales (ou par tables)

La modélisation à base de données expérimentales est très similaire à la modélisation phénoménologique. La différence majeure est que les éléments non-linéaires ne sont pas décrits par des fonctions mathématiques, mais par des matrices de données de mesures. Les points de mesures sont reliés entre eux par des fonctions d'interpolation. Ceci entraîne certains avantages et inconvénients. Le modèle est valable uniquement dans la plage des mesures effectuées, car, au-delà, les fonctions d'interpolation ne peuvent nullement assurer le comportement du composant. Il en découle que, pour des polarisations proches à la limite des mesures, ces modèles présentent d'énormes problèmes de discontinuité. Ceci est un inconvénient majeur, car il peut entraîner la divergence lors d'un calcul. D'autre part, peu de lois d'échelle peuvent être prises en compte et chaque composant doit être individuellement mesuré.

Les avantages sont similaires à ceux des modèles phénoménologiques, avec de plus, une rapidité d'extraction plus élevée [27].

5. Choix de la modélisation

Afin de modéliser les transistors **MOS** en hyperfréquence, nous avons d'abord considéré les besoins et le but de l'étude. Le transistor mis en avant dans cette étude est destiné à des applications de puissance. Le composant est d'abord modélisé puis son modèle est implanté dans le logiciel de simulation **ADS** d'Agilent Technologies.

Les concepteurs utilisent ces modèles pour concevoir des circuits hyperfréquences (amplificateurs de puissance, mélangeurs, **LNA**, oscillateurs, ...) [20].

Dans notre projet, nous avons fait le choix de la modélisation phénoménologique basé sur un circuit équivalent, et qui rend le travail beaucoup plus flexible et rapide, parce que ces modèles ne nécessitent ni la connaissance approfondie des paramètres technologiques ni celle de la physique des semi-conducteurs. Ils sont seulement basés sur une approche uniquement descriptive des phénomènes observés en mesure. Par contre les modèles physiques sont inadaptés à la simulation des circuits intégrés car ils nécessitent un temps de calcul beaucoup trop élevé.

Les modèles physiques représentent, de façon précise, le comportement physique interne du composant, de bien qu'il soit complexe, il est lié à la physique et à la disposition de l'appareil. Ainsi, ils génèrent un aperçu physique et est intrinsèquement adapté à l'analyse statique. Mais ils exigent des temps de calcul très importants et des ressources informatiques conséquentes.

Les modèles par tables offrent l'avantage de précision en calcul et en rapidité d'extraction mais la validité de ces modèles est limitée à la plage de mesure effectuée [1, 32, 33].

6. Méthodologie suivie dans notre travail

La méthodologie à suivre pour l'extraction des éléments est présentée par l'organigramme suivant (**Figure II .1**) :

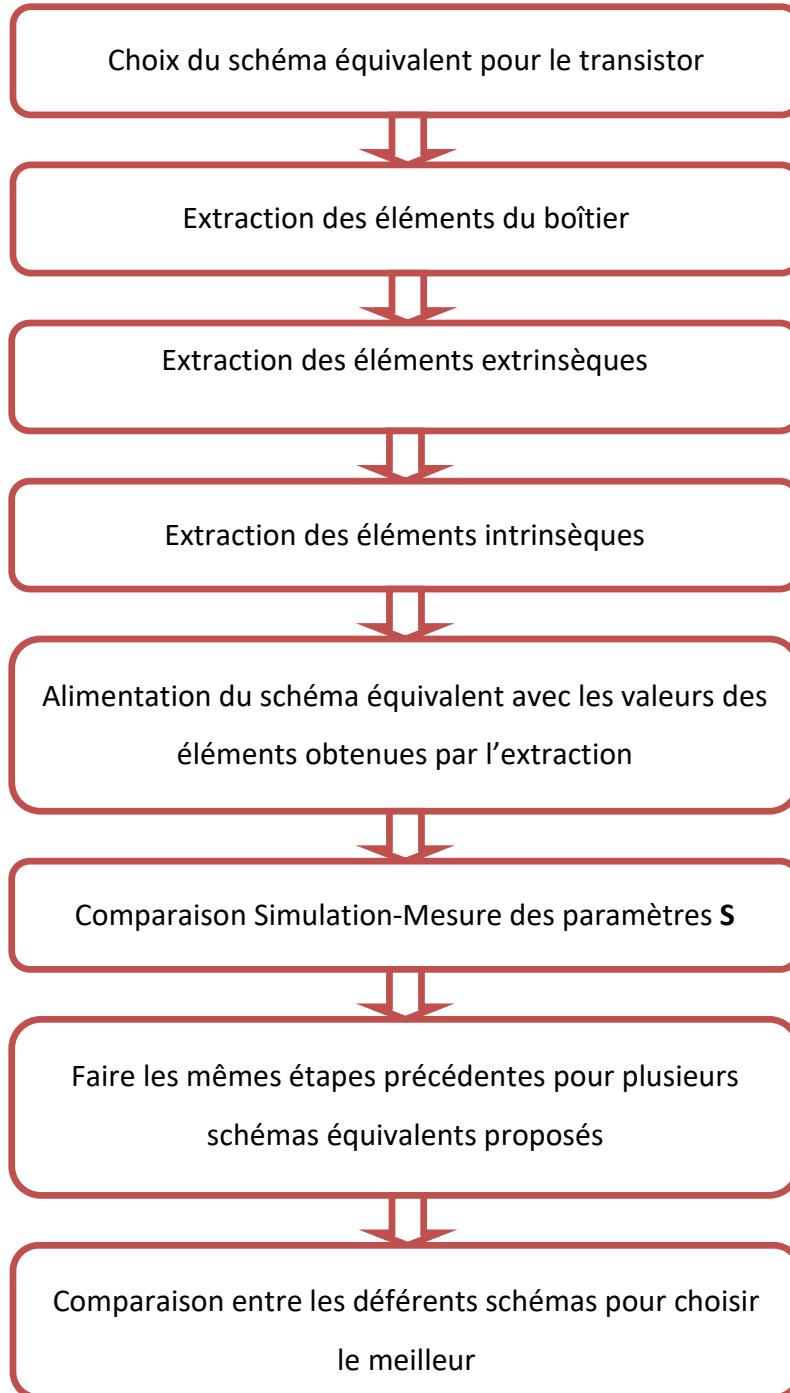


Figure II.1 : Plan de travail du projet

7. Conclusion

Dans ce chapitre, nous avons défini la modélisation des transistors **MOS** dans le domaine des hyperfréquences.

Nous avons décrit et expliqué les exigences d'un modèle idéal. Ensuite, nous avons discuté l'aspect théorique des différents types de modélisation des transistors (modélisation physique, par tables et phénoménologique) avec leurs avantages et inconvénients. Par la suite, nous avons argumenté notre choix de modélisation empirique.

A la fin, nous avons présenté la méthodologie suivie dans notre travail.

Chapitre 3 :

Caractérisation Electrique du Transistor LDMOS

1. Introduction

L'évolution du transistor **MOS** a longtemps été pensée en termes de circuits numériques (microprocesseurs, microcontrôleurs, **DSPs**, ...) ses performances de rapidité en font désormais un composant intéressant pour les circuits analogiques, ceci a permis de développer de nombreuses applications hyperfréquences grand publique (principalement pour les communications sans fil).

Pour caractériser ce dernier jusqu'à des fréquences élevées (par exemple jusqu'à **110Ghz**), on cherche à obtenir, en module et en phase, une mesure petit-signal du transistor **MOS**, c'est-à-dire une mesure à un certain point de polarisation et pour une certaine fréquence, en considérant le dispositif comme un quadripôle linéaire autour du point de polarisation.

La modélisation électrique se fait via un schéma équivalent électrique. Les éléments de ce dernier sont déterminés à partir de l'extraction qui repose sur la mesure des paramètres **Y**. Or, on ne peut pas mesurer des paramètres **Y** ou **Z** à de très hautes fréquences. On mesure donc les paramètres **S**, qui sont eux reliés à une notion de puissance. Ce sont en réalité des coefficients de réflexion et de transmission ; on les mesure sur entrée et sortie ramenées à une impédance de référence (habituellement **50Ω**). Ils peuvent alors être transformés en paramètres **Z** ou **Y** [17, 34].

Au cours de ce chapitre, on s'intéresse à la caractérisation du transistor **LDMOS**, nous allons décrire la méthodologie d'extraction des éléments d'un schéma équivalent petit-signal en hyperfréquence, utilisant la modélisation phénoménologique afin de déterminer les valeurs de tous les éléments du schéma équivalent de ce dernier.

2. Schéma équivalent électrique

Le schéma équivalent "petit-signal" est une représentation électrique d'un transistor à effet de champ soumis à une onde sinusoïdale de faible amplitude [35].

Pour toute méthode d'extraction de schéma équivalent, le choix de la topologie du circuit équivalent est de première importance. Pour cela nous nous sommes basés sur un schéma équivalent petit-signal largement utilisé dans la littérature. Il est défini selon une approche non-quasi statique et un potentiel de substrat nul (connecté à la source). On

utilise souvent la notion d'éléments localisés pour définir les différents éléments électriques constituant le schéma équivalent petit-signal car une représentation du transistor par éléments distribués nécessite la connaissance du potentiel le long du canal [1, 36].

Du point de vue structure et fonctionnement physique, le transistor à effet de champ est subdivisé en deux parties principales : la partie intrinsèque et la partie extrinsèque. La partie intrinsèque correspond à la zone active où l'effet transistor se produit, c'est-à-dire le canal tandis que la partie extrinsèque représente les éléments parasites des zones d'accès entre la partie active et les contacts métalliques reliant le transistor au reste de circuit [1, 37].

Le schéma équivalent petit-signal du **TEC** comprend donc des éléments intrinsèques, des éléments extrinsèques et le boîtier. Il repose sur l'hypothèse que ces derniers sont indépendants de la fréquence jusqu'à la fréquence de coupure de transistor.

En d'autres termes, le schéma équivalent utilisé est suffisant pour décrire le comportement du transistor tant que ses éléments sont constants en fonction de la fréquence. Cette hypothèse est primordiale pour l'extraction des éléments du schéma équivalent petit-signal à partir des mesures. Le schéma équivalent le plus utilisé est illustré à la **Figure III.1** [1].

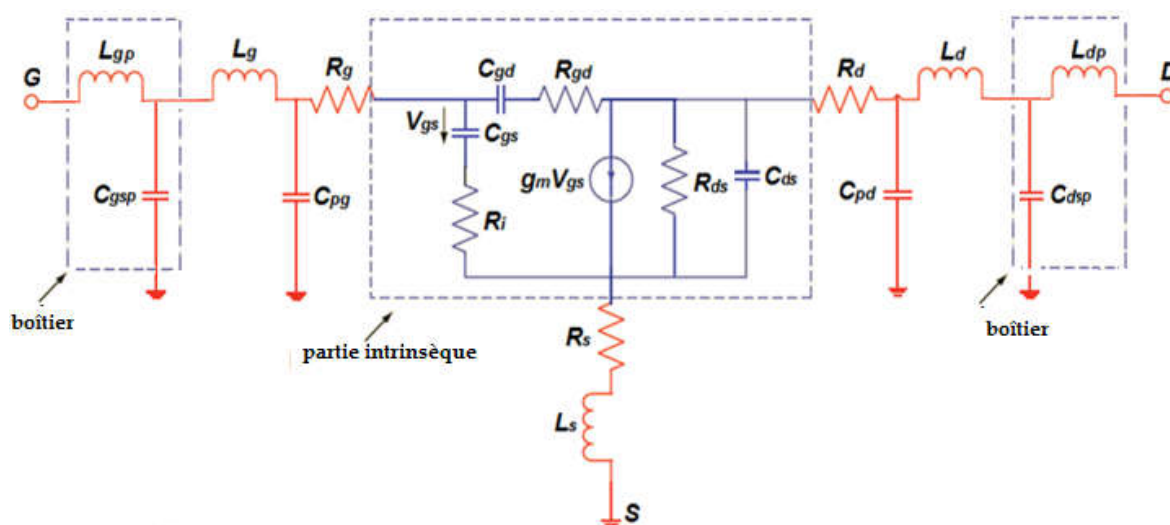


Figure III.1 : Modèle petit-signal pour les transistors **MOS** (Schéma 1)

2.1. Eléments du boîtier

Le transistor **LDMOSFET** utilisé est le **BLF2043F** de **NXP Semiconductor**. C'est un transistor encapsulé dans un boîtier en céramique de type **SOT467C** **Figure III.2**. La source commune est connectée au support de fixation.

Pour objectif de modéliser l'effet du boîtier on a ajouté les inductances L_{gp} et L_{dp} et les capacités C_{gsp} et C_{dsp} qui sont illustrés dans la **Figure III.3**.

L_{gp} et L_{dp} modélisent les inductances équivalentes des pattes (languettes) grille et drain du boîtier. C_{gsp} et C_{dsp} modélisent les capacités parasites entre les pattes grille et drain respectivement et celle de la source [20].

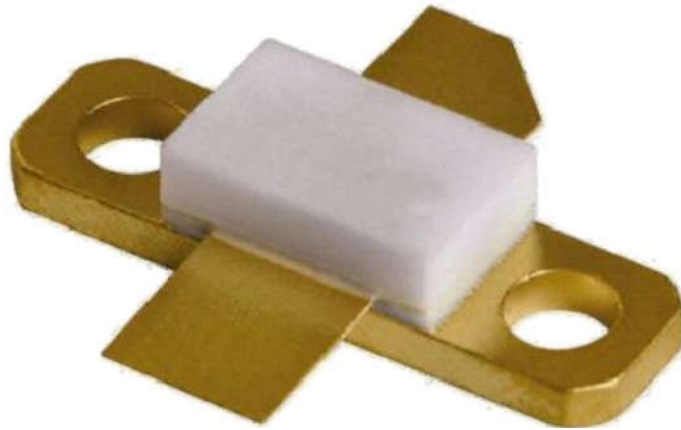


Figure III.2 : Photo du boîtier **SOT467C** utilisé pour les transistors **BLF2043F** [20]

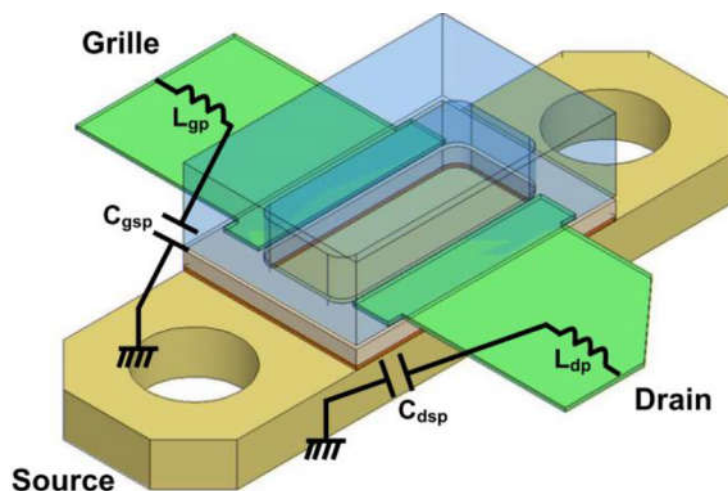


Figure III.3 : Origine physique des éléments du boîtier [20]

2.2. Eléments extrinsèques

Les éléments extrinsèques du schéma équivalent sont illustrés sur la **Figure III.4**.

Les éléments extrinsèques représentent les éléments parasites du transistor ; ce sont les éléments qui ne sont pas dans le carré pointillé de la **Figure III.1**. Ils sont supposés être indépendants des polarisations et du régime de fonctionnement [38, 39].

Les résistances R_s et R_d modélisent la résistivité des caissons fortement dopés, respectivement, de source et de drain [40].

La résistance R_g est due principalement à la résistance de la siliciuration de la grille, ainsi qu'aux pertes métalliques [41].

Il est important de noter que R_d et R_s sont inversement proportionnelle à la largeur du transistor, alors que R_g est proportionnelle à la largeur totale [27] (**Tableau III.1**).

Ces résistances sont distribuées sur toute la largeur de la grille [20].

Les éléments L_g , L_s et L_d matérialisent les inductances parasites, respectivement de grille, de source et du drain liées aux connexions du transistor avec le reste du circuit [42, 43].

L'inductance L_s modélise essentiellement les effets inductifs dus aux trous de contact afin de joindre le plan de masse de la puce « **via-hole** » [23].

Les capacités C_{gs} , C_{gd} et C_{ds} représentent les capacités de bord et de chevauchement alors que les capacités C_{pg} et C_{pd} sont des capacités électrostatiques parasites des plots de métallisation de grille et de drain par rapport au substrat [1, 39].

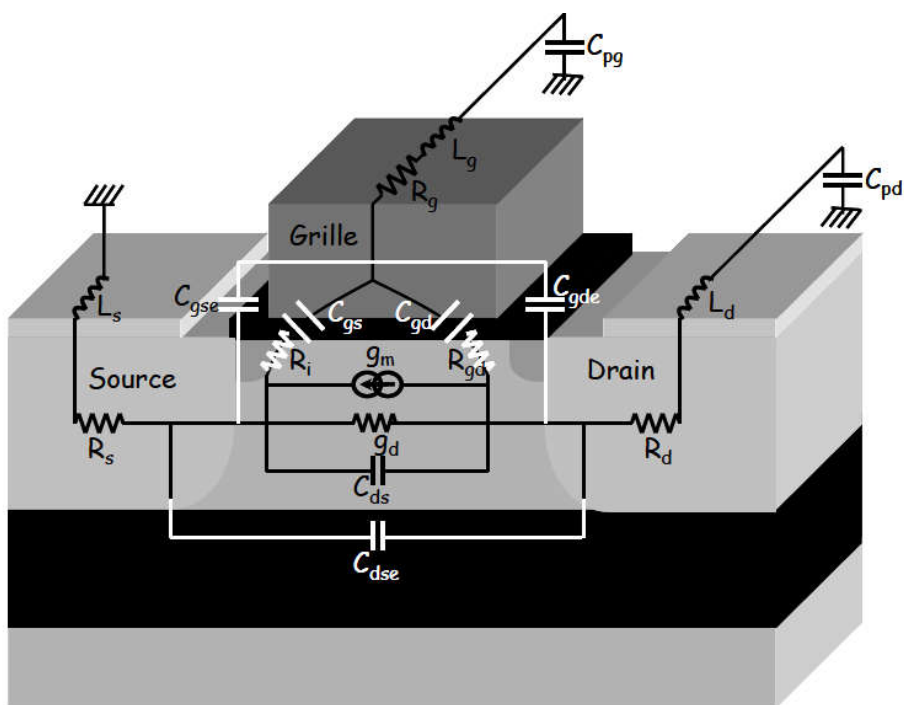


Figure III.4 : Signification physique des éléments intrinsèques et extrinsèques du schéma équivalent d'un transistor **MOS** [27]

2.3. Éléments intrinsèques

La **Figure III.5** montre la partie intrinsèque du transistor à effet de champ qui correspond exactement à la zone active où l'effet transistor se produit. Tous les éléments de cette partie sont supposés indépendants des conditions de polarisation (régime petit-signal) sauf en ce qui concerne les conductances du transistor. En effet, le mécanisme d'amplification est traduit par une transconductance g_m .

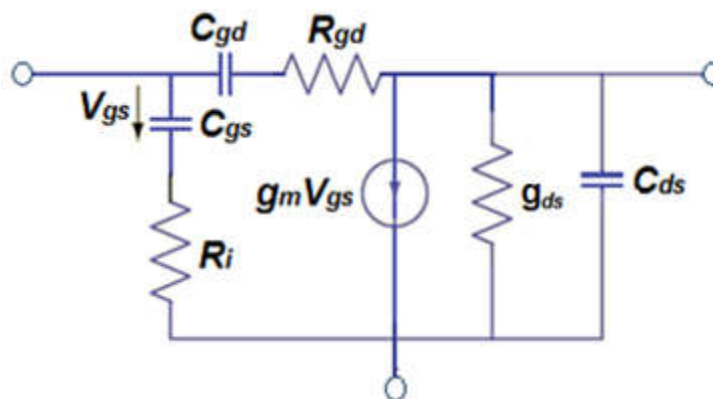


Figure III.5 : Schéma équivalent petit-signal de la partie intrinsèque du transistor **MOS**

L'effet transistor est modélisé par une source de courant donnée par $g_m \cdot V_{gs}$, g_m étant la transconductance et traduisant la commande du canal par la tension V_{gs} . V_{gs} est le signal appliqué aux bornes de la capacité C_{gs} . La transconductance est définie par [20] :

$$g_m = \left. \frac{\partial I_{ds}(V_{gs}, V_{ds})}{\partial V_{gs}} \right|_{V_{ds}=cte} \quad (III. 1)$$

L'élément g_d représente la conductance du drain du transistor qui est définie par :

$$g_d = \left. \frac{\partial I_{ds}(V_{gs}, V_{ds})}{\partial V_{ds}} \right|_{V_{gs}=cte} \quad (III. 2)$$

Dans les équations (III.1) et (III.2), I_{ds} est le courant circulant entre le drain et la source du transistor et dépend des potentiels V_{gs} et V_{ds} [20].

C_{ds} correspond aux capacités en série des jonctions de source et de drain, [4] elle est définie par :

$$C_{ds} = \left. \frac{\partial Q_d(V_{gs}, V_{ds})}{\partial V_{ds}} \right|_{V_{gs}=cte} \quad (III. 3)$$

Q_d est la charge accumulée sous l'électrode de drain [20].

Les capacités C_{gs} et C_{gd} sont les charges qui fluctuent en fonction du champ électrique émanant de la grille vers les métallisations ; les régions N^+ de drain et de source. L'estimation de ces capacités dans un dispositif **MOSFET** est très importante, et cela particulièrement pour la simulation des circuits **RF** [4].

En régime de forte inversion, une variation du potentiel de grille par rapport à la source entraîne une variation de charge dans le semi-conducteur égal à la variation de charge sur la grille. Ce comportement se traduit par la capacité grille-source C_{gs} définie par la relation [40] :

$$C_{gs} = \left. \frac{\partial Q_g(V_{gs}, V_{gd})}{\partial V_{gs}} \right|_{V_{gd}=cte} \quad (III. 4)$$

Il en va de même pour une variation du potentiel de grille par rapport au drain. On définit une capacité grille-drain C_{gd} donnée par la relation [40] :

$$C_{gd} = \left. \frac{\partial Q_g(V_{gs}, V_{gd})}{\partial V_{gd}} \right|_{V_{gs}=cte} \quad (III. 5)$$

Q_g est la charge totale stockée dans la grille et dépend aussi du potentiel V_{gs} et V_{ds} . Dans les équations (III.4) et (III.5), C_{gs} et C_{gd} sont définies par rapport aux potentiels V_{gs} et V_{gd} . Néanmoins, dans la topologie source commune, les potentiels de control usuels sont V_{gs} et V_{ds} .

A partir de la relation entre les trois potentiels ($V_{gd} = V_{gs} - V_{ds}$), C_{gs} et C_{gd} peuvent être exprimées sous la forme [27] :

$$C_{gs} = \left. \frac{\partial Q_g(V_{gs}, V_{ds})}{\partial V_{gs}} \right|_{V_{ds}=cte} + \left. \frac{\partial Q_g(V_{gs}, V_{ds})}{\partial V_{ds}} \right|_{V_{gs}=cte} \quad (III. 6)$$

$$C_{gd} = - \left. \frac{\partial Q_g(V_{gs}, V_{ds})}{\partial V_{ds}} \right|_{V_{gs}=cte} \quad (III. 7)$$

Les effets non quasi-statiques sont pris en compte par les résistances R_i et R_{gd} . Les résistances R_i et R_{gd} décrivent le caractère distribué du canal. La résistance R_i est la résistance d'entrée, permettant de modéliser l'impédance d'entrée du transistor. La résistance R_{gd} quant à elle permet de modéliser la rétroaction du composant ; elle est parfois négligée [28].

2.4. Facteurs d'échelle

La plupart des éléments du schéma équivalent répondent à des lois d'échelle [41, 44], c'est-à-dire que leur valeur varie en fonction de la largeur de la grille W .

Le **Tableau III.1** donne les dépendances des éléments du schéma équivalent [20].

g_m	g_d	C_{gs}	C_{gd}	C_{ds}	R_i	R_g	R_d	R_s	L_g	L_d	L_s	C_{pg}	C_{pd}	L_{gp}	L_{dp}	C_{gsp}	C_{dsp}
\propto	\propto	\propto	\propto	\propto	\propto	\propto	\propto	\propto	Ind.	Ind.	Ind.	Ind.	\propto	Ind.	Ind.	Ind.	Ind.
W	W	W	W	W	1/W	W	1/W	1/W					W				

Tableau III.1 : Lois d'échelle des éléments du schéma équivalent

Ind. : indépendance vis à vis de la largeur de grille, **W**.

2.5. Mesures hyperfréquences

Les transistors sont généralement représentés sous la forme de quadripôles avec un port d'entrée et un port de sortie, où sont définis les courants et les tensions. La **Figure III.6** illustre schématiquement un transistor **MOSFET** sous sa représentation quadripôle en source commune.

En régime de fonctionnement petit-signal (faibles amplitudes d'excitation), le quadripôle peut être caractérisé par des relations linéaires entre les courant i_i et les tensions V_i . En hyperfréquences, les notions de courant et de tension sont difficiles à utiliser et à réaliser pour plusieurs raisons telles que [27, 45] :

- Les circuits ouverts ou fermés ne sont pas idéaux en haute fréquence.
- Des effets de propagation peuvent intervenir dès que les dimensions en jeu sont grandes devant la longueur d'onde du signal.

De plus, en raison des phénomènes de propagation qui peuvent exister en haute fréquence, on se rend compte que les tensions et les courants dépendent de la position où ils sont mesurés (la longueur des éléments est souvent du même ordre de grandeur que la longueur d'onde) [29].

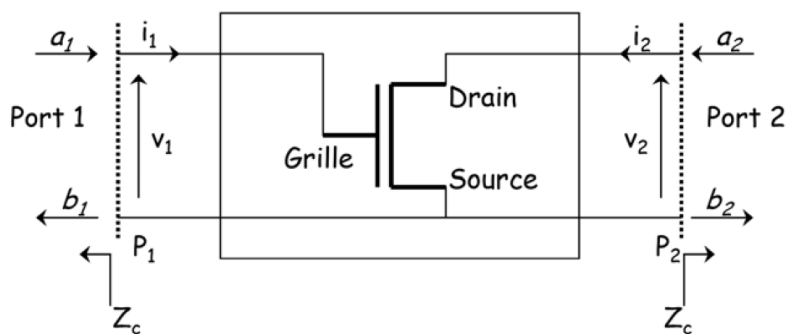


Figure III.6 : Représentation d'un transistor en source commune, sous la forme d'un quadripôle

Pour cela, nous utilisons le concept de la puissance d'onde. En un plan du circuit (plan P_1 ou plan P_2 de la **Figure III.6** sont définies la puissance de l'onde incidente a_i et la puissance d'onde réfléchie b_i . Entre deux plans (P_1 et P_2), nous définissons la notion de la puissance transmise. Les puissances a_i et b_i sont reliées avec les courants i_i et les tensions v_i par les relations [20] :

$$a_i = \frac{v_i + Z_c i_i}{2\sqrt{\operatorname{Re}(Z_c)}} \quad (\text{III.8})$$

$$b_i = \frac{v_i - Z_c^* i_i}{2\sqrt{\operatorname{Re}(Z_c)}} \quad (\text{III.9})$$

Z_c est l'impédance caractéristique sur laquelle le quadripôle est chargé. Le quadripôle est caractérisé par les paramètres S qui sont définis par des relations linéaires entre les ondes incidentes, réfléchies et transmises. Ils sont définis par :

$$\begin{cases} b_1 = S_{11}a_1 + S_{12}a_2 \\ b_2 = S_{21}a_1 + S_{22}a_2 \end{cases} \quad (\text{III.10})$$

$$\begin{cases} b_1 = S_{11}a_1 + S_{12}a_2 \\ b_2 = S_{21}a_1 + S_{22}a_2 \end{cases} \quad (\text{III.11})$$

Ou sous la forme matricielle :

$$\begin{pmatrix} b_1 \\ b_2 \end{pmatrix} = (S) \begin{pmatrix} a_1 \\ a_2 \end{pmatrix} = \begin{pmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{pmatrix} \begin{pmatrix} a_1 \\ a_2 \end{pmatrix} \quad (\text{III.12})$$

Les 4 paramètres S_{ij} sont des grandeurs complexes.

La signification physique des paramètres S est la suivante :

$$S_{11} = \left. \frac{b_1}{a_1} \right|_{a_2=0} \quad (\text{III.13})$$

C'est le coefficient de réflexion à l'entrée, la sortie étant adaptée.

$$S_{12} = \left. \frac{b_1}{a_2} \right|_{a_1=0} \quad (\text{III.14})$$

C'est le coefficient de transmission sortie→ entrée, l'entrée étant adaptée.

$$S_{21} = \left. \frac{b_2}{a_1} \right|_{a_2=0} \quad (\text{III.15})$$

C'est le coefficient de transmission entrée→ sortie, l'entrée étant adaptée.

$$S_{22} = \left. \frac{b_2}{a_2} \right|_{a_1=0} \quad (\text{III.16})$$

C'est le coefficient de réflexion en sortie, l'entrée étant adaptée.

3. Détermination des éléments électriques du modèle

La détermination des éléments du schéma équivalent électrique petit-signal se base sur des propriétés des transistors **MOS** dépendant du régime de polarisation et de la fréquence de fonctionnement. Elle se fait par étapes selon une méthode d'épluchage « **deembedding** » qui consiste à déterminer en premier les éléments du boîtier puis les éléments extrinsèques pour se rapprocher progressivement de la zone intrinsèque [20].

3.1. Extraction des éléments du boîtier

Les transistors **LDMOSFET** de puissance sont disponibles généralement encapsulés en boîtier. Pour rendre possible l'extraction des éléments extrinsèques, il est nécessaire de commencer par déterminer leurs valeurs [20].

Le boîtier peut être modélisé en entrée par une inductance L_{gp} en série avec une capacité C_{gsp} . De même, en sortie il est modélisé par une inductance L_{dp} et une capacité C_{dsp} **Figure III.7**. Pour les éléments du boîtier, nous allons prendre les valeurs obtenues par **M. TAMOUM (Tableau III.2)** [20].

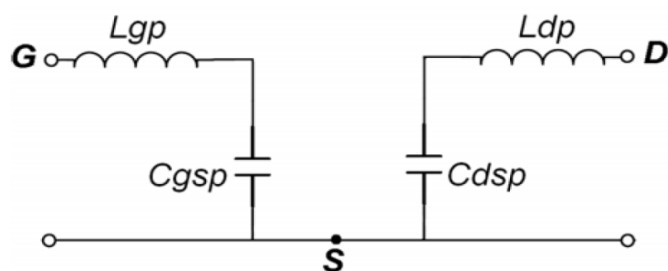


Figure III.7 : Schéma équivalent du boîtier du LDMOS

éléments de boîtier	C_{gsp}	C_{dsp}	L_{gp}	L_{dp}
Unité	pF	pF	pH	pH
Valeur	4	3.9	0.1	0.1

Tableau III.2 : Eléments du boîtier LDMOS

3.2. Extraction des éléments extrinsèques

Les éléments extrinsèques sont la matérialisation des phénomènes que l'on qualifie de parasites. Ils ne participent pas à l'effet transistor qui se produit dans le canal. Ils sont engendrés le plus souvent par les métallisations d'accès à la zone active. Il est nécessaire de déterminer leurs valeurs pour rendre possible l'extraction des éléments intrinsèques et donc des données principales et primordiales du modèle. Plusieurs méthodes nous sont proposées pour leur extraction [29] :

a) Calcul analytique

Cette méthode se base sur les simples lois ohmiques, elle utilise soit des équations empiriques dans le but de s'approcher le plus précisément possible des valeurs des composants du modèle, soit des équations de la physique des semi-conducteurs, qui se base sur les bonnes connaissances des propriétés physiques et géométriques du transistor. Cette technique est trop complexe et nécessite un temps de modélisation très grand. Le calcul analytique peut être considéré dans certains cas comme un point de départ pour d'autres techniques d'extraction telles que l'optimisation [46].

b) Optimisation

Cette méthode consiste à trouver un algorithme qui minimise la fonction d'erreur entre les mesures et les valeurs simulées. D'une autre façon, on cherche pratiquement à optimiser les valeurs extrinsèques des composants du circuit équivalent pour qu'elles aient une réponse la plus identique possible à celle des mesures.

Malgré la performance et la rapidité de cette méthode, elle nécessite cependant de connaître l'ordre de grandeur des valeurs recherchées, pour éviter de commettre des erreurs flagrantes [46].

c) Simulation électromagnétique

Cette technique consiste à matérialiser les métallisations d'accès à la zone active du transistor, et simuler les paramètres **S** associés sur une bande de fréquences données. De ces paramètres **S** on en déduit des éléments extrinsèques localisés. Malgré que cette technique soit rapide et relativement précise [20], il faut bien noter qu'elle devra être associée à d'autres méthodes, car les paramètres **S** simulés à cette étape sont insuffisants pour déterminer les valeurs des éléments du circuit équivalent [46].

d) Méthode statique

Elle est basée sur une technique de régression linéaire. Elle permet, à partir d'une mesure de paramètres **S** à un point de polarisation donnée, de faire coïncider une expression analytique avec les paramètres **Z**, puis de faire une régression linéaire pour obtenir les paramètres **Z** à une fréquence hypothétique infinie et en déduire ainsi les éléments extrinsèques [20, 29].

e) Le FET « froid » (Cold FET)

La technique de polarisation à froid (cold **FET**) a été introduite par **DIAMANT**. Elle permet de déterminer les résistances et les inductances parasites à partir des paramètres-**S** mesurés à une tension de drain nulle ($V_{ds} = 0 \text{ V}$). En 1988, **DAMBRINE** a publié une méthode qui permet d'obtenir les éléments parasites du **TEC** à partir des paramètres-**S** mesurés à ($V_{gs} > 0 \text{ V}$ et $V_{ds} = 0 \text{ V}$). La méthode d'extraction de **DAMBRINE** nécessite l'application d'un fort courant au niveau de la grille pour éliminer l'effet de la

résistance différentielle de la diode de Schottky, ce qui conduit à un calcul direct de la résistance et de l'inductance parasites de grille [1].

Le schéma équivalent des **TEC** est subdivisé en deux parties : une partie intrinsèque qui représente le canal et une partie extrinsèque qui représente des éléments parasites (**Figure III.8**). Le principe de la méthode est de polariser le transistor à froid pour pouvoir déterminer les éléments parasites [1]. Les états de polarisations sont :

- $V_{ds}=0V$ et $V_{gs} \gg V_{th}$: Le canal du transistor est en « Conduction », dans cet état on peut déterminer les valeurs des composants séries des éléments extrinsèques.

- $V_{ds}=0V$ et $V_{gs} \ll V_{th}$: Le canal du transistor est déplété, on a alors accès aux valeurs des composants parallèles des éléments extrinsèques.

C'est une méthode fiable et largement utilisée dans la littérature scientifique [20].

Dans ce travail, on utilise la méthode du **FET froid**, l'extraction des éléments extrinsèques du schéma équivalent se fait alors en polarisant la grille en directe, c'est-à-dire en appliquant une tension $V_{gs}=14V$ et $V_{ds}=0V$. Ceci a pour effet de court-circuités les éléments parallèles du schéma équivalent **MOSFET**, seuls les éléments séries sont pris en compte, comme indiqué sur la **Figure III.8** [20].

On note que les mesures sont faites par **M. TAMOUM**.

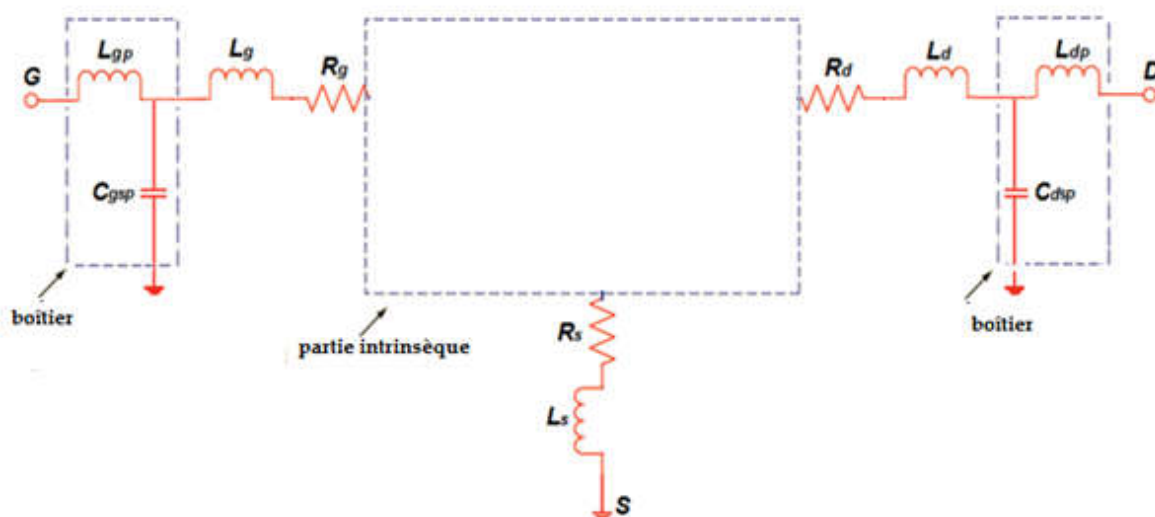


Figure III.8 : Schéma équivalent petit-signal du **TEC** à froid pour $V_{ds} = 0V$ et $V_{gs} \gg V_{th}$

Les parties réelles et imaginaires des éléments de la matrice **Z** extraites des mesures permettent alors, par identification, de déterminer les éléments résistifs et les réactances de ce quadripôle, à savoir les résistances et inductances extrinsèques du transistor.

Nous utilisons le principe d'extraction des éléments du schéma équivalent à polarisation froide, à savoir la méthode basée sur des transformations successives des paramètres **S** en paramètres **Z** ou **Y** selon la procédure d'épluchage [20] décrit dans le schéma de la **Figure III.9**.

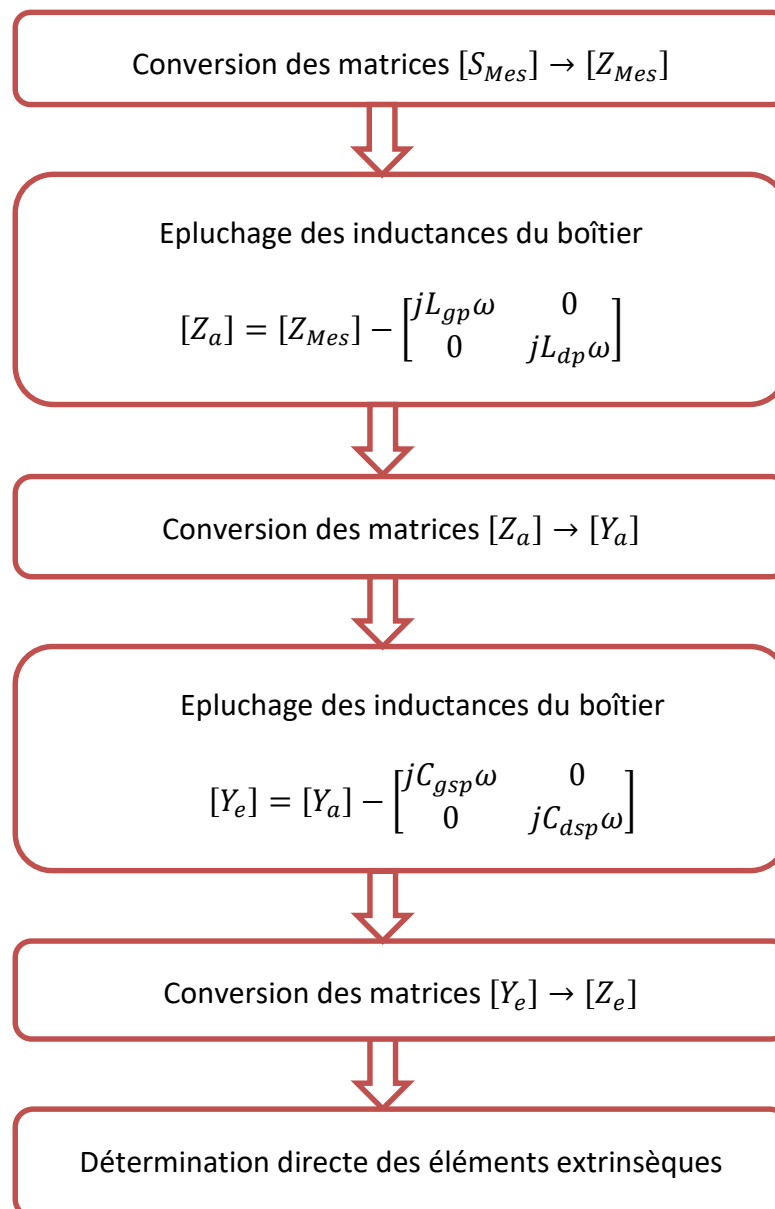


Figure III.9 : Procédure d'extraction des éléments extrinsèques du transistor **LDMOS** en boîtier

On en déduit les éléments extrinsèques en fonction des éléments de la matrice $[Z_e]$.

A partir de la **Figure III.10**, la matrice $[Z_e]$ du quadripôle est exprimée comme suite [20] :

$$\begin{pmatrix} V_1 \\ V_2 \end{pmatrix} = \begin{pmatrix} I_1 \\ I_2 \end{pmatrix} \begin{pmatrix} Z_{11e} & Z_{12e} \\ Z_{21e} & Z_{22e} \end{pmatrix} \Rightarrow \begin{cases} V_1 = Z_{11e}I_1 + Z_{12e}I_2 \\ V_2 = Z_{21e}I_1 + Z_{22e}I_2 \end{cases} \quad (\text{III.17})$$

$$Z_{11e} = \left. \frac{V_1}{I_1} \right|_{I_2=0} = (R_g + R_s) + j\omega(L_g + L_s) \quad (\text{III.18})$$

$$Z_{12e} = \left. \frac{V_1}{I_2} \right|_{I_1=0} = R_s + j\omega L_s \quad (\text{III.19})$$

$$Z_{21e} = \left. \frac{V_2}{I_1} \right|_{I_2=0} = R_s + j\omega L_s \quad (\text{III.20})$$

$$Z_{22e} = \left. \frac{V_2}{I_2} \right|_{I_1=0} = (R_d + R_s) + j\omega(L_d + L_s) \quad (\text{III.21})$$

$$[Z_e] = \begin{bmatrix} (R_g + R_s) + j\omega(L_g + L_s) & R_s + j\omega L_s \\ R_s + j\omega L_s & (R_d + R_s) + j\omega(L_d + L_s) \end{bmatrix} \quad (\text{III.22})$$

Les éléments électriques extrinsèques sont donc exprimés comme suit [20] :

$$R_g = \text{Re}(Z_{11e}) - \text{Re}(Z_{12e}) \quad (\text{III.23})$$

$$R_d = \text{Re}(Z_{22e}) - \text{Re}(Z_{12e}) \quad (\text{III.24})$$

$$R_s = \text{Re}(Z_{12e}) \quad (\text{III.25})$$

$$L_g = \frac{[\text{Im}(Z_{11e}) - \text{Im}(Z_{12e})]}{2 \cdot \pi \cdot f} \quad (\text{III.26})$$

$$L_d = \frac{[\text{Im}(Z_{22e}) - \text{Im}(Z_{12e})]}{2 \cdot \pi \cdot f} \quad (\text{III.27})$$

$$L_s = \frac{[\text{Im}(Z_{12e})]}{2 \cdot \pi \cdot f} \quad (\text{III.28})$$

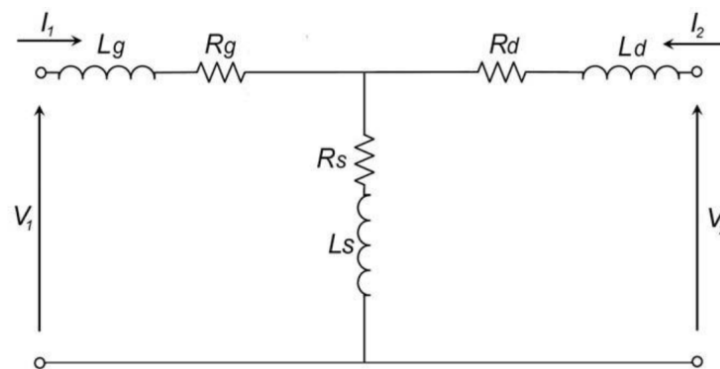


Figure III.10 : Schéma équivalent à polarisation froide sans boîtier

La **Figure III.11** représente les graphes des éléments extrinsèques en fonction de la fréquence, avec $V_{ds} = 0V$ et $V_{gs} = 14V$:

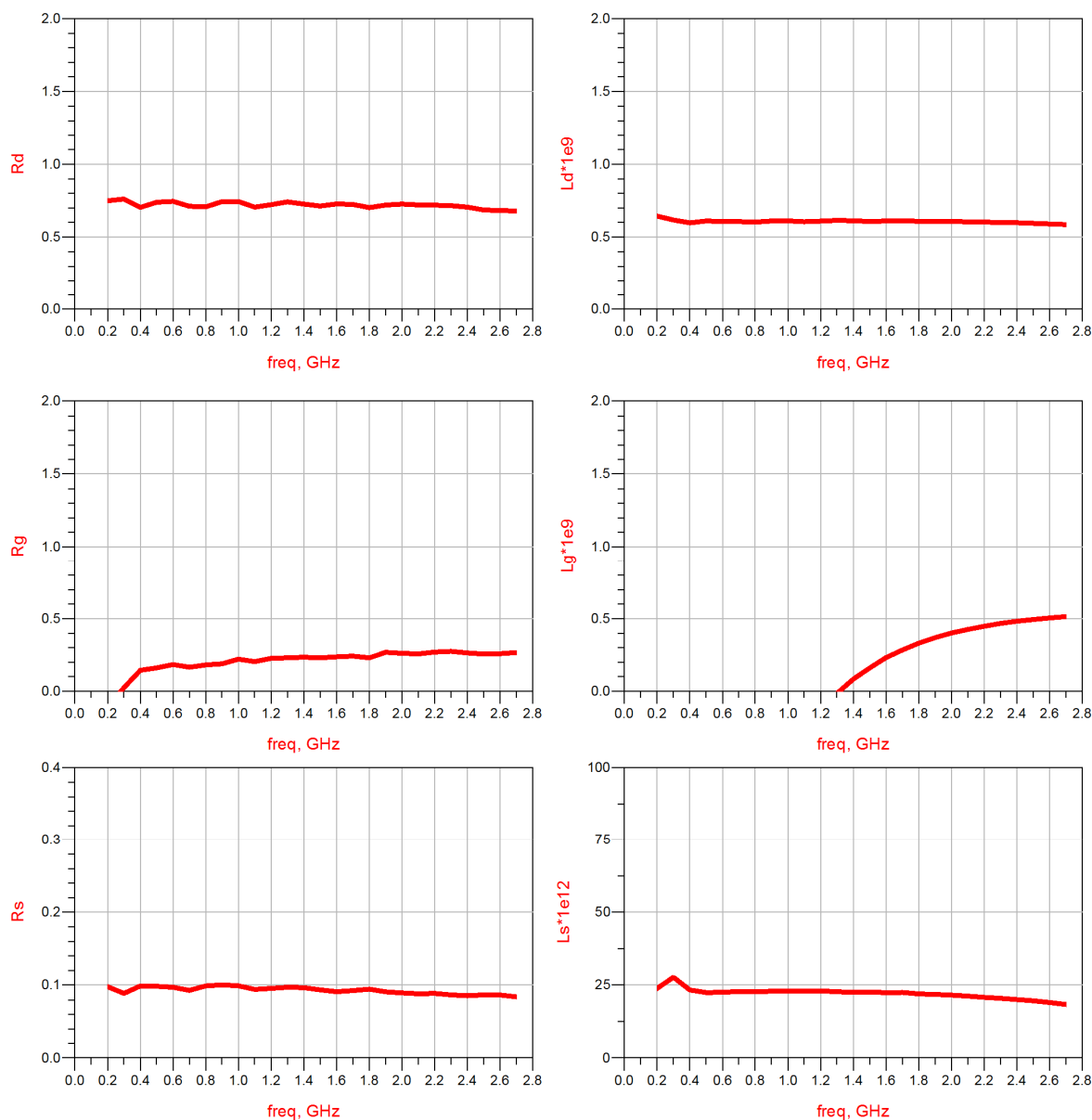


Figure III.11 : Eléments extrinsèques extraits en fonction de la fréquence

On remarque que les graphes des éléments extrinsèques R_g , R_d , R_s , L_d et L_s sont assez plats, ce qui veut dire que leurs valeurs sont indépendantes de la fréquence.

Pour l'inductance L_g , nous remarquons que la courbe n'est pas plate ceci peut être expliqué par la sensibilité de cet élément aux erreurs de mesures faites par l'analyseur de réseaux. On prend comme valeur celle des fréquences les plus élevés pour lesquelles on remarque une convergence vers une valeur stable.

Cette valeur possède une signification physique et pour lesquelles les éléments intrinsèques (C_{gs} , C_{ds} , C_{gd} , g_m , g_d , R_{gd} et R_i) soient plats en fonction de la fréquence

Les valeurs des éléments extrinsèques extraites sont illustrées dans le **Tableau III.3**.

Eléments extrinsèques extraits	L_g	L_d	L_s	R_g	R_d	R_s
Unité	nH	nH	pH	Ω	Ω	Ω
Valeur	0.7	0.62	23	0.25	0.72	0.095

Tableau III.3 : Valeurs des éléments extrinsèques extraites

3.3. Extraction des éléments intrinsèques

Une fois tous les éléments extrinsèques sont déterminés, nous pouvons directement extraire les éléments intrinsèques à partir de la matrice Y_i calculée selon la procédure présentée par l'organigramme de la **Figure III.12**.

Les paramètres intrinsèques vont être déterminés à partir des mesures des paramètres de dispersion pour une polarisation donnée. Connaissant tous les paramètres extrinsèques, nous allons calculer la matrice admittance intrinsèque du schéma équivalent en utilisant une procédure d'épluchage dite de « **deembedding** » qui consiste en plusieurs transformations de matrice S vers une matrice impédance par élimination de l'élément série ou vers une matrice admittance par suppression de l'élément parasite parallèle [28].

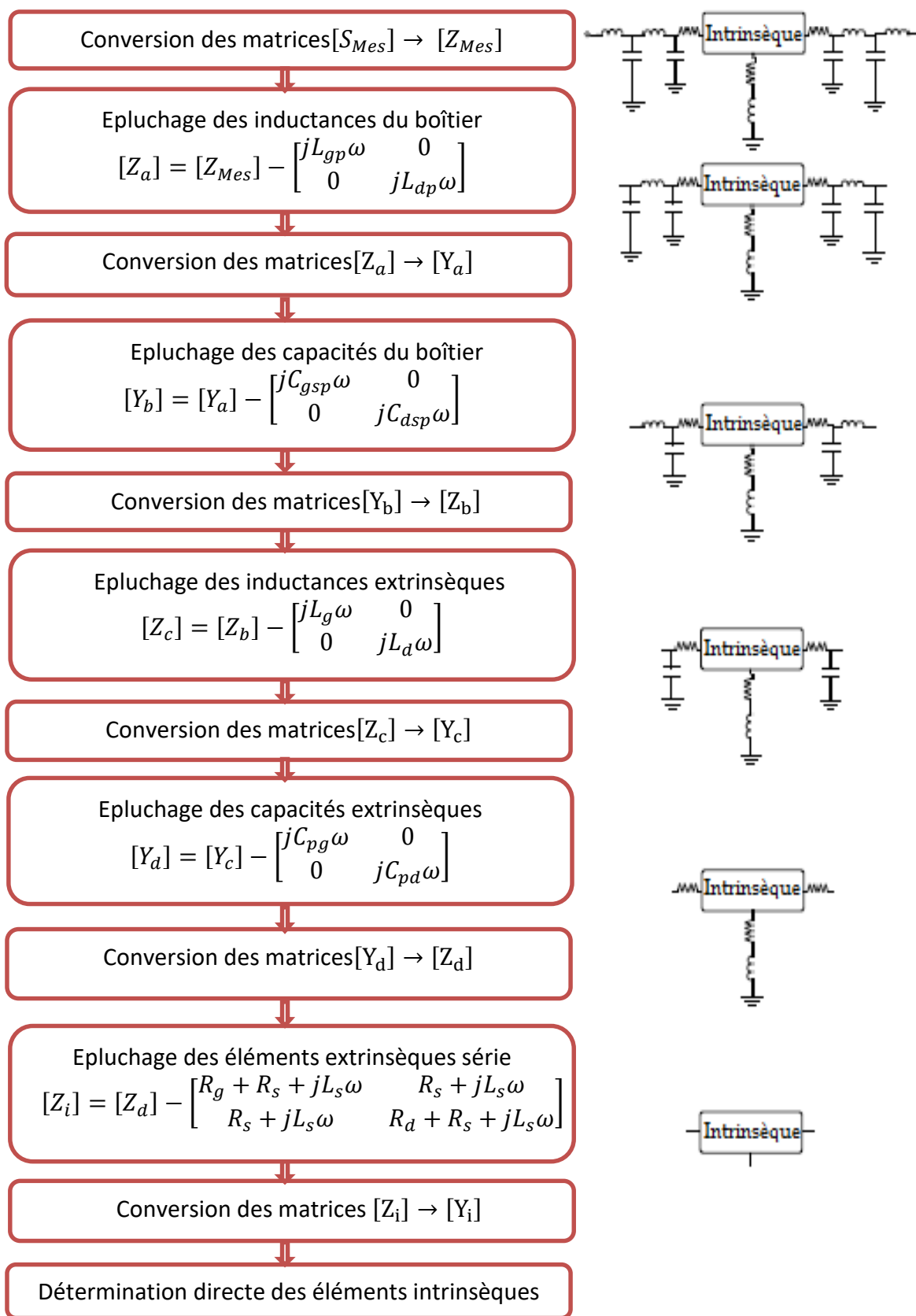


Figure III.12 : Procédure d'extraction des éléments intrinsèques du composant

La matrice $[Y_i]$ est donnée comme suit [20] :

$$[Y_i] = \begin{bmatrix} Y_{11i} & Y_{12i} \\ Y_{21i} & Y_{22i} \end{bmatrix} = \begin{bmatrix} \frac{jC_{gs}\omega}{1 + jR_i jC_{gs}\omega} + jC_{gd}\omega & -jC_{gd}\omega \\ \frac{g_m}{1 + jR_i jC_{gs}\omega} - jC_{gd}\omega & g_d + j\omega(C_{ds} + C_{gd}) \end{bmatrix} \quad (III.29)$$

On en déduit les éléments électriques intrinsèques en fonction des éléments $[Y_i]$:

$$C_{gs} = \left[\frac{Im(Y_{11i}) + Im(Y_{12i})}{\omega} \left[1 + \left(\frac{(Re(Y_{11i}) + Re(Y_{12i}))^2}{(Im(Y_{11i}) + Im(Y_{12i}))^2} \right) \right] \right] \quad (III.30)$$

$$C_{gd} = \frac{-Im(Y_{12i})}{\omega} \left[1 + \left(\frac{Re(Y_{12i})}{Im(Y_{12i})} \right)^2 \right] \quad (III.31)$$

$$C_{ds} = \frac{Im(Y_{22i}) + Im(Y_{12i})}{\omega} \quad (III.32)$$

$$gm = \sqrt{(1 + (R_i C_{gs} \omega)^2) \cdot [Re(Y_{21i}) - Re(Y_{12i})]^2 + [Im(Y_{21i}) - Im(Y_{12i})]^2} \quad (III.33)$$

$$g_d = Re(Y_{22i}) + Re(Y_{12i}) \quad (III.34)$$

$$R_i = \frac{Re(Y_{11i}) + Re(Y_{12i})}{C_{gs}\omega [Im(Y_{11i}) - Im(Y_{12i})]} \quad (III.35)$$

$$R_{gd} = \frac{Re(Y_{12i})}{C_{gd}\omega [Im(Y_{12i})]} \quad (III.36)$$

Les éléments intrinsèques extraits du transistor à $V_{gs}=4.8V$ et $V_{ds}=26V$ sont illustrés sur la **Figure III.13** :

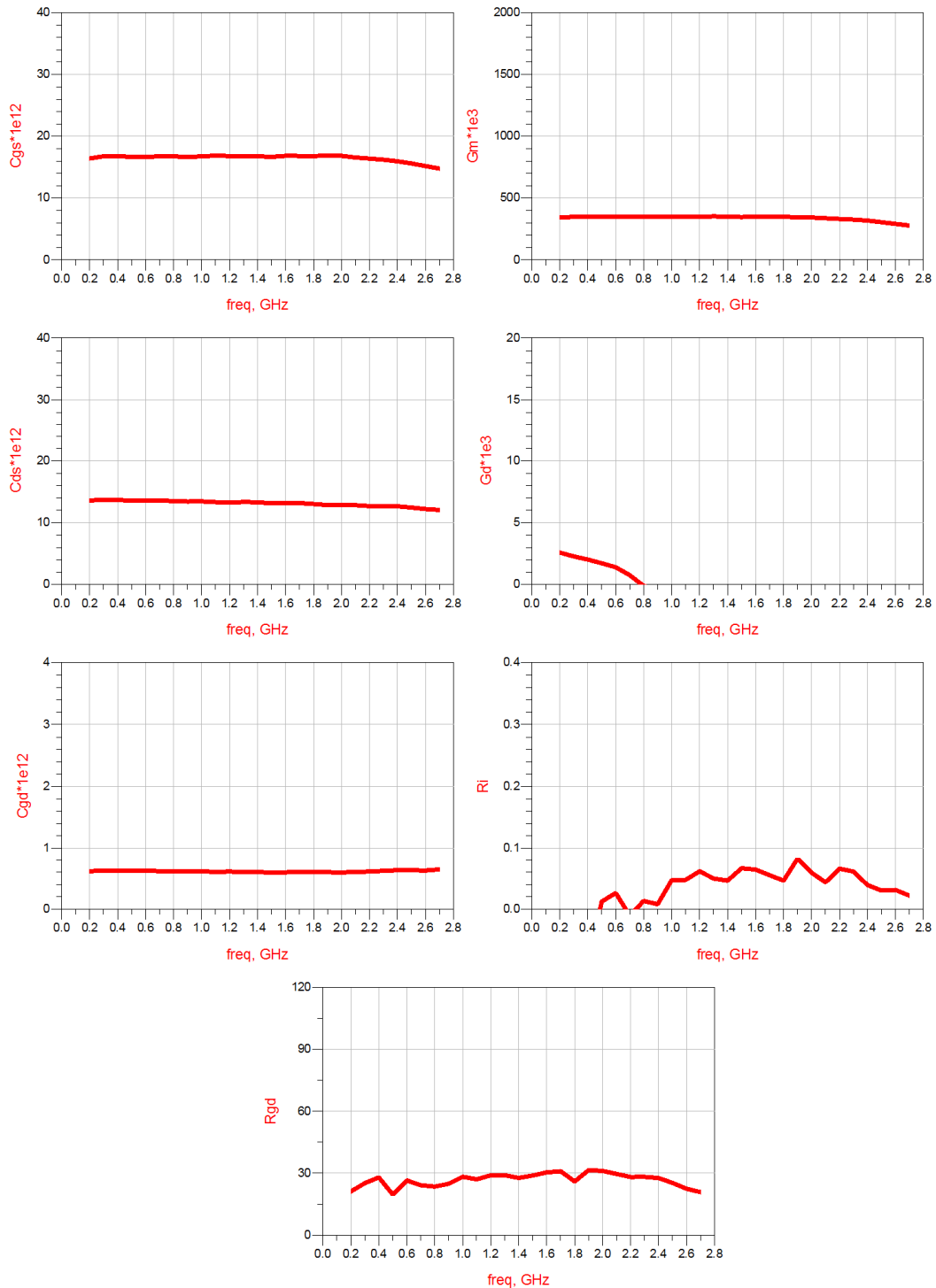


Figure III.13 : Eléments intrinsèques g_d , g_m , C_{gs} , C_{gd} , C_{ds} R_i et R_{gd} extraits

D'après les résultats obtenus, on remarque que les valeurs des éléments (C_{gs} , C_{gd} , C_{ds} , R_{gd} et g_m) sont constantes dans la bande fréquentiel **0.2-2.7GHz**.

La conductance g_d présente une nette variation avec la fréquence c'est à dire plus la fréquence augmente plus la valeur de g_d diminue ce qui n'a pas de sens physique. Cette variation est due à l'erreur de la mesure des paramètres **S**. Nous prenons comme valeur de g_d celle des fréquences les plus faibles.

D'autre part, la résistance R_i décrit le caractère distribué du canal. Sa valeur n'est pas stable et très faible (environ de **0.05Ω**).

Le **Tableau III.4** donne les valeurs des éléments intrinsèques ainsi obtenus pour le transistor **BLF2043F** à $V_{ds}=26V$ et $V_{gs}=4.8V$.

Éléments intrinsèques extraits	C_{gs}	C_{gd}	C_{ds}	R_i	R_{gd}	g_d	g_m
Unité	pF	pF	pF	Ω	Ω	mS	mS
Valeur	16.75	0.62	13.3	0.05	28	2.6	348

Tableau III.4 : Éléments intrinsèques extraits

4. Conclusion

Pour modéliser le transistor **LDMOS** dans le domaine des hyperfréquences, nous avons utilisé la modélisation empirique, nous nous sommes basées sur un schéma équivalent que nous avons choisi. Pour extraire les éléments de ce dernier, nous avons utilisé la méthode d'épluchage élaboré par **G. DAMBRINE**, et à l'aide du simulateur **ADS** d'Agilent Technologies qui est largement utilisé par les concepteurs de circuits intégrés en micro-ondes.

Tout d'abord, nous avons décrit le schéma équivalent petit-signal du transistor **LDMOSFET** en donnant la signification physique pour chaque élément.

Par la suite, nous avons illustré les procédures d'extraction des différents éléments (intrinsèques, extrinsèques et boîtier) basées sur des mesures hyperfréquences de paramètres **S**.

Dans le chapitre qui suit, nous allons appliquer la méthode d'extraction expliquée précédemment pour plusieurs schémas équivalents afin de les comparer et de choisir parmi eux le schéma le mieux pour modéliser ce transistor en termes de précision et de simplicité.

Chapitre 4 :

Comparaison des Résultats et Interprétations

1. Introduction

Dans le chapitre précédent, nous avons développé les techniques d'extraction des éléments électriques du modèle, basées sur des mesures hyperfréquences des paramètres **S**.

Au cours du présent chapitre, nous présenterons d'autres schémas équivalents et nous les étudierons de la même manière expliquée précédemment, et à travers une comparaison entre ses paramètres **S** mesurés et ceux calculés d'une part et la simplicité d'extraction des éléments intrinsèques d'autre part, les résultats de simulations seront confrontés à des résultats expérimentaux afin de vérifier la validité du modèle. Nous allons détailler cette opération dans le logiciel de simulation électrique pour les circuits intégrés **ADS**.

A la fin, nous comparons les résultats de chaque schéma afin de choisir le meilleur en se basant sur la précision et la simplicité.

2. Nécessité de la simulation

Les dispositifs hyperfréquences sont de plus en plus utilisés de nos jours. Il devient primordial de pouvoir les simuler avec précision avant la réalisation. Le but final est d'avoir un circuit qui une fois réalisé, fonctionne du premier coup tout en respectant les contraintes du cahier de charge et cela avec la moindre retouche possible. Nous évitons ainsi un surcoût inutile lié à la réalisation d'un grand nombre de maquette de tests tout en réduisant considérablement le temps de conception. Il est alors possible de maîtriser et réduire le coût final du produit [47].

Pour atteindre ces objectifs, il est nécessaire de disposer d'outils adéquats tels que des logiciels commerciaux de **CAO**.

Afin de tenir compte de tous les éléments du modèle équivalent du transistor, nous avons eu recours au simulateur **ADS** qui est largement utilisé dans l'industrie et la recherche [47].

3. Logiciel de simulation ADS

Le logiciel **ADS** est un logiciel de simulation de systèmes électroniques pour les micro-ondes et les hyperfréquences. Les applications visées sont très vastes et comprennent le domaine de la téléphonie mobile, les réseaux sans fil, et les systèmes de communications radar et satellite. Il offre des possibilités de conception et de simulation pour les domaines des radiofréquences et des micro-ondes et se divise en 2 modules « **Analog RF Designer** » et « **Digital Signal Processing Designer** » pouvant interagir entre eux :

- La conception de circuits intégrés monolithiques (**MMICs**) ou hybrides (avec des Composants Montés en Surface : **CMS**).
- La conception de nouvelles architectures pour les futures normes de télécommunications sans fils [48, 49].

Sous sa plus simple forme, **ADS** a la même fonctionnalité que d'autres programmes **SPICE** comme **PSPICE**. Il y'a une interface utilisateur graphique pour tracer le schéma du circuit (entrée schématique). Comme beaucoup de programmes commerciaux **SPICE**, le logiciel vient avec un nombre considérable des bibliothèques prédéfinies. Puisque le logiciel **ADS** est destiné aux applications radiofréquences, la majorité des dispositifs dans sa bibliothèque sont des dispositifs **RF** et micro-ondes. Cependant, il y'a peu de **FETs** et de **BJTs** basse fréquences [50].

4. Techniques de simulation

Il existe plusieurs techniques de simulation dans **ADS** telles que [29, 48] :

- **Simulation DC** : Elle détermine le comportement en régime statique du système.
- **Simulation AC** : Elle effectue essentiellement une analyse du circuit en petit-signal.
- **Simulation des paramètres S** : Elle assure la détermination des rapports d'onde aux accès du système pour un point de fonctionnement linéarisé (petit-signal) autour du point de polarisation.
- **Simulation temporelle (transitoire)** : Elle permet la détermination de l'évolution temporelle des signaux du système.

- **Simulation en équilibre harmonique** : Elle détermine le régime établi dans le domaine fréquentiel.
- **Simulation d'enveloppe** : Elle détermine le régime transitoire des enveloppes des signaux.

Dans notre projet nous avons utilisé la technique de simulation des paramètres **S** à l'aide du simulateur **ADS**.

5. Intégration du schéma équivalent dans le simulateur

Nous avons implanté les paramètres **S** mesurés par **M. TAMOUM** sur la gamme de fréquences de travail (**0.2 à 2.7GHz**) à l'aide d'un analyseur de réseau vectoriel (**VNA**) dans un fichier (**.S2P**) pour (**$V_{gs}=4.8V$, $V_{ds}=26V$**). La **Figure IV.1** montre le design utilisé pour la visualisation des paramètres **S** mesurés sous **ADS**. Notons que :

- **S2P** est un composant dans le simulateur **ADS** à deux ports, le **port 1** supposé port d'entrée est relié au **term1**, et le **port 2** de la sortie reliée au **term2**.
- Le fichier des mesures **S2P** (dans notre cas « **ALM22010.S2P** ») doit être copié dans le dossier **data** du projet.
- **S-PARAMETERS** dans lequel on peut indiquer les fréquences de début, de fin et le pas est le simulateur utilisé pour afficher les paramètres **S**.

Par conséquent, nous pouvons visualiser les différents résultats sous forme d'abaque de Smith, de courbes de module et de phase, ou encore sous forme de tableaux de valeurs.

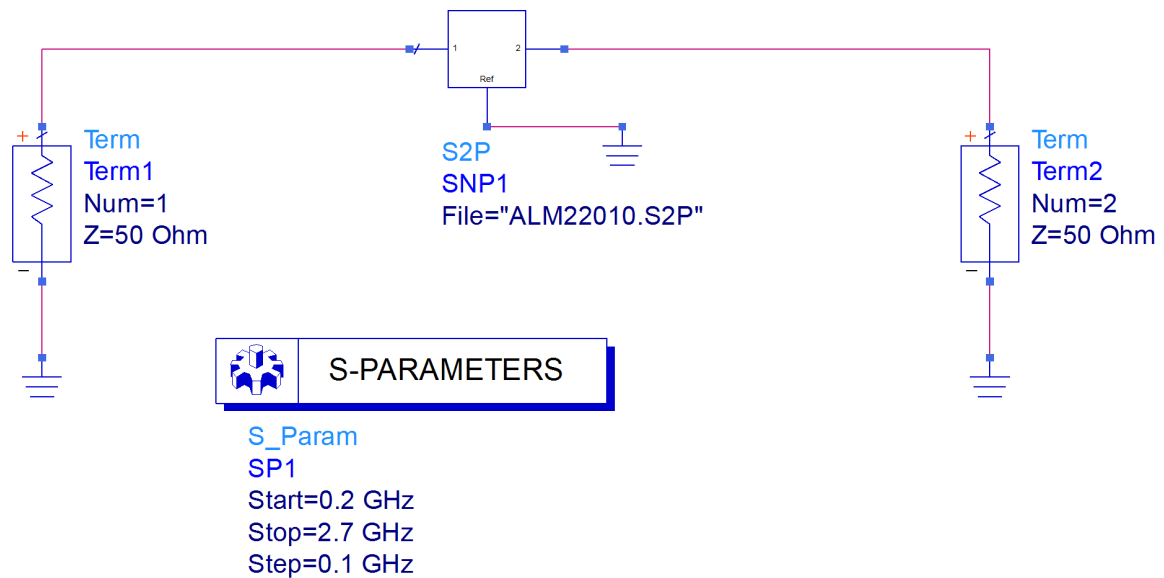


Figure IV.1 : Design utilisé pour la visualisation des paramètres **S** mesurés sous **ADS**

Un bon avantage d'**ADS** c'est qu'il permet de visualiser les résultats de plusieurs designs en même temps, et donc la possibilité de comparer les résultats des mesures avec ceux des calculs.

Après la simulation en rajoutant dans **ADS** les équations décrivant les différentes transformations des paramètres **S** en paramètres **Z** ou **Y** ainsi que les équations décrivant les éléments intrinsèques afin d'extraire leurs valeurs.

5.1. Paramètres **S** mesurés

Les paramètres **S** mesurés sont représentés sous forme d'abaque de Smith sur la **Figure IV.2**

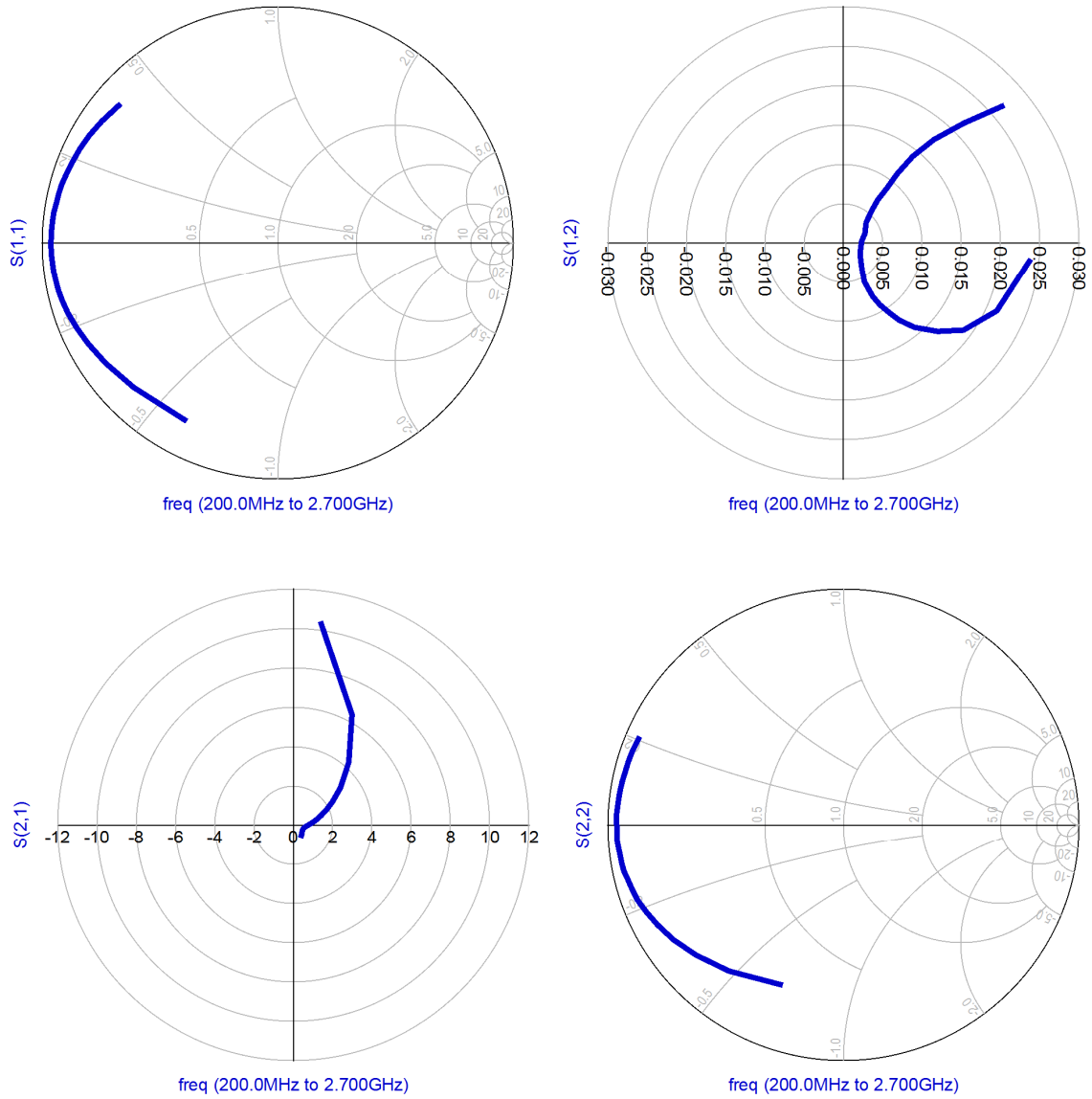


Figure IV.2 : Paramètres S mesurés pour $V_{ds}=26V$ et $V_{gs}=4.8V$

5.2. Paramètres S simulés

Le modèle petit-signal implémenté sur **ADS** qui concerne notre premier schéma équivalent, alimenté par les valeurs des éléments extraits dans le chapitre 3 (boîtier, extrinsèques et intrinsèques) est illustré sur la **Figure IV.3**.

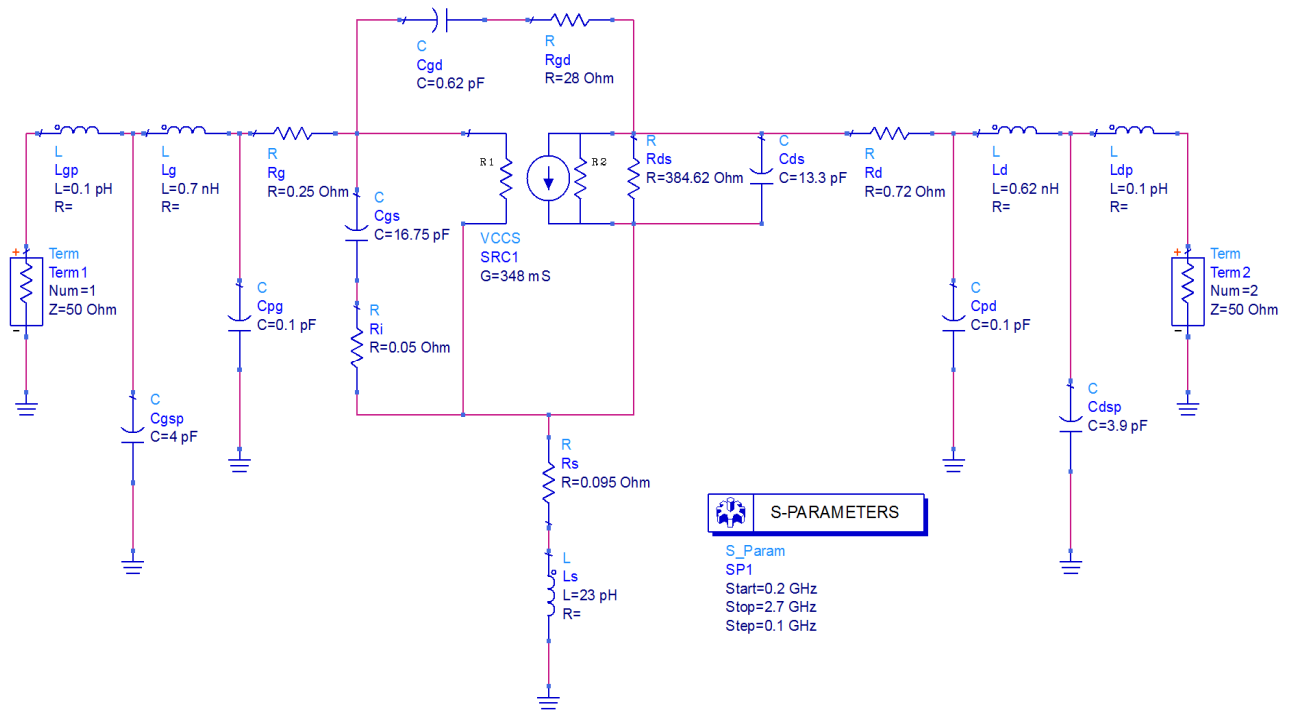


Figure IV.3 : Schéma équivalent introduit dans le simulateur **ADS**

Les paramètres **S** simulés sont représentés sous forme d'abaque de Smith sur la **Figure IV.4**

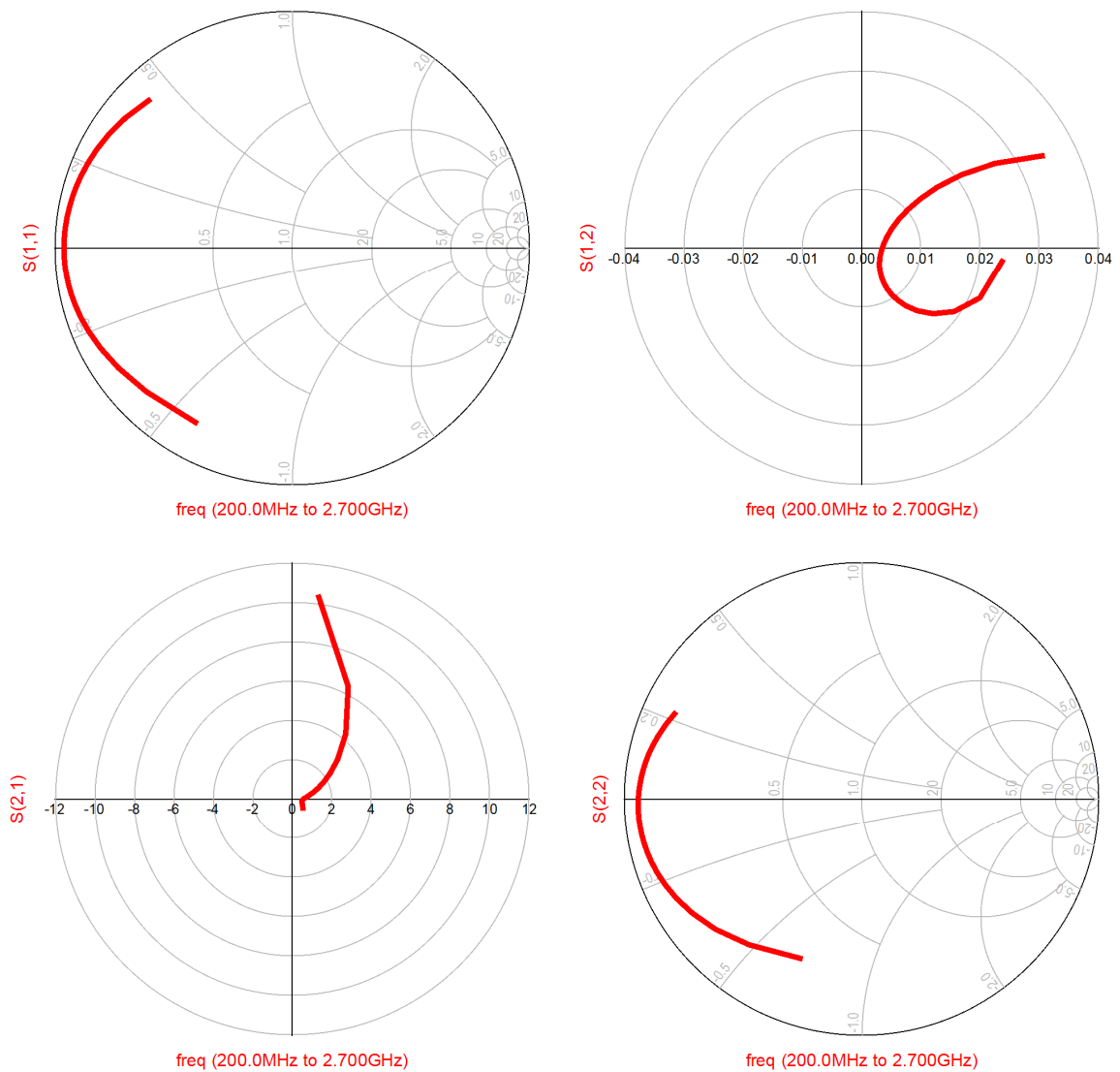


Figure IV.4 : Paramètres S simulés pour $V_{ds}=26V$ et $V_{gs}=4.8V$

6. Validation du model

La validation du modèle consiste en une comparaison entre les paramètres **S** simulés et ceux mesurés.

La **Figure IV.5** illustre les paramètres **S** mesurés et simulés du premier schéma équivalent sur la gamme de fréquence **0.2GHz-2.7GHz**.

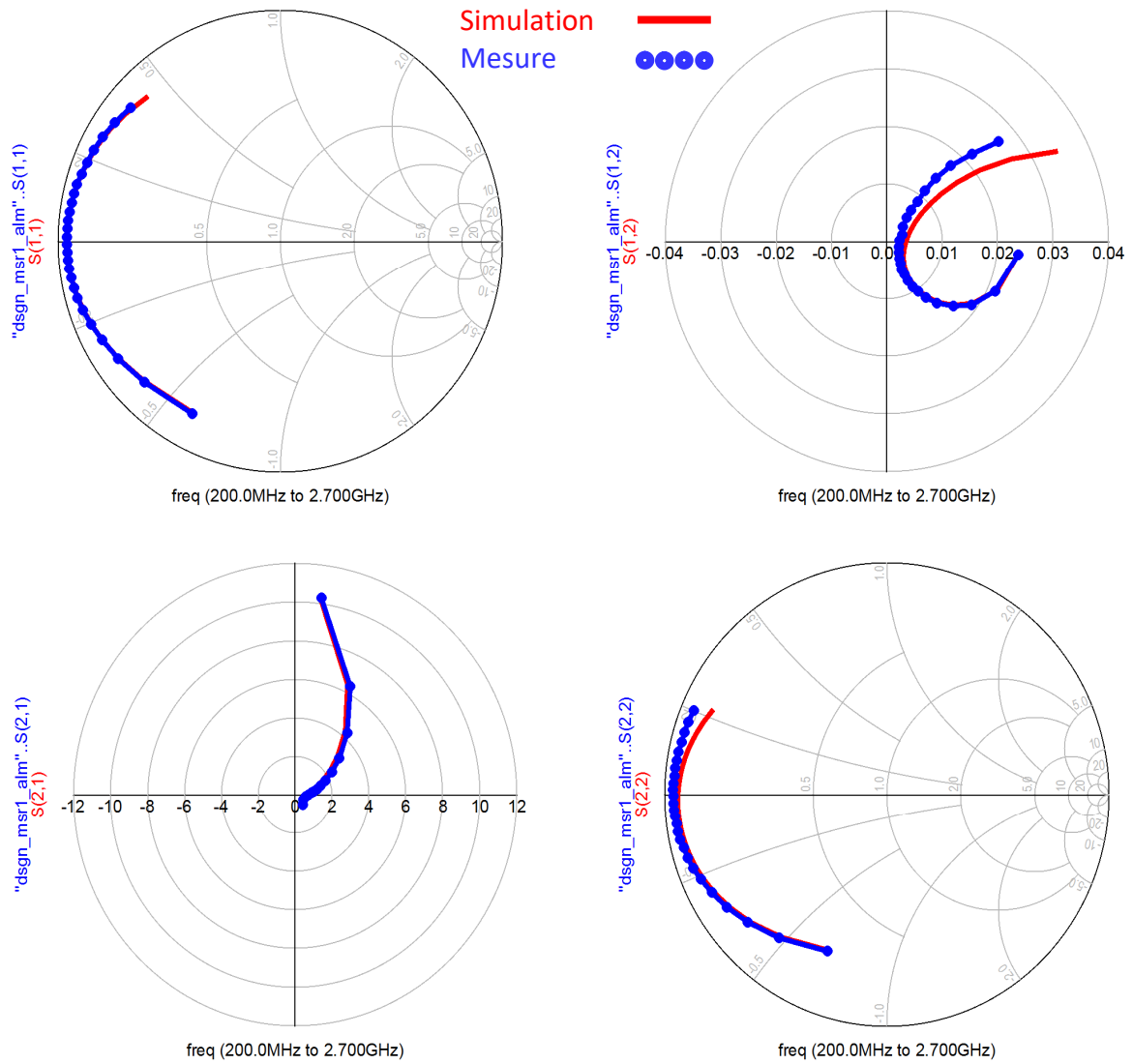


Figure IV.5 : Comparaison entre les paramètres **S** mesurés et simulés pour $V_{ds}=26V$ et $V_{gs}=4.8V$ pour le schéma 1

Nous observons une excellente concordance de ces évolutions, ce qui traduit une reproduction satisfaisante du fonctionnement du composant et une bonne prédiction des performances en régime petit-signal.

Les résultats donnés par la simulation se rapprochent bien de la mesure malgré un petit décalage dans le paramètre S_{12} . Ceci est dû au fait que sa valeur est trop faible.

7. Présentations des modèles à étudier et intégration des schémas dans le logiciel ADS après extraction de leurs éléments

Jusqu'à maintenant, nous avons fait notre étude sur un schéma général (qui comporte le plus d'éléments) que l'on nomme désormais schéma équivalent 1. Dans ce qui suit, nous présenterons d'autres schémas équivalents en enlevant à chaque fois des éléments ou en leurs modifiant de places dans le circuit, et nous les étudierons de la même manière expliquée précédemment. Ces schémas ont été utilisés dans la référence [51]. Ils sont toujours en relation avec le travail de la thèse de **M. TAMOUM**, puisque notre projet s'intéresse à l'étude d'un type spécifique de transistor **LDMOS** qui est le **BLF2043F** de **NXP Semiconductor** encapsulé dans un boîtier.

7.1. Schéma équivalent 2

Pour le deuxième schéma proposé dans notre travail, on enlève la résistance R_{gd} comme est-il illustré sur la **Figure IV.6**. Un schéma similaire a été utilisé dans la référence [51].

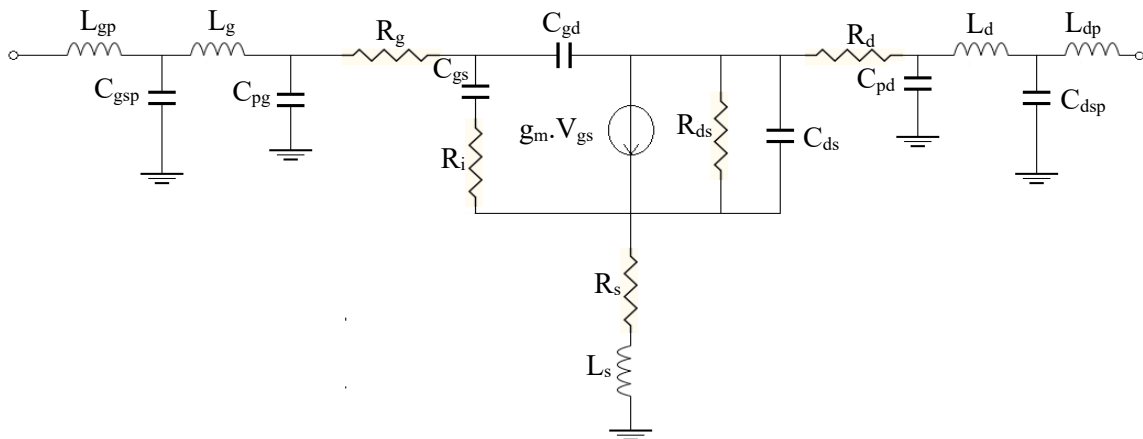


Figure IV.6 : Modèle électrique 2 du transistor **LDMOS**

L'organigramme d'extraction est le même que celui du premier schéma équivalent du troisième chapitre (**Figure III.12**). On supprime juste l'équation pour la détermination de la valeur de R_{gd} du programme.

Les éléments intrinsèques extraits du transistor à $V_{ds}=26V$ et $V_{gs}=4.8V$ sont illustrés sur la **Figure IV.7** :

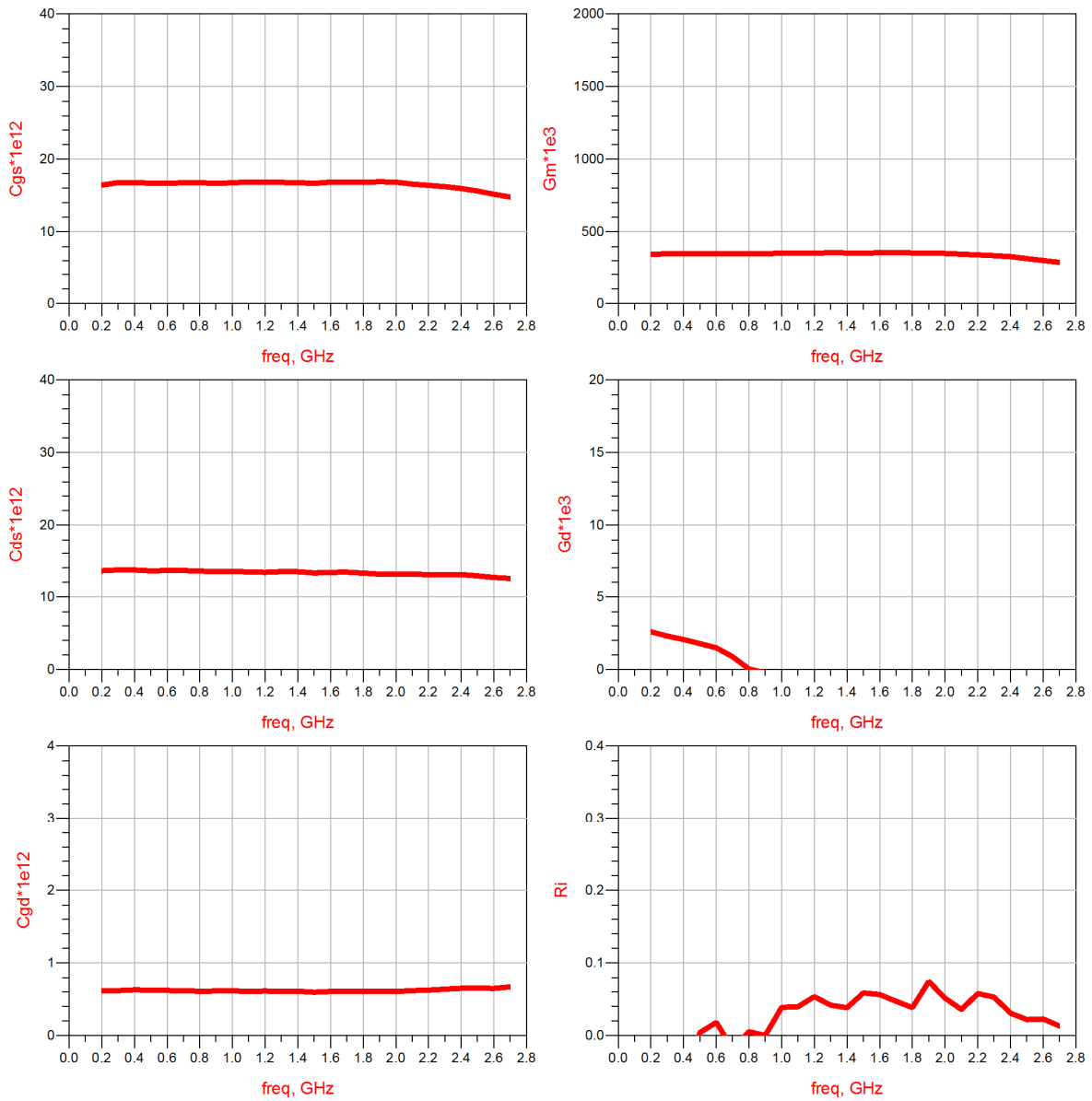


Figure IV.7 : Éléments intrinsèques g_d , g_m , C_{gs} , C_{gd} , C_{ds} et R_i extraits

Le **Tableau IV.1** donne les valeurs des éléments intrinsèques pour le schéma 2 :

Éléments intrinsèques extraits	C_{gs}	C_{gd}	C_{ds}	R_i	g_d	g_m
Unité	pF	pF	pF	Ω	mS	mS
Valeur	16.75	0.62	13.3	0.05	2.6	348

Tableau IV.1 : Éléments intrinsèques extraits à $V_{ds}=26V$ et $V_{gs}=4.8V$ pour le schéma 2

Le design implémenté sur **ADS** de notre deuxième modèle électrique alimenté par les valeurs des éléments extraites est illustré sur la **Figure IV.8** :

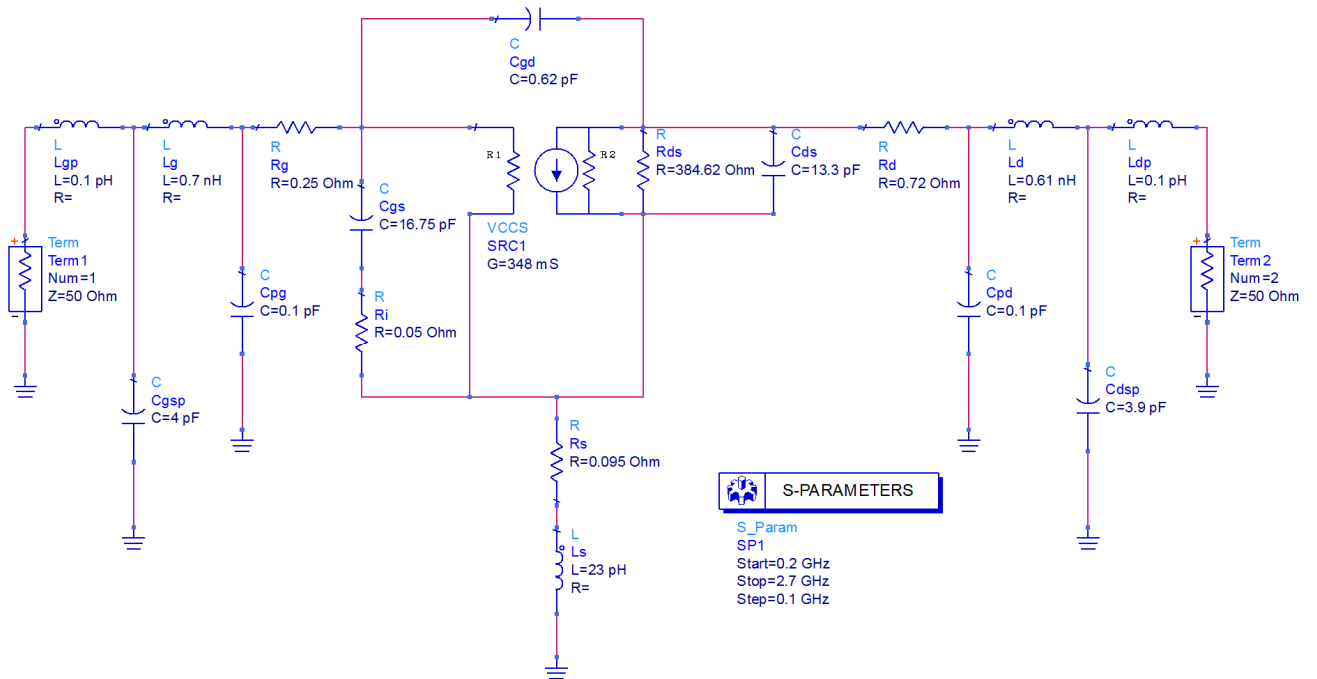


Figure IV.8 : Schéma équivalent 2 introduit dans le simulateur **ADS**

7.2. Schéma équivalent 3

Pour le troisième schéma proposé dans notre travail, on change les positions de C_{pd} et C_{pg} comme dans la **Figure IV.9**. Il a été inspiré des références [27, 32, 51].

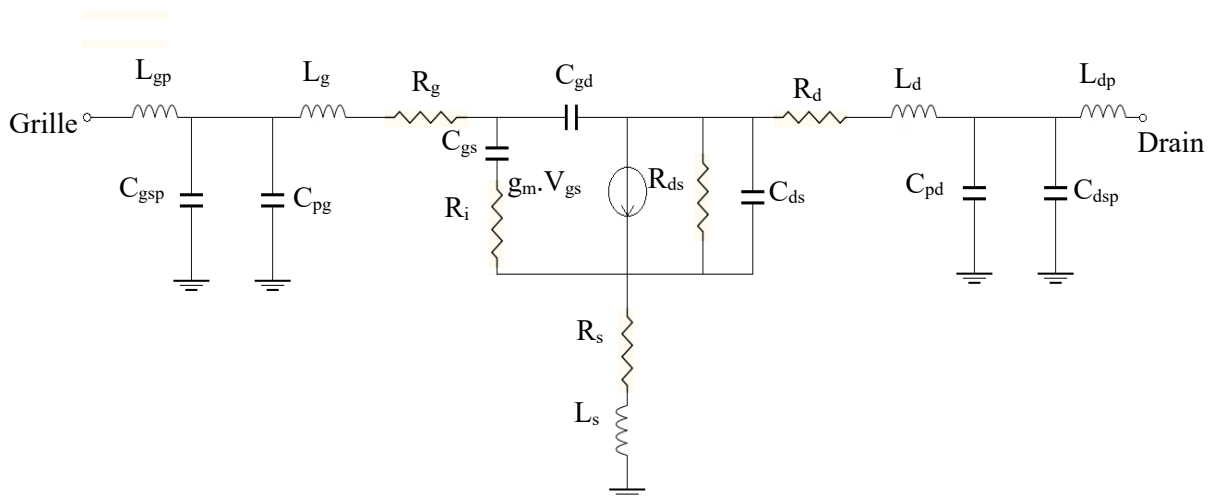


Figure IV.9 : Modèle électrique 3 du transistor **LDMOS**

Les capacités C_{pg} et C_{gsp} sont devenues en parallèles ainsi que les capacités C_{pd} et C_{dsp} , par contre les éléments L_g et R_g sont devenus en série et les éléments L_d et R_d aussi. Donc l'épluchage des capacités du boîtier (C_{dsp} et C_{gsp}) et des capacités extrinsèques (C_{pd} , C_{pg}) peuvent se faire dans une seule étape. La même chose pour les éléments séries.

L'organigramme d'extraction des éléments intrinsèques sera simplifié de la manière suivante : (**Figure IV.10**)

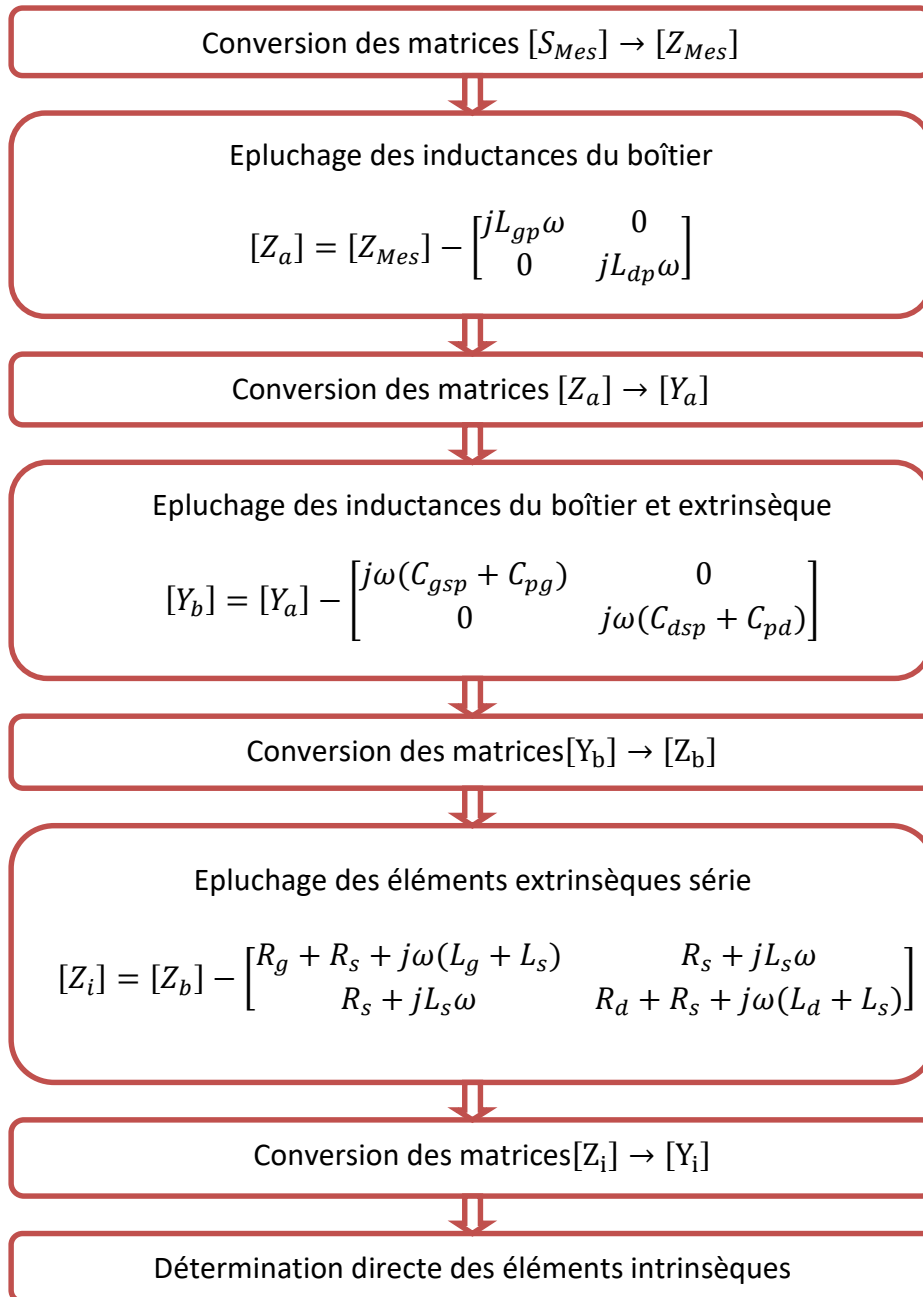


Figure IV.10 : Procédure d'extraction des éléments intrinsèques du schéma 3

Les éléments intrinsèques extraits du transistor sont illustrés sur la **Figure IV.11** :

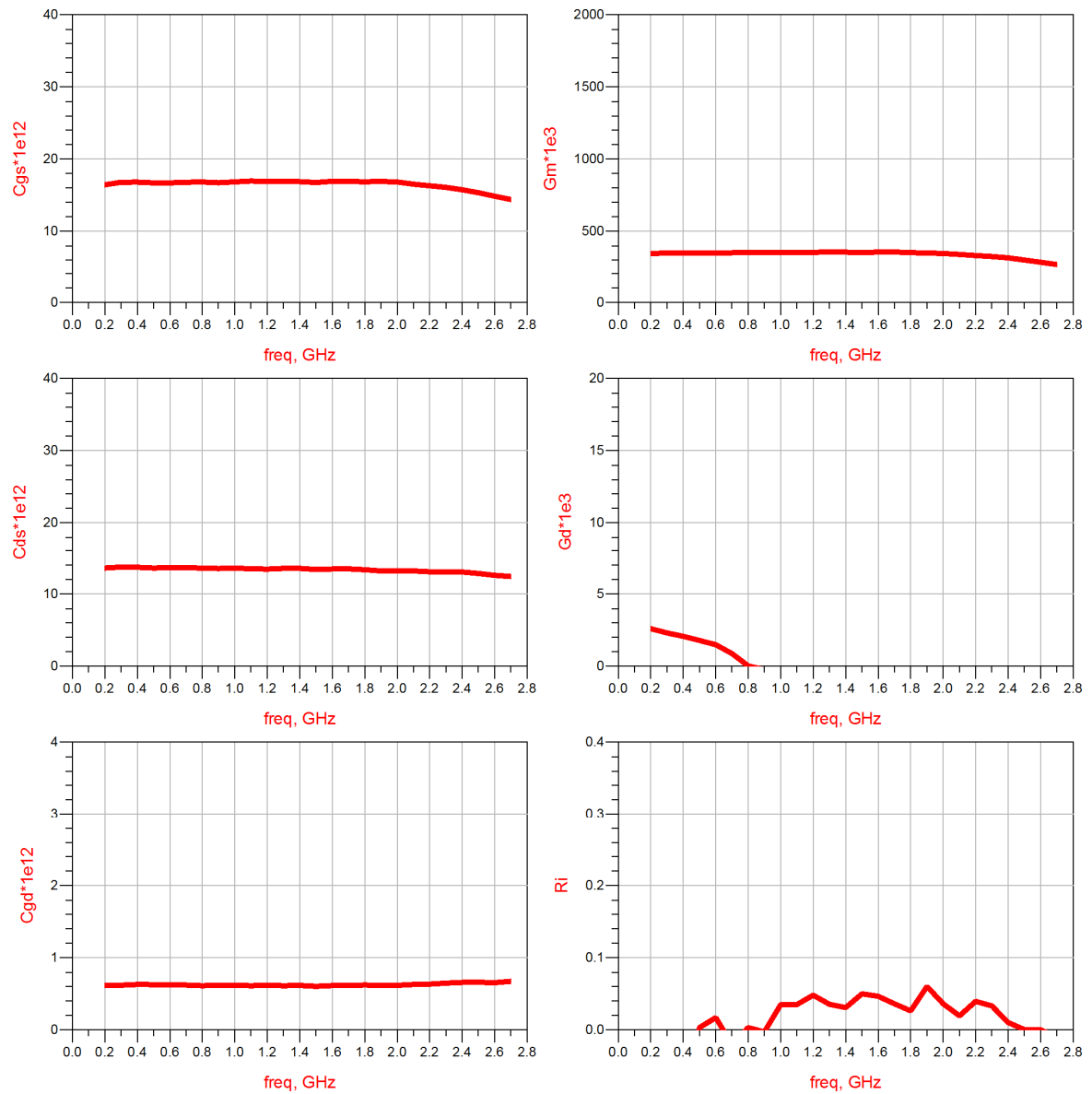


Figure IV.11 : Éléments intrinsèques g_d , g_m , C_{gs} , C_{gd} , C_{ds} et R_i extraits

Nous n’avons pas remarqué un changement par rapport aux courbes des éléments intrinsèques du deuxième schéma équivalent.

Le **Tableau IV.2** donne les valeurs des éléments intrinsèques pour le schéma 3 :

Éléments intrinsèques extraits	C_{gs}	C_{gd}	C_{ds}	R_i	g_d	g_m
Unité	pF	pF	pF	Ω	mS	mS
Valeur	16.75	0.62	13.3	0.04	2.6	348

Tableau IV.2 : Éléments intrinsèques extraits du schéma 3

Le design implémenté sur **ADS** de notre troisième modèle électrique alimenté par les valeurs des éléments extraits est illustré sur la **Figure IV.12** :

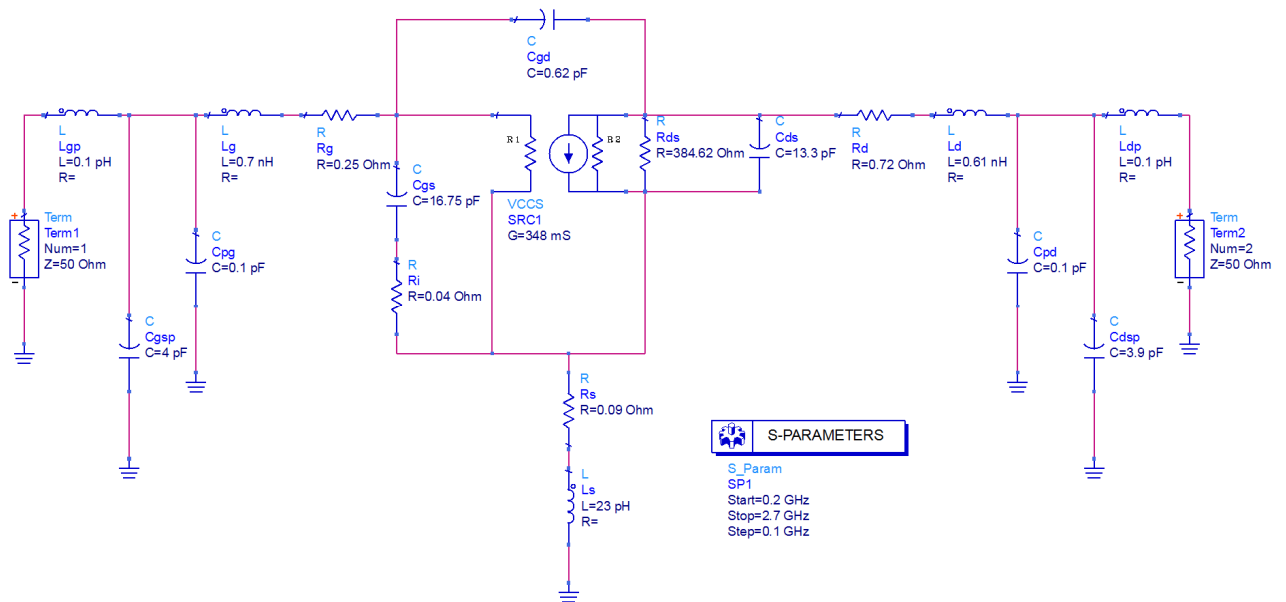


Figure IV.12 : Schéma équivalent 3 introduit dans le simulateur **ADS**

7.3. Schéma équivalent 4

Pour le schéma 4, on enlève les capacités extrinsèques (C_{pg} et C_{pd}) comme est-il illustré sur la **Figure IV.13** puisque leurs valeurs sont très faibles (**0.1pF**).

Un schéma similaire a été utilisé dans les références [37, 51, 52].

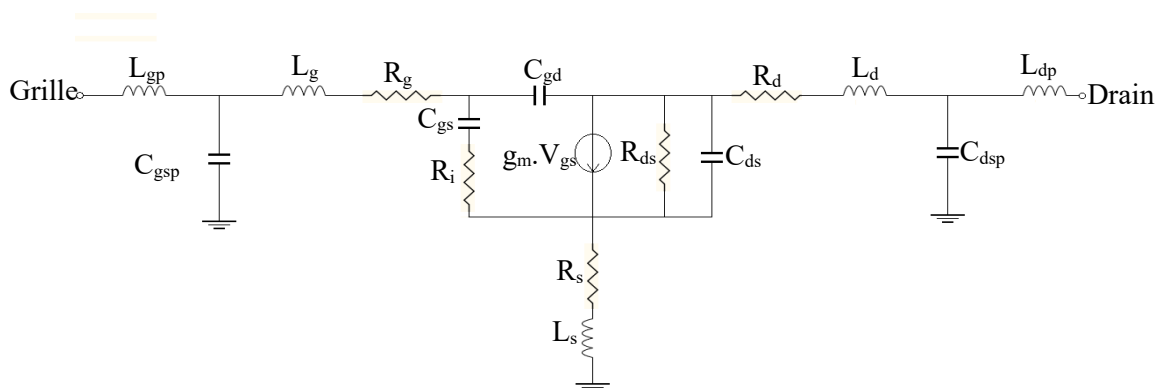


Figure IV.13 : Modèle électrique 4 du transistor **LDMOS**

L'extraction des éléments intrinsèques se fait suivant l'organigramme de la **Figure IV.14** :

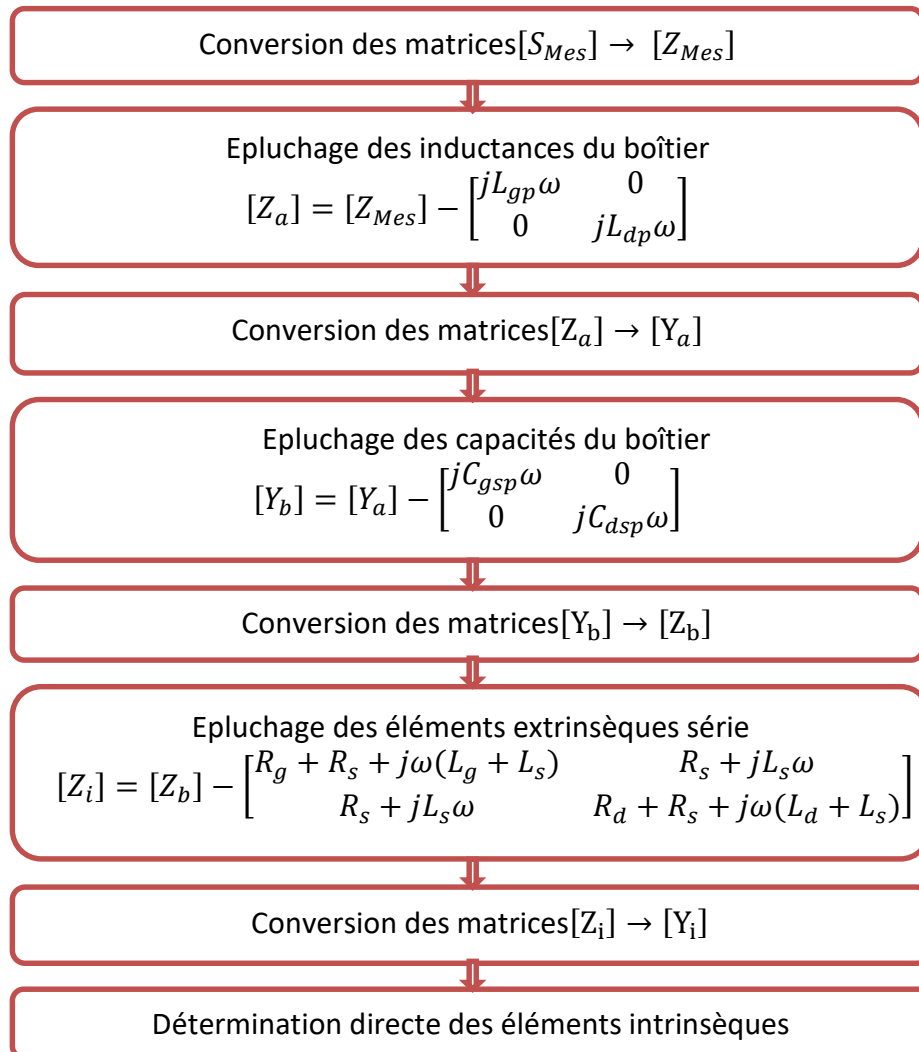


Figure IV.14 : Procédure d'extraction des éléments intrinsèques pour le schéma 4

La **Figure IV.15** illustre les résultats d'extraction des éléments intrinsèques :

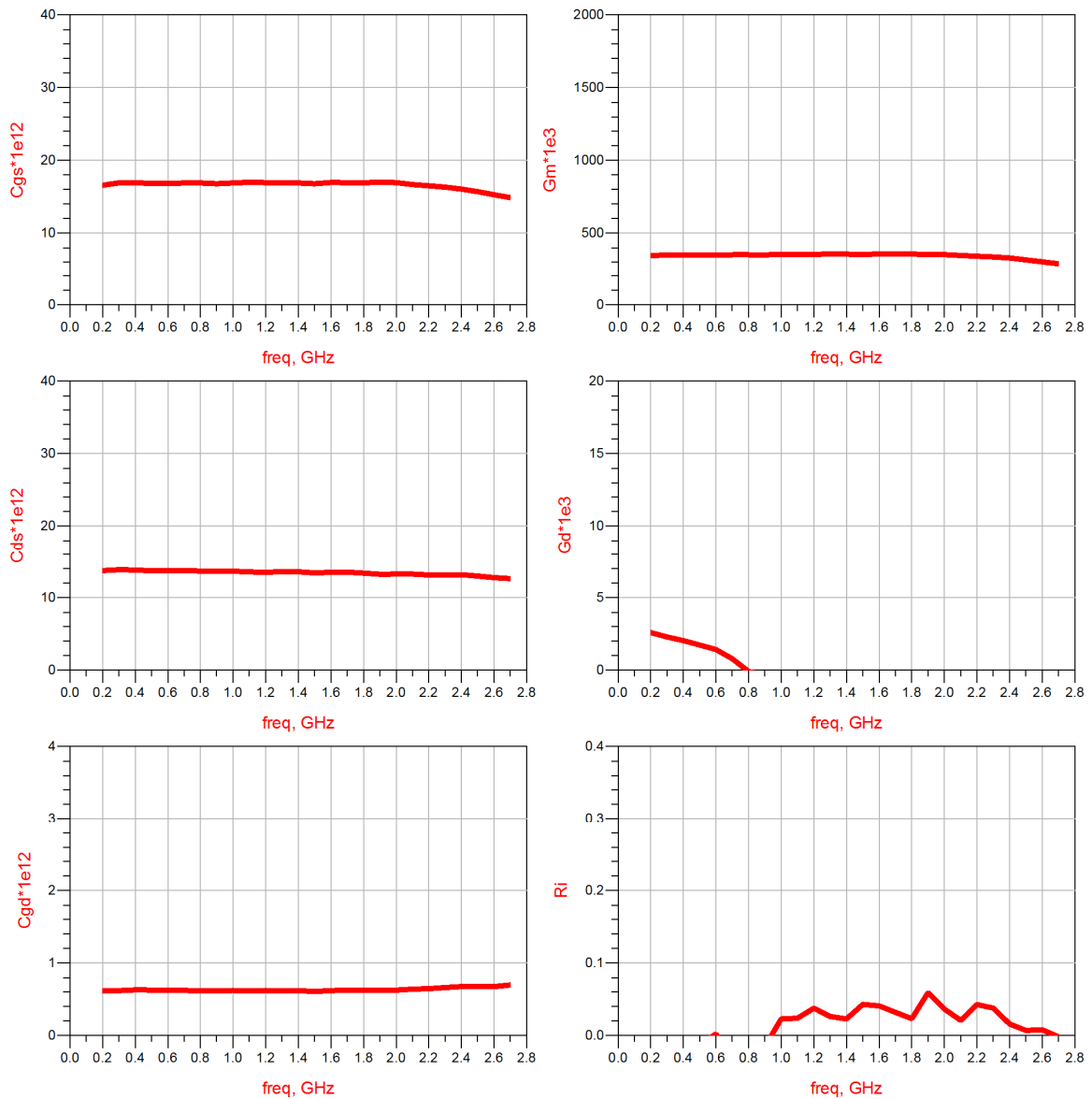


Figure IV.15 : Eléments intrinsèques g_d , g_m , C_{gs} , C_{gd} , C_{ds} et R_i extraits du schéma 4

Pour le quatrième schéma équivalent, on remarque une légère augmentation dans les valeurs de C_{ds} , et g_m , tandis que les valeurs des éléments C_{gs} , C_{gd} sont toujours constantes.

Les valeurs des éléments intrinsèques extraits sont regroupées dans le **Tableau IV.3** :

Éléments intrinsèques extraits	C_{gs}	C_{gd}	C_{ds}	R_i	g_d	g_m
Unité	pF	pF	pF	Ω	mS	mS
Valeur	16.75	0.62	13.6	0.03	2.6	350

Tableau IV.3 : Éléments intrinsèques extraits du schéma 4

Nous disposons à présent de tous les éléments du schéma équivalent. Le modèle final implémenté sous **ADS** est représenté sur la **Figure IV.16** :

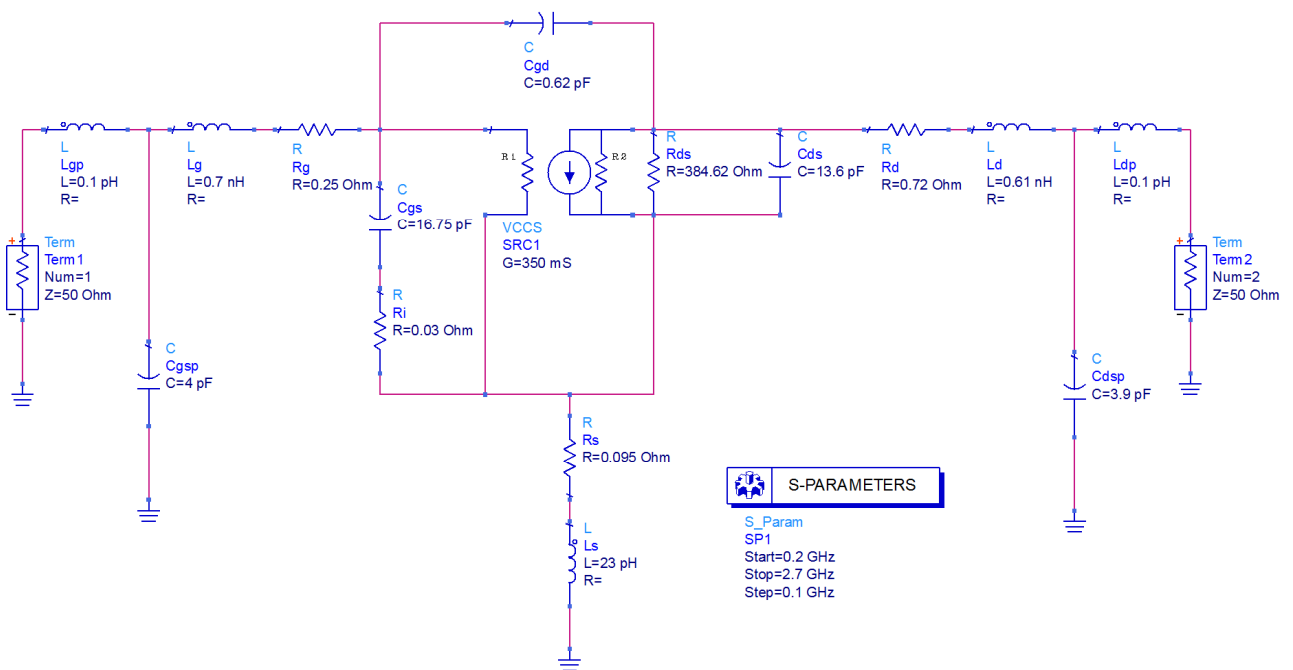


Figure IV.16 : Schéma équivalent 4 introduit dans le simulateur **ADS**

7.4. Schéma équivalent 5

Pour le cinquième modèle, nous avons supprimé l'élément R_i du schéma équivalent sur lequel nous avons travaillé précédemment, du fait que sa valeur est très petite, on peut donc la négliger. Un schéma similaire a été utilisé dans les références [51, 52, 53].

Le schéma équivalent tel qu'il est usuellement utilisé est illustré sur la **Figure IV.17**.

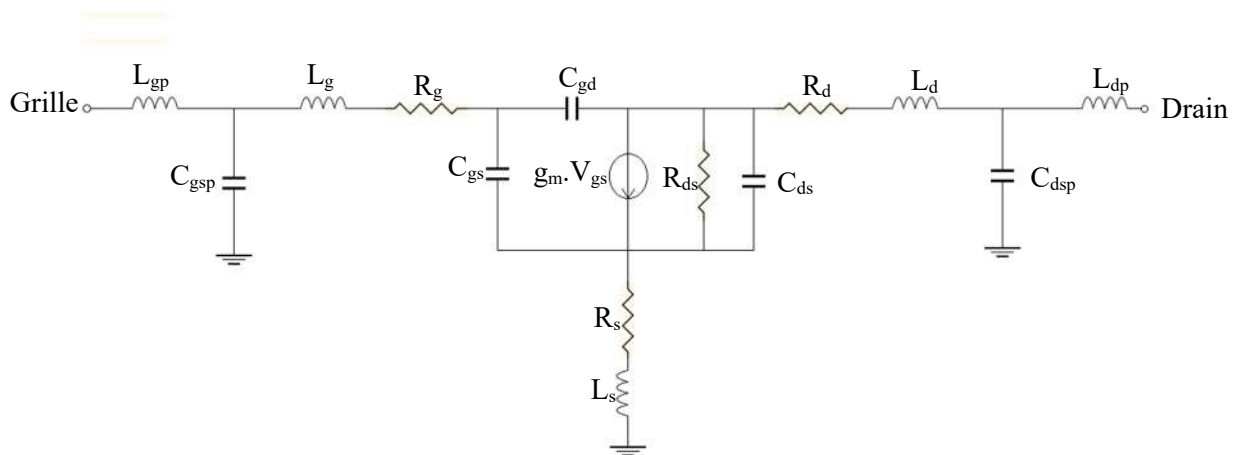


Figure IV.17 : Modèle électrique 5 du transistor **LDMOS**

L'organigramme d'extraction est le même que celui du quatrième schéma équivalent (**Figure IV.14**). On supprime juste l'équation pour la détermination de la valeur de R_i dans le programme.

Les éléments intrinsèques extraits sont illustrés dans la **Figure IV.18** :

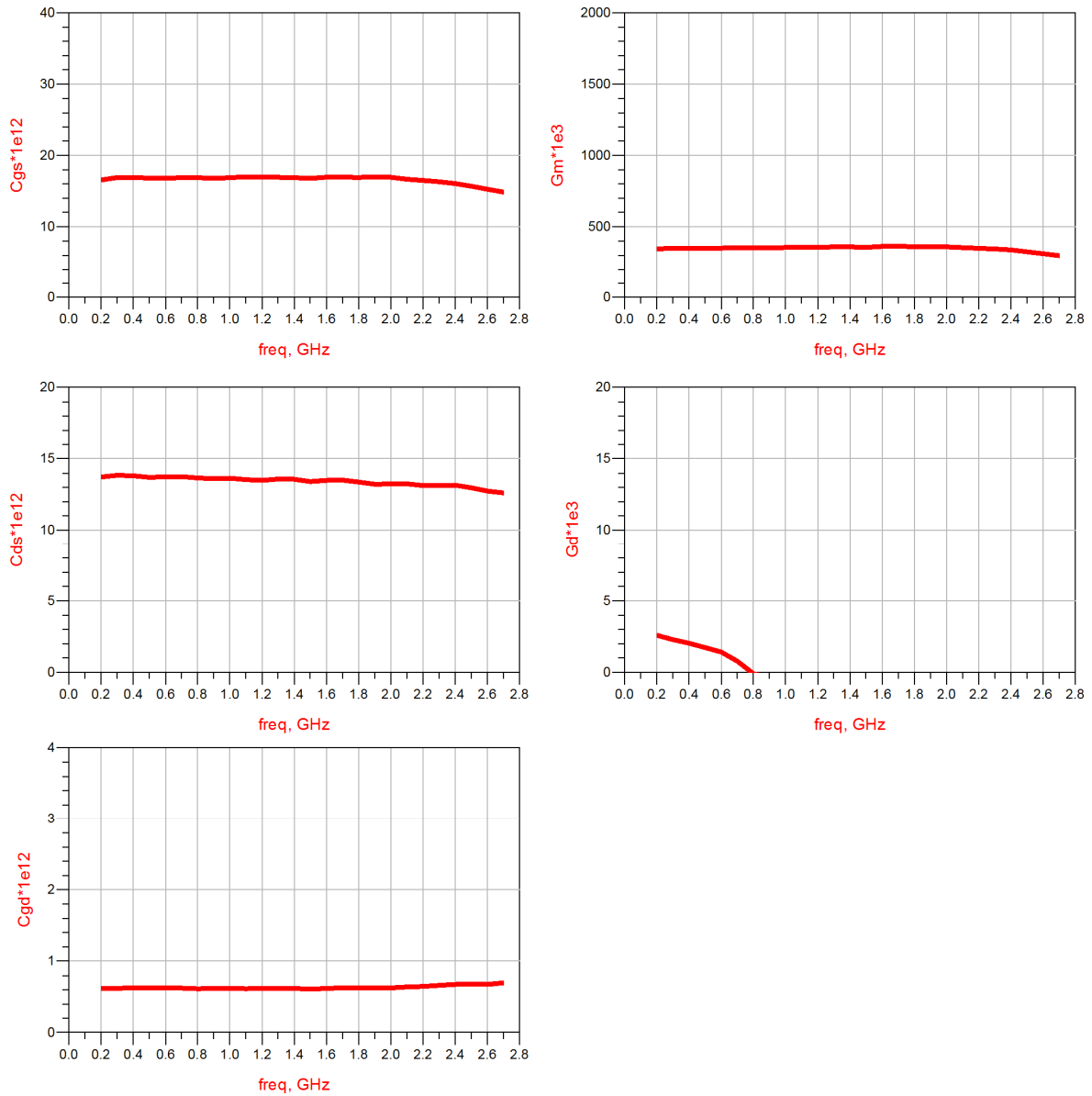


Figure IV.18 : Éléments intrinsèques g_d , g_m , C_{gs} , C_{gd} et C_{ds} extraits pour le schéma 5

Pour le cinquième schéma équivalent, les courbes des éléments intrinsèques extraits sont pratiquement les mêmes avec une petite différence dans la valeur C_{gs} par rapport aux schémas étudiés précédemment.

Le **Tableau IV.4** donne les valeurs des éléments intrinsèques :

Éléments intrinsèques extraits	C_{gs}	C_{gd}	C_{ds}	g_d	g_m
Unité	pF	pF	pF	mS	mS
Valeur	16.8	0.62	13.6	2.6	350

Tableau IV.4 : Éléments intrinsèques extraits du schéma 5

La Figure IV.19 illustre le design introduit sur ADS alimenté par les valeurs extraites du schéma 5.

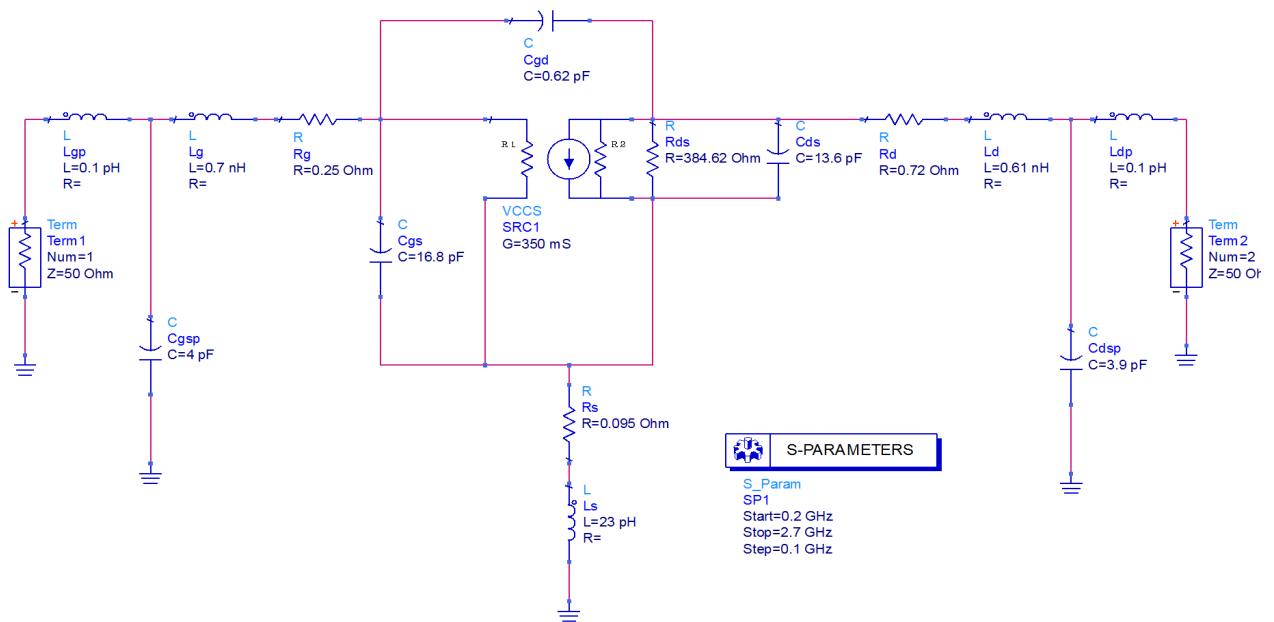


Figure IV.19 : Schéma équivalent 5 introduit dans le simulateur ADS

7.5. Schéma équivalent 6

Pour le modèle 6, nous avons enlevé les éléments L_{dp} et L_{gp} du boîtier du cinquième schéma équivalent. Un schéma similaire a été utilisé dans la référence [51].

Le schéma équivalent tel qu'il est usuellement utilisé est illustré sur la Figure IV.20

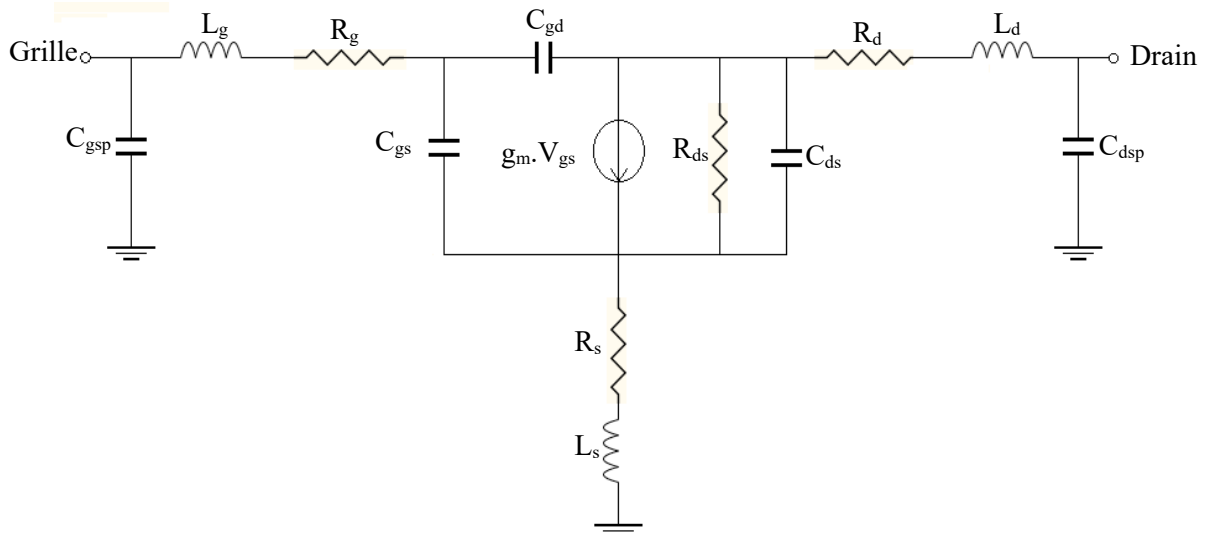


Figure IV.20 : Modèle électrique 6 du transistor LDMOS

L'extraction des éléments extrinsèques pour ce modèle se fait selon l'organigramme illustré sur la Figure IV.21.

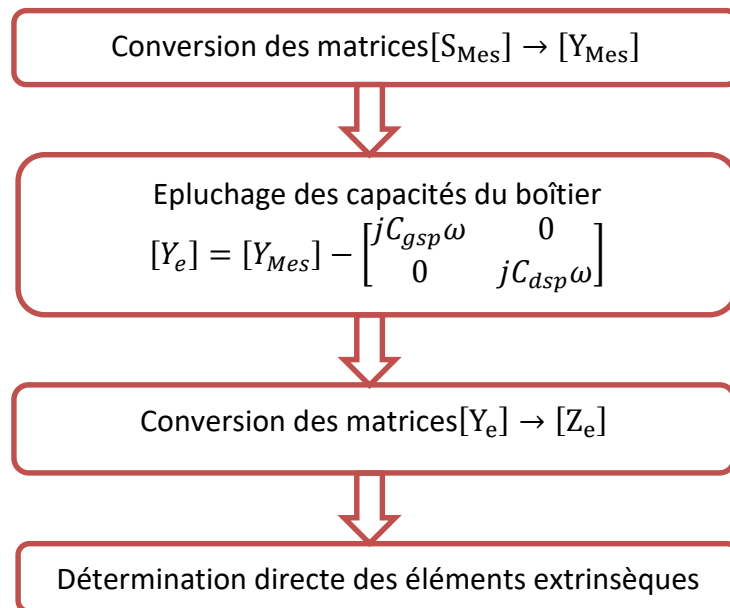


Figure IV.21 : Procédure d'extraction des éléments extrinsèques pour le schéma 6

La Figure IV.22 représente les graphes des éléments extrinsèques :

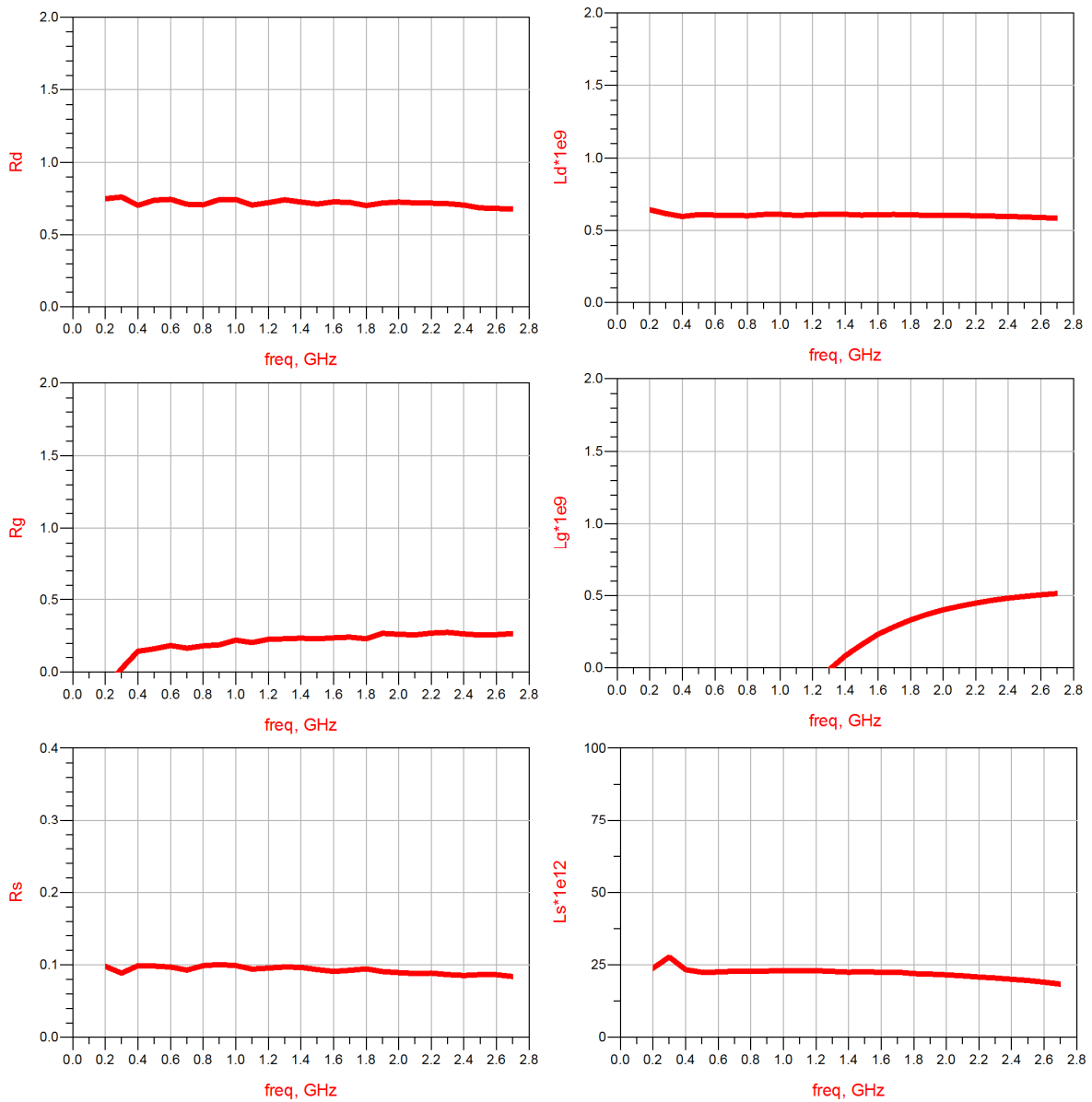


Figure IV.22 : Eléments extrinsèques extraits pour le schéma 6

Dans ce dernier schéma, nous avons remarqué que malgré la simplification du model, les courbes des éléments extrinsèques (R_g , R_d , R_s , L_g , L_d et L_s) sont pratiquement les mêmes que celles trouvées au chapitre trois avec un léger changement au niveau de la valeur L_d .

Les valeurs des éléments extrinsèques extraits sont représentées au tableau suivant (Tableau IV.5) :

Éléments extrinsèques extraits	L_g	L_d	L_s	R_g	R_d	R_s
Unité	nH	nH	pH	Ω	Ω	Ω
Valeur	0.7	0.61	23	0.25	0.72	0.095

Tableau IV.5 : Valeurs des éléments extrinsèques extraits pour le schéma 6

L'extraction des éléments intrinsèques est représentée sur l'organigramme de la **Figure IV.23**.

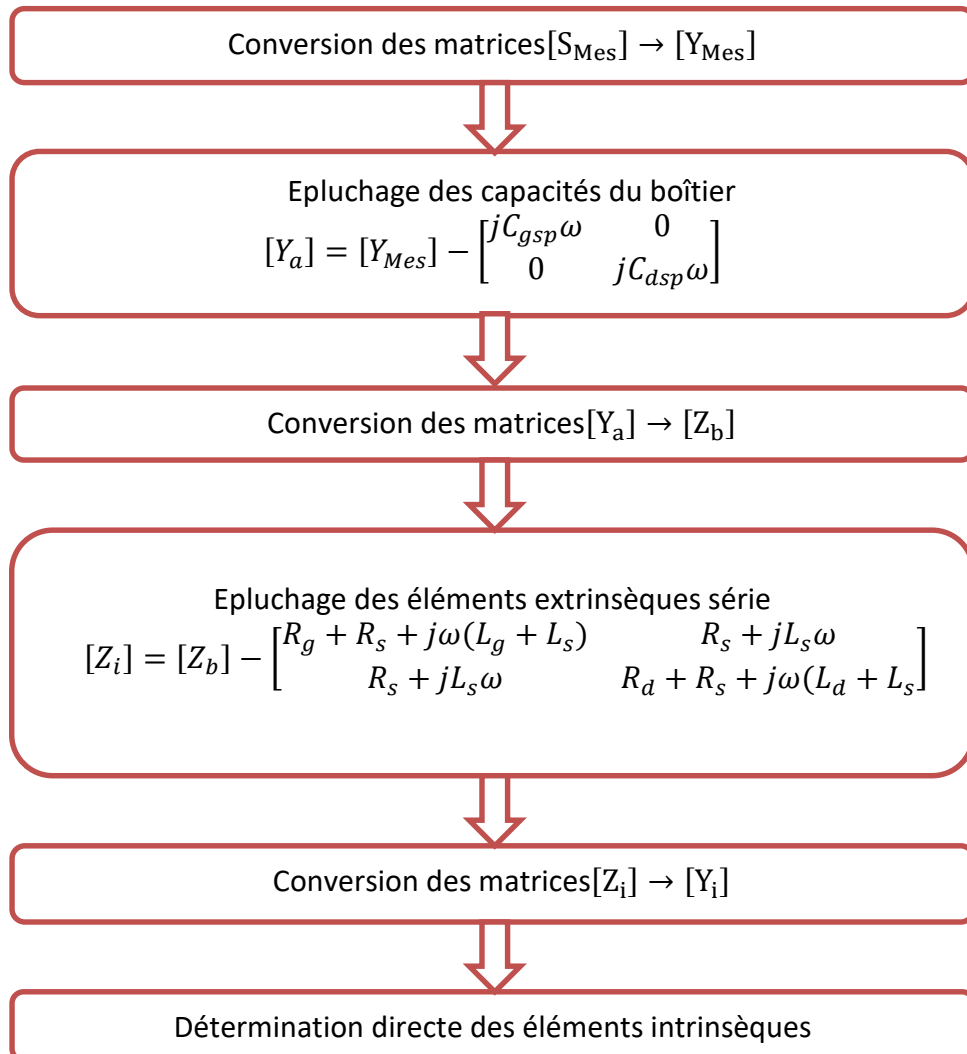


Figure IV.23 : Procédure d'extraction des éléments intrinsèques pour le schéma 6

Les éléments intrinsèques extraits sont illustrés dans la **Figure IV.24** :

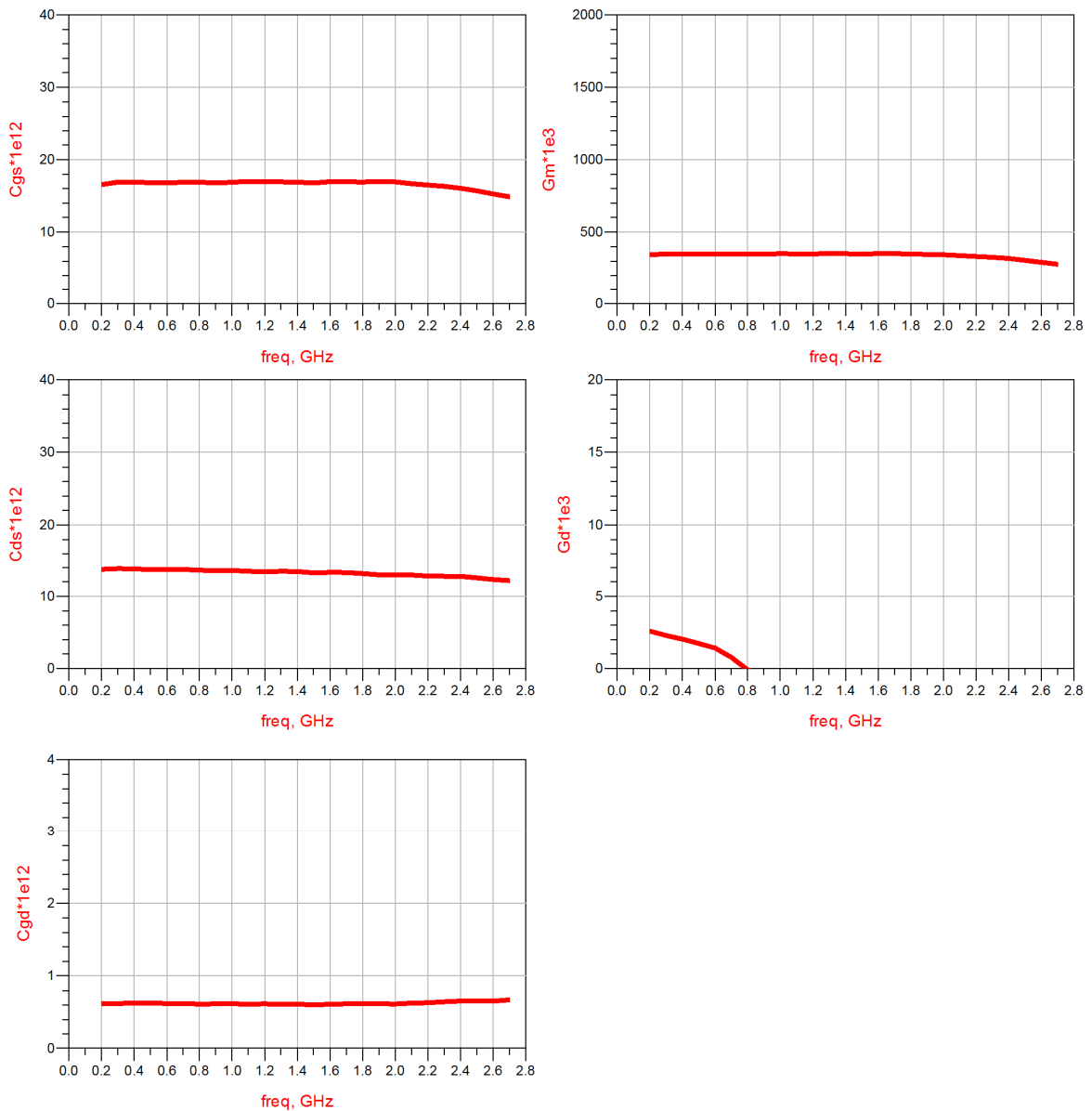


Figure IV.24 : Éléments intrinsèques g_d , g_m , C_{gs} , C_{gd} et C_{ds} extraits du schéma 6

On remarque que les courbes sont toujours stables en fonction de la fréquence, et les valeurs des éléments intrinsèques dans ce cas n'ont pas subi de changement significatif par rapport aux valeurs trouvées pour les schémas précédents.

Les valeurs des éléments g_d , g_m , C_{gs} , C_{gd} et C_{ds} sont représentés dans le **Tableau IV.6** :

Éléments intrinsèques extraits	C_{gs}	C_{gd}	C_{ds}	g_d	g_m
Unité	pF	pF	pF	mS	mS
Valeur	16.8	0.62	13.7	2.6	350

Tableau IV.6 : Éléments intrinsèques extraits du schéma 6

Le design introduit dans le logiciel ADS est illustré sur la Figure IV.25

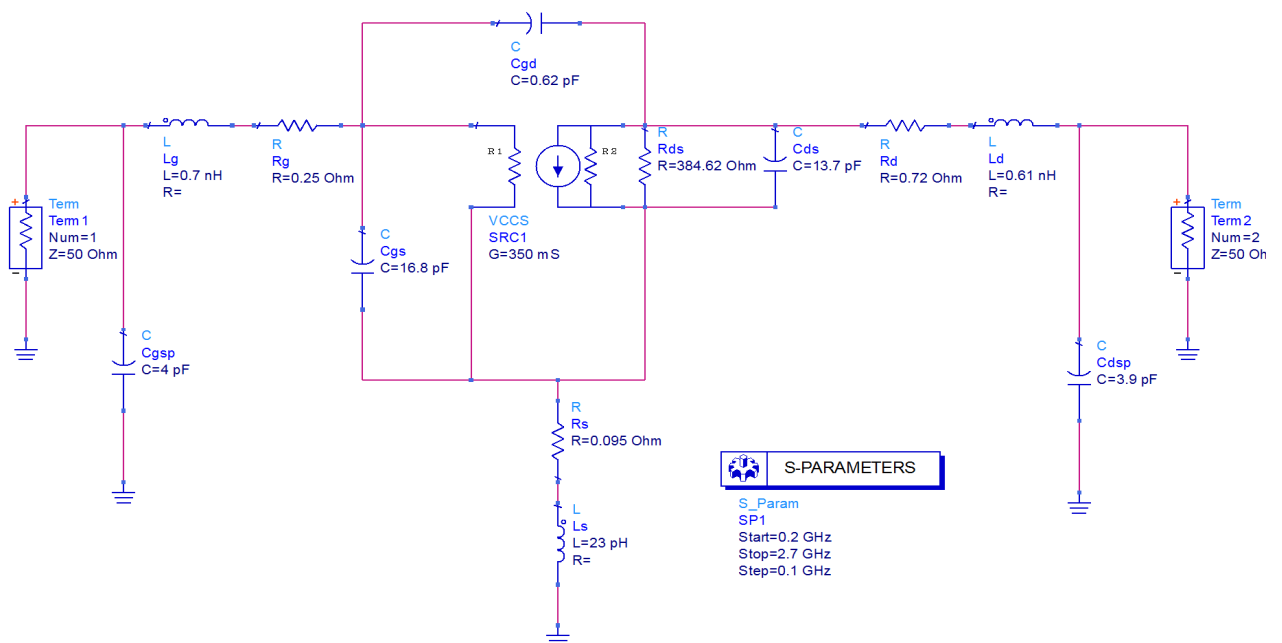


Figure IV.25 : Schéma équivalent 6 introduit dans le simulateur ADS

8. Comparaison entre les paramètres S mesurés et simulés des différents schémas équivalents

Pour le design 2, les résultats de la simulation sous forme d'abaque de Smith dans la bande de fréquence 200MHz-2.7GHz sont illustrés sur la Figure IV.26 :

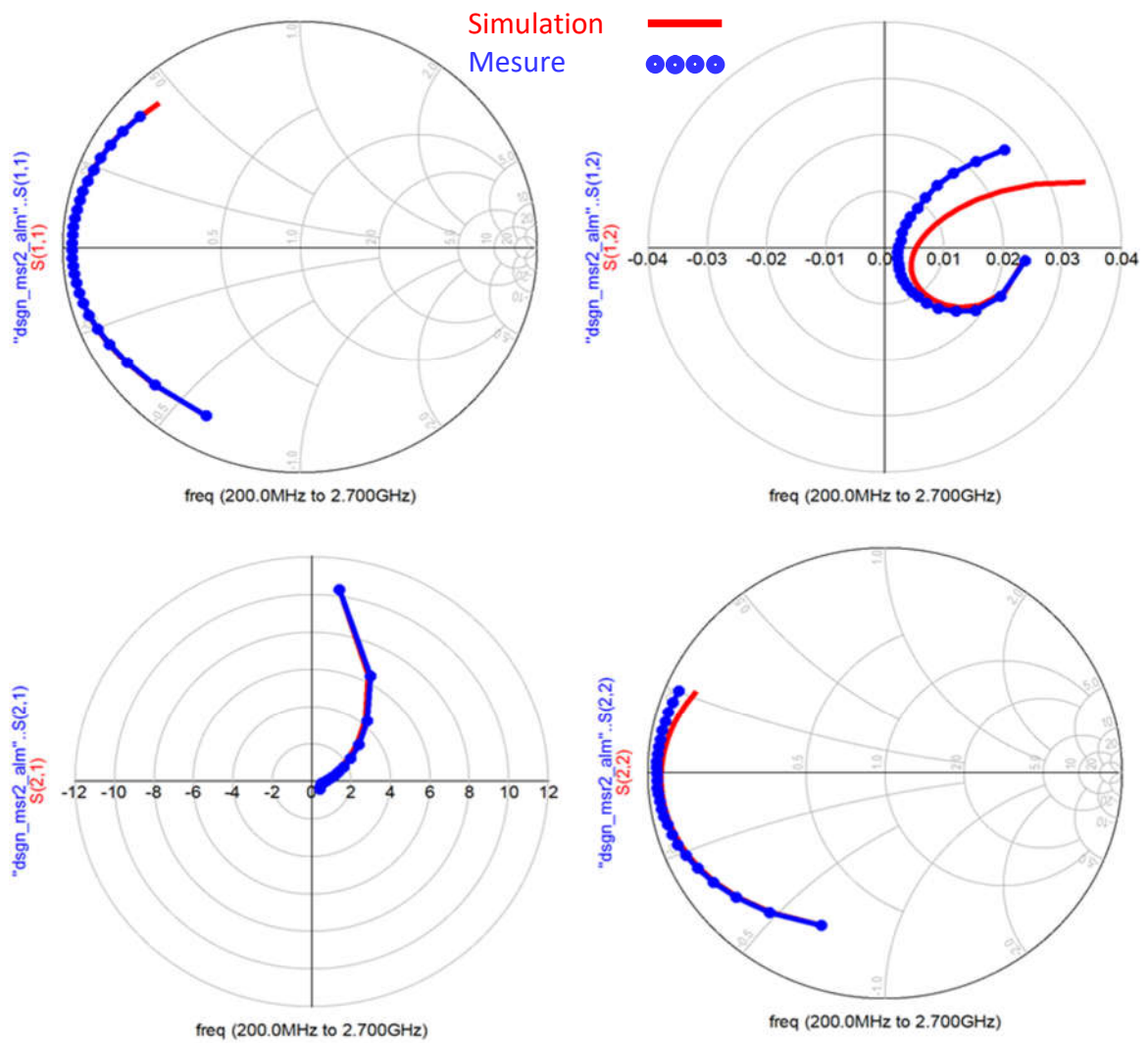


Figure IV.26 : Comparaison entre les paramètres S mesurés et simulés du schéma 2

Pour le **design 3**, la **Figure IV.27** représente les résultats de la simulation sous forme d'abaque de Smith dans la bande de fréquence **200MHz-2.7GHz** :

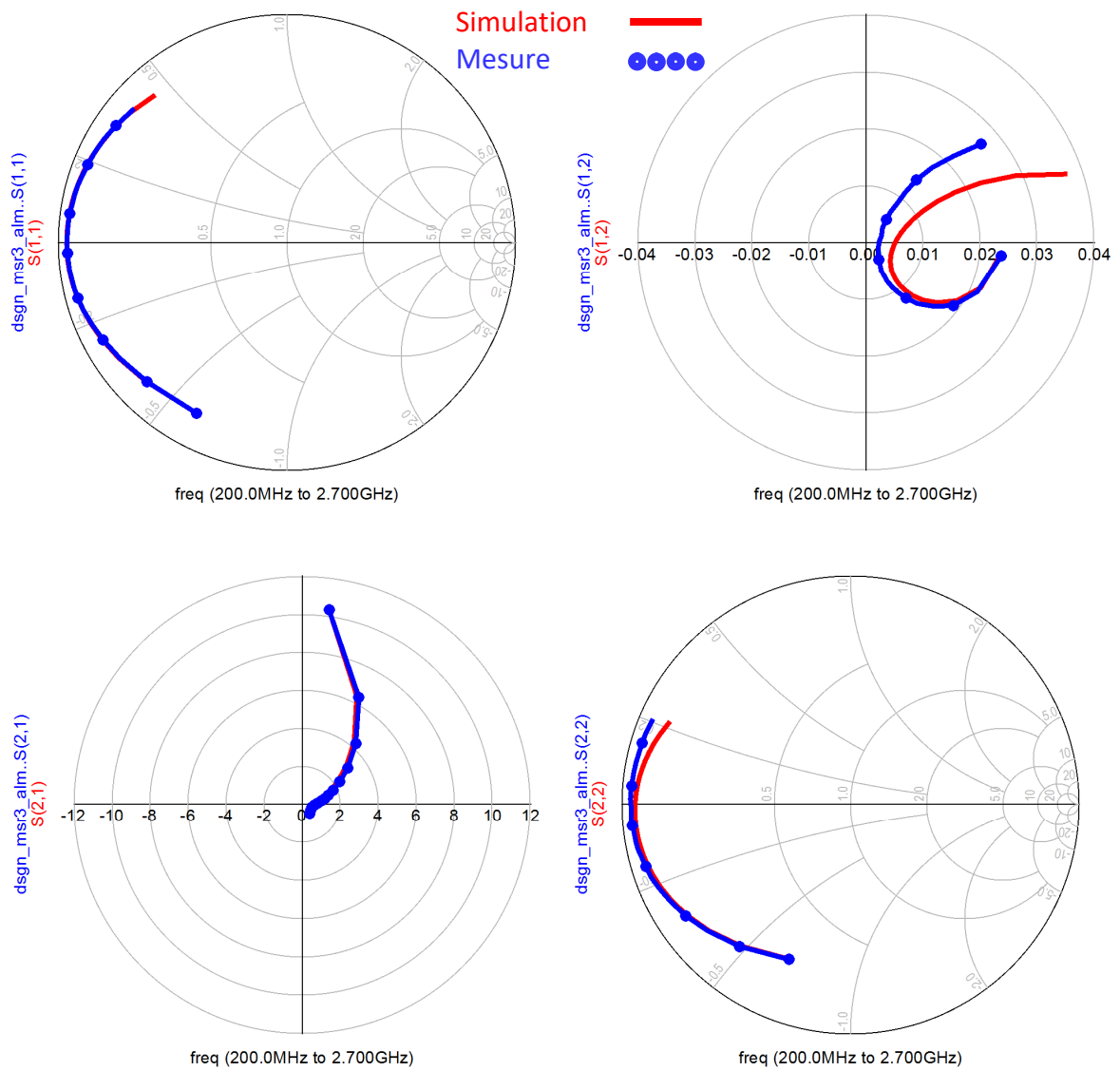


Figure IV.27 : Comparaison entre les paramètres S mesurés et simulés du schéma 3

Pour le design 4, la Figure IV.28 montre la comparaison entre les paramètres S mesurés et calculés :

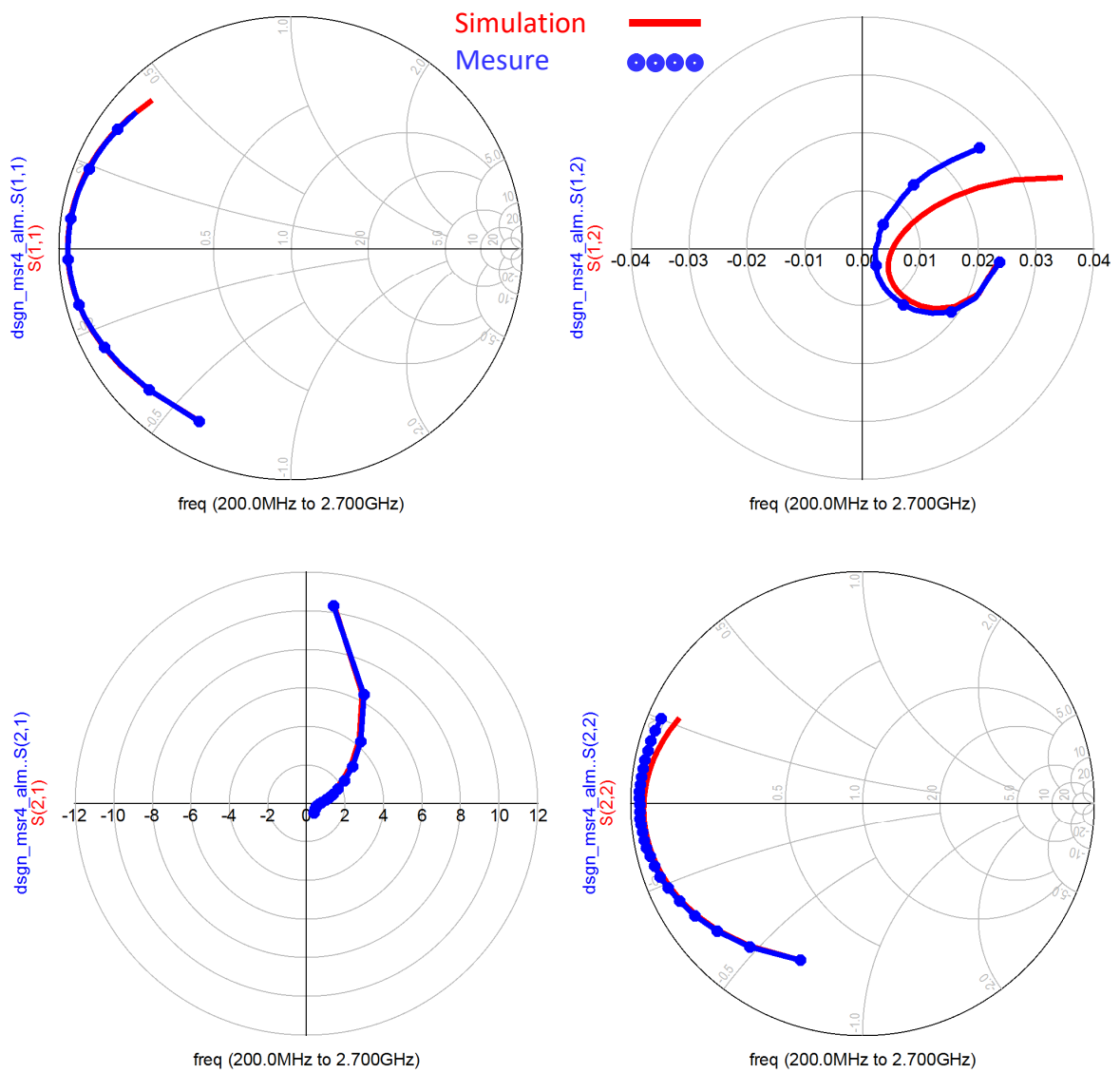


Figure IV.28 : Comparaison entre les paramètres S mesurés et simulés du schéma 4

Pour le design 5, les résultats de comparaison sont illustrés sur la Figure IV.29 :

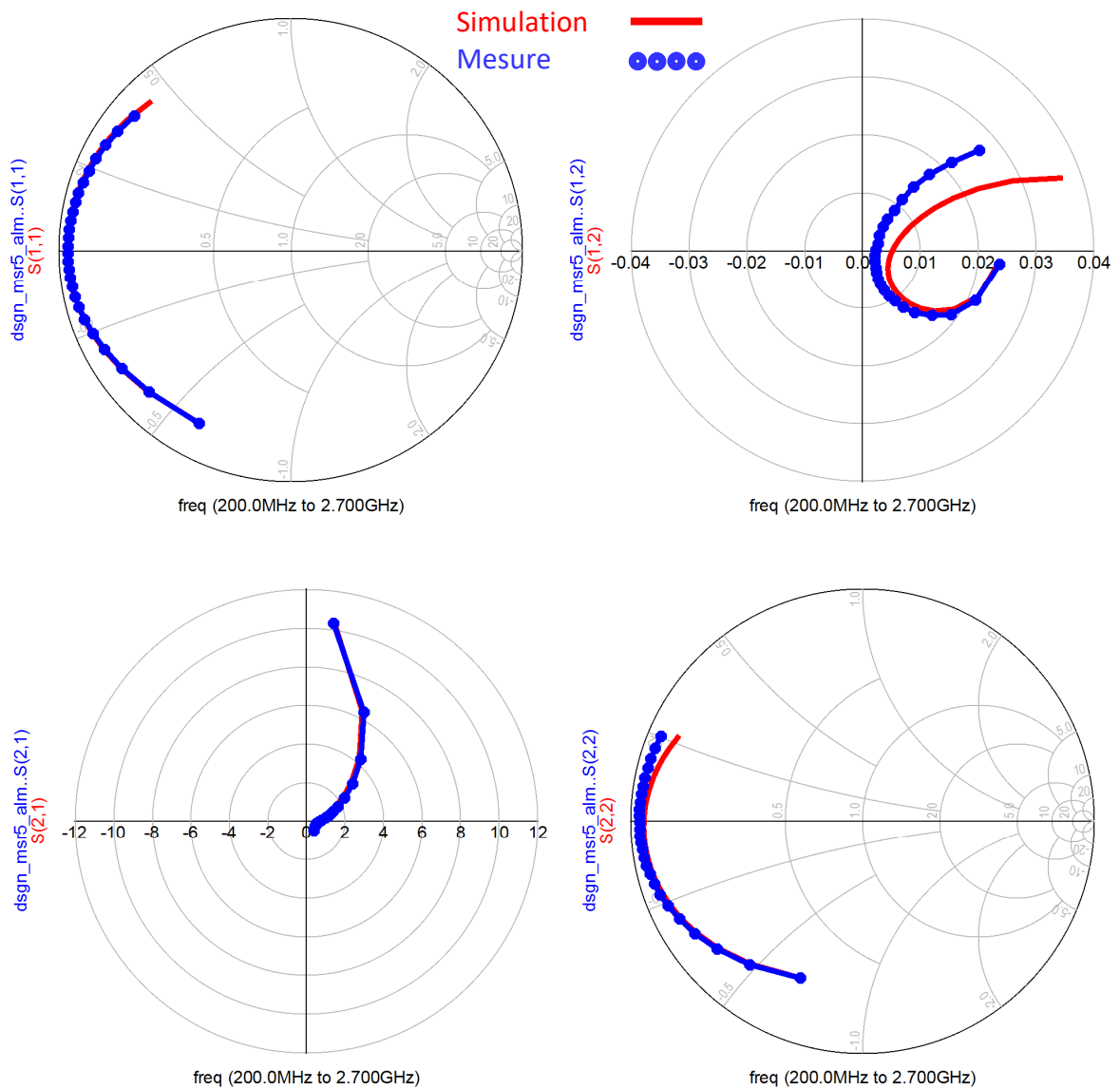


Figure IV.29 : Comparaison entre les paramètres S mesurés et simulés du schéma 5

Et enfin, pour le **design 6**, les résultats de comparaison sont illustrés sur la **Figure IV.30** :

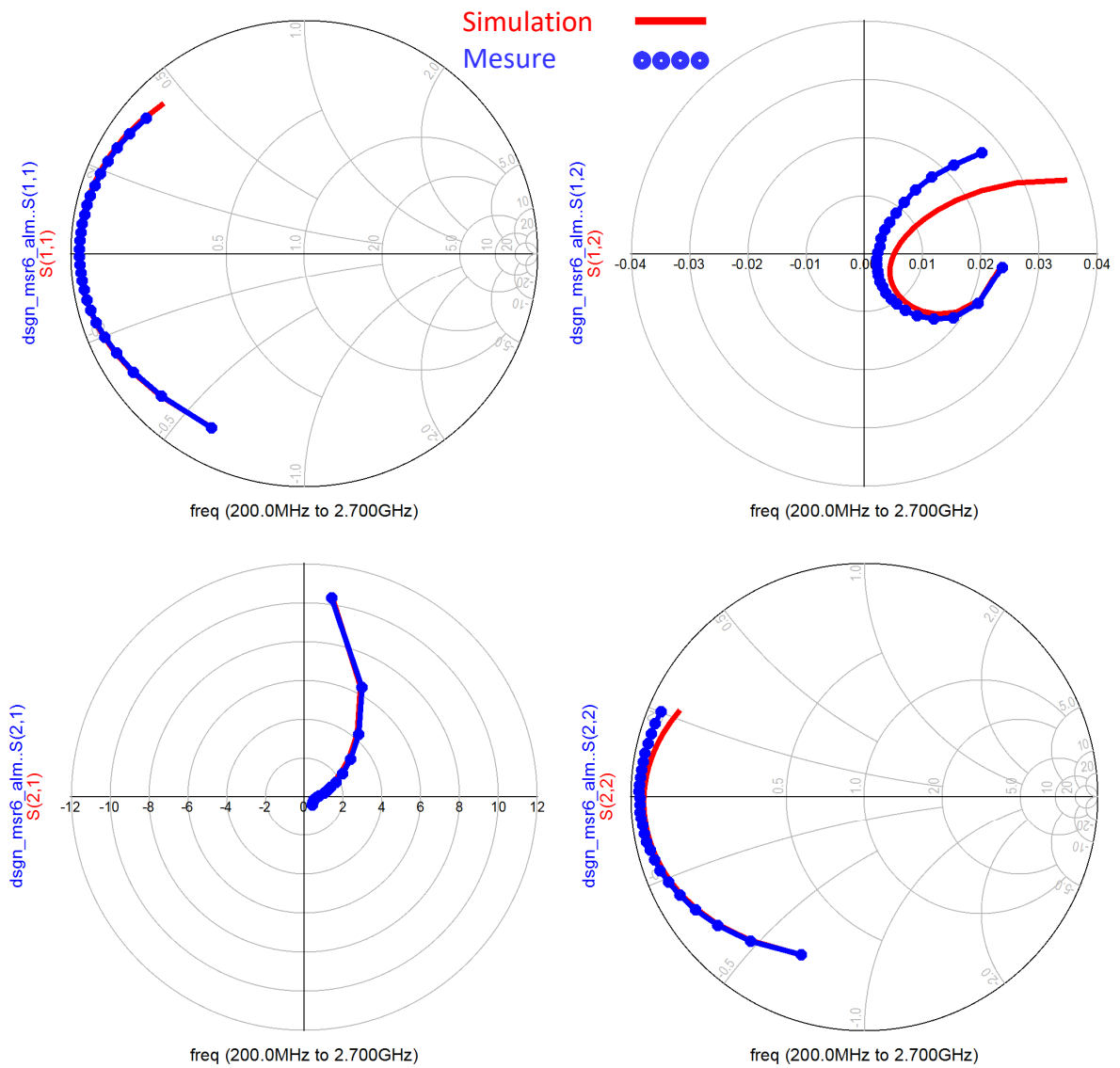


Figure IV.30 : Comparaison entre les paramètres **S** mesurés et simulés du schéma 6

La **Figure IV.31**, regroupe les résultats de comparaison (**S** mesurés et simulés) de tous les schémas équivalents sous forme d'abaques de Smith :

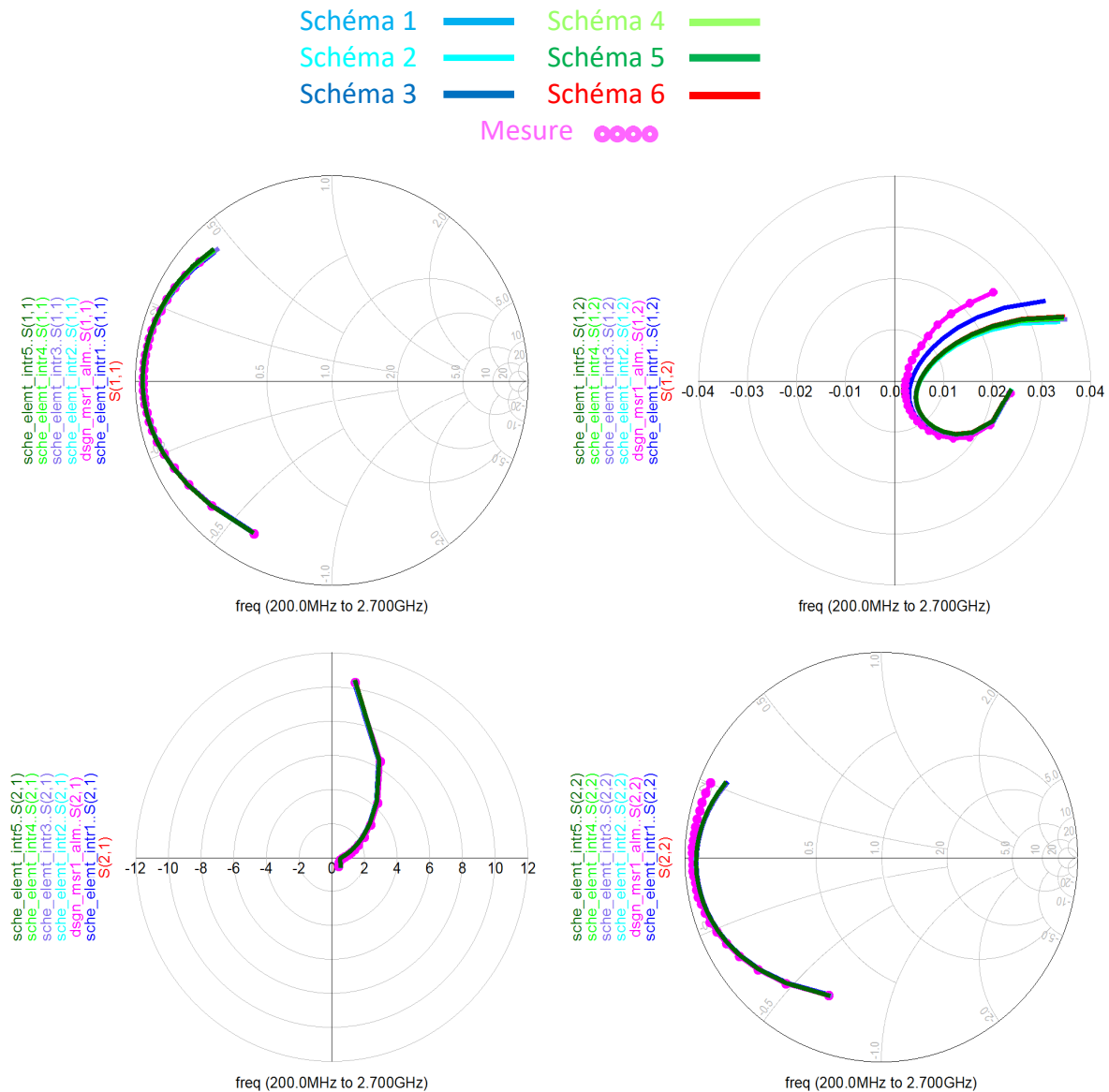


Figure IV.31 : Comparaison entre les paramètres **S** mesurés et simulés de tous les schémas équivalents étudiés

D’après la comparaison des résultats obtenus, on remarque qu’il y a un bon accord entre les résultats de simulation et de mesure pour tous les schémas équivalents proposés. En vue générale tous les modèles donnent des résultats satisfaisants et assez précis pour la modélisation du transistor **LDMOS**. Nous remarquons aussi que les résultats sont proches entre eux.

Nous pouvons donc, dire que tous les schémas choisis pour notre étude sont convenables pour la modélisation et la caractérisation du transistor **LDMOS** pour une

bande de fréquence allant de **0.2** à **2.7GHz**. Aussi, nous pouvons conclure, que la méthode d'extraction des éléments du schéma équivalent utilisée est assez précise car après chaque simplification des modèles électrique, les étapes d'épluchage deviennent plus réduites et simplifié ainsi que le programme d'extraction, donc on aura des résultats plus rapides (temps d'extraction réduit). Ce résultat est très intéressant car il prouve la validité de la méthode.

A précision égale, nous pouvons conclure que le schéma 6 est le plus simple et le plus rapide à caractériser (ses éléments sont extraits rapidement), nous pouvons donc utiliser ce schéma pour modéliser et caractériser le transistor **LDMOS** au lieu des 5 autres schémas qui sont aussi précis mais un peu plus complexes.

9. Conclusion

Dans ce dernier chapitre, nous avons utilisé le logiciel **ADS** pour valider notre model en régime petit-signal, nous avons faits d'abord une représentation des paramètres **S** mesurés et de ceux simulés, puis pour la validation nous avons comparé entre les deux. Les résultats de cette comparaison ont été très satisfaisants et ont donné une bonne concordance.

À la fin, nous avons choisi le schéma le plus simple et le plus facile à implanter pour la modélisation et la caractérisation du transistor **LDMOS** en hyperfréquence après une comparaison entre les résultats des différents modèles proposés.

Conclusion générale

Conclusion générale

Les applications dans le domaine de télécommunication évoluent ces dernières décennies à une grande vitesse grâce à l'évolution continue des transistors hyperfréquence. Néanmoins, cette évolution ne peut se maintenir sans un développement parallèle des travaux d'investigation permettant la caractérisation électrique et la modélisation de ces composants.

Aujourd'hui le transistor **MOSFET** est considéré comme la technologie prometteuse pour ces applications, car elle présente une faible consommation en puissance, demande des faibles tensions de polarisation, et ses performances sont suffisamment élevées. Une nouvelle génération du transistor **MOS** est apparue sur la scène de l'amplification de puissance : le **LDMOS** qui est largement utilisé dans le marché des télécommunications telles que la radiotéléphonie mobile et dans les étages de sortie des amplificateurs des stations de base.

Les travaux effectués lors de ce projet portaient sur la caractérisation et la modélisation électrique de transistor **MOS**, dans le domaine des hyperfréquences à base de différents schémas équivalents, et faire une étude comparative pour objectif de simplifier le modèle électrique sans dégrader sa précision.

Dans une première tâche de ce travail, nous avons commencé par sélectionner la technique de modélisation, nous avons choisi d'adopter la technique de modélisation phénoménologique, largement utilisée pour les technologies III-V, pour sa simplicité et sa rapidité d'extraction des paramètres. Ensuite, nous avons choisi un schéma équivalent souvent utilisé dans la littérature [20, 27, 32, 37, 51, 53]. C'est un schéma qui comprend une partie boîtier, une partie extrinsèque et une partie intrinsèque. Nous avons expliqué les techniques d'extraction des éléments électriques, basées sur des mesures hyperfréquences de paramètres **S**.

Après l'implantation du modèle dans le logiciel **ADS**, nous avons montré sa validité à travers des comparaisons entre les paramètres **S** mesurés et ceux simulés et cela pour les différents schémas équivalent proposés.

D'après les résultats obtenus de cette tâche, nous avons déduis que :

- ✓ Un très bon accord entre les résultats de la simulation et ceux de la mesure des paramètres **S** pour les différents modèles électriques étudiés.
- ✓ Les schémas équivalents que nous avons utilisés sont très acceptables et bien adapté pour ce genre de transistors.
- ✓ La méthode utilisée pour l'extraction des éléments du schéma équivalent est assez précise et rapide de plus en plus que le schéma est simplifié.
- ✓ Avec une précision pratiquement identique pour tous les schémas équivalents que nous avons proposés, le dernier en particulier (schéma 6 qui contient le moins d'éléments possible) permet de simplifier le modèle et de diminuer le temps d'extraction de ses éléments, ce qui est un résultat très intéressant pour les concepteurs de circuits électroniques.

Cela nous permet donc, de choisir le meilleur schéma électrique équivalent pour modéliser ce type de transistor.

Enfin, pour une éventuelle poursuite de ce travail, nous proposons les perspectives suivantes :

- Essayer d'utiliser cette technique de modélisation pour d'autres types de transistor.
- Développer un modèle non-linéaire à base de ces schémas équivalents.
- Une étude de la sensibilité des éléments du schéma équivalent aux paramètres **S** donnera plus d'information sur la précision du modèle.

Références bibliographiques

Références bibliographiques

- [1] **Djabar MAAFRI**, « *Caractérisation et Modélisation Large Bande des Transistors à Effet de Champ* », Thèse de Doctorat, Université des Sciences et de la Technologie Houari Boumediene, Janvier 2017.
- [2] **François ANDRIEU, Olivier WEBER, Sophie BAUDOT, Claire FENOUILLET-BERANGER, Olivier ROZEAU, Jérôme MAZURIER, Pierre PERREAU, Joel EYMERY, Olivier FAYNOT**, « *Fully Depleted Silicon-On-Insulator with Back Bias and Strain for Low Power and High Performance Applications* », IC Design & Technology (ICICDT-10), pp. 59-62, July 2010.
- [3] **Edward J. NOWAK**, « *Maintaining the Benefits of CMOS Scaling When Scaling Bogs Down* », IBM Journal of Research and Development, Vol. 46, No. 2/3, pp. 169-180, March/May 2002.
- [4] **Saâdia HNIKI**, « *Contribution à la Modélisation des Dispositifs MOS Haute Tension pour les Circuits Intégrés de Puissance (Smart Power)* », Thèse de Doctorat, Université de Paul Sabatier, Toulouse, France, Septembre 2010.
- [5] **Cyrille PICARD**, « *Utilisation des Transistors MOS à Effet de Champ de Type COTS en Environnement Radiatif Ionisant* », Thèse de Doctorat de l'Université de Metz, France, Décembre 2000.
- [6] **Mathieu MOREAU**, « *Modélisation et Simulation Numérique des Nano-Transistors Multi-grilles à Matériaux Innovants* », Thèse de Doctorat, Université de Provence, Marseille, France, Décembre 2010.
- [7] **Nassima BOURAHLA**, « *Étude et Modélisation des Effets de Canal Court Dans le Transistor N-MOSFET* », Mémoire de Magister, Université d'Abdel Hamid Ibn Badis, Mostaganem, Juin 2014.

- [8] **Toufik BENDIB**, « *Modélisation et Simulation du Transistor **DG-MOSFET** en Utilisant les Algorithmes Génétiques* », Mémoire de Magister en Microélectronique, Université de Batna, 2008.
- [9] **Olivier WEBER**, « *Etude, Fabrication et Propriétés de Transport de Transistors **CMOS** Associant un Diélectrique Haute Permittivité et un Canal de Conduction Haute Mobilité* », Thèse de Doctorat de l'Institut National des Sciences Appliquées de Lyon, France, Décembre 2005.
- [10] « *Le Transistor **MOS**, Familles Logiques* », Cours trouvé à la page web : <http://www.bedwani.ch/electro/ch18/index.htm>
- [11] **WIKIVERSITE**, « *Transistor **MOSFET*** ». Wikiversity.org. Page web: [https://fr.wikiversity.org/wiki/Transistor/Transistor MOSFET](https://fr.wikiversity.org/wiki/Transistor/Transistor_MOSFET)
- [12] **Lama RAHHAL**, « *Analyse et Modélisation des Phénomènes de Mismatch des Transistors **MOSFET** Avancées* », Thèse de Doctorat de l'université de Grenoble, France, Novembre 2014.
- [13] **Fabien PREGALDINI**, « *Etude et Modélisation du Comportement des Transistors **MOS** Fortement Submicroniques* », Thèse de Doctorat de l'Université Louis Pasteur, Strasbourg I, France, Décembre 2003.
- [14] **Abdelaziz KEBIB**, « *Etude et Simulations d'un Transistor **MOS** Vertical* », Mémoire de Magister en Microélectronique, Université Abou-Bekr Belkaïd, Tlemcen, Janvier 2013.
- [15] **Fatiha TALEB**, « *Modélisation Compact du Transistor **MOSFET*** », Mémoire de MASTER de l'Université Mouloud Mammeri de Tizi-Ouzou, juillet 2015.
- [16] **Sidi Mohamed ZIANI CHERIF**, « *Influence de la Température sur le Comportement Physique et Electronique des Transistors **MOS*** », Mémoire de Magister, Université Abou-Bakr Belkaid, Tlemcen, Juillet 2010.

- [17] **Dorothee MULLER**, « *Optimisation des Potentialité d'un Transistor **LDMOS** Pour l'Intégration d'Amplificateur de Puissance **RF** sur Silicium* », Thèse de Doctorat, Université de Limoges, France, Octobre 2006.
- [18] **David FOURNIER**, « *Développement et Etude de Composants **RF-LDMOS** pour L'amplification Micro-Onde de Puissance au-delà de **2GHz*** », Thèse de Doctorat, Université de Lille, France, Juin 2010.
- [19] **Nicolas BREIL**, « *Contribution à l'Etude de Techniques de Siliciuration Avancées pour les Technologies **CMOS** Déca nanométriques* », Thèse de Doctorat de l'Université des Sciences et Technologies de Lille, France, Mai 2009.
- [20] **Mohammed TAMOUM**, « *Caractérisation Fine et Modalisation Non-linéaire des Transistors **MOSFET*** », Thèse de Doctorat de l'Université Ferhat Abbas, Sétif, Février 2013.
- [21] **Olivier BON**, « *Conception de Transistors Haute Tension Complémentaires en Technologie 65nm sur Substrat Silicium sur Isolant Fin pour Applications **RF** et Conversion de Puissance* », Thèse de Doctorat de l'Université de Toulouse III, Paul Sabatier, France, Mars 2008.
- [22] **Juin J. LIOU, Frank SCHWIERZ**, « *RF MOSFET: Recent Advances, Current Status and Future Trends* », Solid-State Electronics, Vol. 47, pp. 1881-1895, 2003.
- [23] **Salim TOUATI**, « *Conception, Réalisation et Caractérisation de Composants de Puissance Hyperfréquence de la Filière Nitrure de Gallium* », Thèse de Doctorat de l'Université de Lille, France, Décembre 2007.
- [24] **El Mehdi BAZIZI**, « *Modélisation Physique et Simulation de Défauts Étendus et Diffusion des Dopants Dans le **Si**, **SOI** et **SiGe** Pour les **MOS** Avancés* », Thèse de Doctorat de l'Université de Toulouse, France, Juin 2010.

- [25] **Krunoslav ROMANJEK**, « *Caractérisation et Modélisation des Transistors CMOS des Technologies 50nm et en Deçà* », Thèse de Doctorat de l'Institut National Polytechnique de Grenoble, France, Novembre 2004.
- [26] **Ayad GHANNAM**, « *Conception et Intégration "above IC" d'Inductances à Fort Coefficient de Surtension pour Applications de Puissance RF* », Thèse de Doctorat, Université de Toulouse, Paul Sabatier, France, Novembre 2010.
- [27] **Alexandre SILIGARIS**, « *Modalisation Grand Signal de MOSFET en Hyperfréquence : Application à l'Etude de Non-linéarités des Filtres SOI* », Thèse de Doctorat, Université des Science et Technologies de Lille, France, Décembre 2004.
- [28] **Zahra HAMAIZIA**, « *Conception d'un Amplificateur Faible Bruit LNA à Base d'un Transistor à Effet de Champ à Hétérojonction pHEMT* », Thèse de Doctorat de l'Université Mohamed Khider, Biskra, Février 2011.
- [29] **Michaël GUYONNET**, « *Modélisation Electrothermique Non-linéaire de Transistors de Puissance LDMOS : Application à la Détermination de Règles d'Echelle* », Thèse de Doctorat, Université de Limoges, France, Mars 2005.
- [30] **Wafa KHELIFI**, « *Modélisation Multiports des Transistors Hyperfréquences* », Thèse de Doctorat, de l'Université des Sciences et Technologies de Limoges, France, Décembre 2018.
- [31] **Vicentiu. I. COJOCARU, Thomas. J. BRAZIL**, « *A Scalable General-Purpose Model for Microwave FET's Including DC/AC Dispersion Effects* », IEEE Transactions on Microwave Theory and Techniques, Vol. 45, No. 12, pp. 2248-2255, December 1997.
- [32] **Andrey V. GREBENNIKOV & Fujiang LIN**, « *An Efficient CAD-Oriented Large-Signal MOSFET Model* », IEEE Transactions on Microwave Theory and Techniques, Vol. 48, No. 10, pp. 1732-1741, October 2000.

- [33] **Petra HAMMES, Nelsy MONSAURET, Steve LOYSEL, Marek SCHMIDT-SZALOWSKI, Jos. VAN DER ZANDEN**, « *A Robust, Large-Signal Model for LDMOS RF Power Transistors* », *Microwaves & RF*, pp 1-6, 2019.
- [34] **Emmanuel BOUHANA**, « *Analyse du Comportement Petit-Signal du Transistor MOS : Contribution à une Nouvelle Approche d'Extraction et de Modélisation pour des Applications RF* », Thèse de Doctorat, de l'Université des Sciences et Technologies de Lille, France, Octobre 2007.
- [35] **Gilles DAMBRINE**, « *Caractérisation des Transistors à Effet de Champ : Mesure Précise de la Matrice de Répartition et Détermination Direct du Schéma Equivalent* », Thèse de Doctorat, de l'Université des Sciences et Technologies de Lille, France, Mars 1989.
- [36] **Andreas PASCHT, Markus GROZING, Dirk WIEGNER, Manfred BERROTH**, « *Small-Signal and Temperature Noise Model for MOSFETs* », *IEEE Trans. Microw. Theory and Tech*, Vol. 50, No. 8, pp. 1927-1934, August 2002.
- [37] **Youngoo YANG, Jaehyok YI & Bumman KIM**, « *Accurate RF Large-Signal Model of LDMOSFETs Including Self-Heating Effect* », *IEEE Transactions on Microwave Theory and Techniques*, Vol. 49, No. 2, pp. 387-390, February 2001.
- [38] **Robert E. ANHOLT, Stanley E. SWIRHUN**, « *Equivalent-Circuit Parameter Extraction for Cold GaAs MESFET's* », *IEEE Trans. Microw. Theory and Tech.*, Vol. 39, No. 7, pp. 1243-1247, July 1991.
- [39] **Amor AMAIRI**, « *Caractérisation en Petit-Signal, en Puissance et en Impédances des Transistors à Effet de Champ Millimétriques, Etude et Réalisation d'un Banc de Load-Pull à Charge Active 26.5 – 40 GHz* », Thèse de Doctorat de l'Université des Sciences et Technologies de Lille, France, Septembre 1991.

- [40] **Yahia BENHAMIDA**, « *Etude des Caractéristiques Physiques et Electriques d'un **MOSFET** Nanométrique* », Mémoire de Magister, Université Abou-Bakr Belkaïd, Tlemcen, Juin 2012.
- [41] **Christophe PAVAGEAU**, « *Utilisation des Technologies **CMOS SOI** 130 nm pour des Applications en Gamme de Fréquences Millimétriques* », Thèse de Doctorat de l'Université des Sciences et Technologies de Lille, France, Décembre 2005.
- [42] **Charles TEYSSANDIER**, « *Contribution à la Modélisation Non-linéaire de Transistors de Puissance **HEMT** Pseudomorphiques sur Substrat **AsGa** : Analyse des Effets Parasites* », Thèse de Doctorat, de l'Université de Limoges, France, Mars 2008.
- [43] **Moez BALTI**, « *Extraction des Paramètres Intrinsèques des Transistors à Effet de Champ en Tenant Compte des Phénomènes de Propagation* », Thèse de Doctorat de l'Université de Cergy-Pontoise, France, Décembre 2005.
- [44] **Philips**, « ***BLF2043F UHF** Power **LDMOS** Transistor* », Philips Semiconductors Data Sheet, Mars 2002.
- [45] **Laurent NEGRE**, « *Caractérisation et Modélisation de la Fiabilité des Transistors **MOS** Radiofréquence* », Thèse de doctorat, Université de Grenoble, France, Décembre 2011.
- [46] **Mohammed LAREDJ**, « *Modélisation Electrothermique de Transistor en Technologie **GaN*** », Thèse de Doctorat, Ecole de Technologie Supérieure du Québec, Canada, Mars 2011.
- [47] **Faiza AMROUCHE**, « *Analyse, Conception et Réalisation de Mélangeur Micro-ondes Faible Bruit à Transistor à Effet de Champ **HEMT*** », Thèse de Doctorat Université de Poitiers, France, Décembre 2004.

- [48] **Mohamed Amine ELAJI**, « *Etude et Modélisation d'un Système de Transmission Radio-Sur-Fibre* », Mémoire d'Ingénieur d'Etat en Télécommunication, Telecom Bretagne, Brest, France, 2009.
- [49] **Hakim TAKHEDMIT**, « *Modélisation et Conception de Circuits de Réception Complexes pour la Transmission d'Energie sans Fil à 2.45 GHz* » Thèse de Doctorat, École Centrale de Lyon, France, Octobre 2010.
- [50] **Sid-Ali BENCHARIF, Hocine ROULA**, « *Caractérisation Electrique et Modélisation du Transistor LDMOSFET pour Les Applications RF* », Mémoire d'Ingénieur, Université de Jijel, 2011.
- [51] **Yousra LERARI, Besma BOUDIOUDJA**, « *Comparaison Entre Différents Schémas Electriques Equivalents pour la Modélisation RF du Transistor MOS* », Mémoire de Master, Université de Jijel, 2020.
- [52] **Seonghearn LEE, Hyun KYU YU**, « *Determining Non-Quasi-Static Small-Signal Equivalent Circuit RF Silicon MOSFET* », Solid-State Electronics, Vol. 45, pp. 359-364, 2001.
- [53] **David LOVELACE, Julio COSTA & Natalino CAMILLERI**, « *Extracting Small-Signal Model Parameters of Silicon MOSFET Transistors* », 1994 IEEE MTT-S Int. Microwave Symp. Dig., Vol. 3, pp. 865-868, May 1994.

Résumé

Le travail présenté dans ce projet porte sur la caractérisation et la modélisation de transistor **LDMOS** encapsulé en boîtier dans le domaine des hyperfréquences à base de différents schémas équivalents. L'extraction des éléments du modèle se fait par la méthode d'épluchage élaborée par **G. DAMBRINE**. Après l'extraction des valeurs des éléments, nous avons implémenté les modèles sur le logiciel de simulation **ADS** et fait une étude comparative des paramètres **S** mesurés et ceux simulés. Nous avons obtenu un bon accord pour tous les schémas, ce qui veut dire que les schémas équivalents utilisés sont très acceptables et bien adaptés pour ce genre de transistors. A la fin, nous avons simplifié le modèle pour améliorer le temps d'extraction de ses éléments.

Abstract

The work presented in this project concerns the characterization and the modeling of the **LDMOS** transistor encapsulated in a box in the microwaves domain based on different equivalent circuits. The extraction of the model's elements is done by a deembedding method developed by **G. DAMBRINE**. After the extraction of the elements values, we implemented the models on the **ADS** simulation software and do a comparative study of the **S** parameters measured and those calculated. We got a good agreement for all the schemes, which means that the equivalent schemes used are very acceptable and well suited for this kind of transistors. At the end, we have simplified the model to improve the extraction time of its elements.

ملخص

العمل المقدم في هذا المشروع يركز على توصيف ونمذجة الترانزستور **LDMOS** المغلف في علبة في مجال الميكروويف بناء على مخططات مكافئه مختلفة. استخراج عناصر النموذج تتم باستعمال طريقه التقشير التي طورها **G. DAMBRINE**. بعد استخراج قيم العناصر، قمنا بتنفيذ النماذج على برنامج المحاكاة **ADS** واجراء دراسة مقارنه بين العوامل **S** المقاسة وتلك المحسوبة. حصلنا على توافق جيد لجميع المخططات، مما يعني ان المخططات المكافئة المستخدمة مقبولة جدا ومناسبة تماما لهذا النوع من الترانزستورات. في الاخير تمكنا من تبسيط النموذج وتحسين مدة استخراج عناصره.