

**REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
MINISTERE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA
RECHERCHE SCIENTIFIQUE**



**UNIVERSITE MOHAMED SEDDIK BEN YAHIA - JIJEL
FACULTE DES SCIENCES ET DE LA TECHNOLOGIE
DEPARTEMENT D'ELECTRONIQUE**

**Mémoire présenté pour l'obtention du diplôme de
Master II en Electronique**

**Option :
Microélectronique**

Thème

**Evaluation des performances des FD-SOI
MOSFET pour différentes fonctions de
travail des grilles métalliques**

Encadré par :

Mr. Chemseddine ZI GHA

Réalisé par :

- **KICHA dayaeddine**
- **ZEBILA abderaouf**

Résumé/Abstract

Résumé

Les transistors à effet de champ (MOSFET), silicium sur isolant (SOI) et totalement appauvri (FD) sont les principaux candidats pour les nœuds submicroniques inférieur à 65 nm.

Cette étude présente les effets des fonctions de travail de la grille métallique sur la performance du MOSFET FD-SOI. L'outil de simulation SILVACO tcad est utilisé pour étudier l'effet des fonctions de travail des grilles sur la performance du FD-SOI MOSFET. La longueur de canal spécifique du dispositif qui a été choisie est de 28 nm. La simulation a permis d'observer qu'en changeant la fonction de travail des grilles métalliques du FD-SOI MOSFET, nous pouvons changer la tension de seuil. Par conséquent, en utilisant cette technique, nous pouvons fixer la tension de seuil appropriée du FD-SOI MOSFET à la même tension et nous pouvons diminuer le courant de fuite, et les effets de canal court et augmenter le courant de drain.

Mots clés :

Silicium-sur-isolant, fonction de travail, complètement appauvri, pente de sous-seuil, SILVACO tcad.

Abstract

Fully depleted (FD) silicon on insulator (SOI) metal oxide field effect transistor (MOSFET) is the leading contender for sub 65nm regime. This study presents the effects of work functions of metal gate on the performance of FD-SOI MOSFET. SILVACO tcad simulation tool is used to investigate the effect of work function of gates on the performance FD-SOI MOSFET. Specific channel length of the device that had been concentrated is 28nm. from simulation we observed that by changing the work function of the metal gates of FD-SOI MOSFET we can change the threshold voltage. Hence by using this technique we can set the appropriate threshold voltage of FD-SOI MOSFET at same voltage and we can decrease the leakage current, gate tunnelling current and short channel effects and increase drive current.

keywords

Silicon-on-Insulator, Work Function, Fully-Depleted, Subthreshold Slope, SILVACO tcad

الملخص

هو المنافس الرئيسي لنظام (SOI) العازل (MOSFET) على ترانزستور تأثير مجال أكسيد المعدن (FD) السيليكون المستنفد بالكامل تستخدم أداة محاكاة. FD-SOI MOSFET 65 نانومتر. تعرض هذه الدراسة تأثيرات وظائف عمل البوابة المعدنية على أداء طول القناة المحددة للجهاز الذي تم. FD-SOI MOSFET للتحقيق في تأثير وظيفة عمل البوابات على أداء SILVACO tcad ، يمكننا تغيير FD-SOI MOSFET تركيزه هو 28 نانومتر. من المحاكاة، لاحظنا أنه من خلال تغيير وظيفة عمل البوابات المعدنية لـ بنفس الجهد ويمكننا تقليل تيار FD-SOI MOSFET جهد العتبة. ومن ثم باستخدام هذه التقنية، يمكننا ضبط جهد العتبة المناسب لـ التسرب وتيار نفق البوابة وتأثيرات القناة القصيرة وزيادة تيار القيادة.

الكلمات الدالة

SILVACO tcad سيليكون على عازل، وظيفة العمل، مستنفد بالكامل، منحدر تحت العتبة،

Remerciements

Tout d'abord, je tiens à remercier mon encadreur Mr ZIGHA chemseddine, responsable de la spécialité Microélectronique, Mr hachemi BOURIDEH, pour m'avoir offert l'opportunité d'effectuer ce projet de fin d'étude, pour l'aide et les conseils très précieux qui m'ont hissé dans le domaine de la microélectronique.

Ensuite, un grand merci à à Mr toufik BENKDIDEH, Mr riad REMMOUCHE et à Mr SOUKKOU, Mr FATES, Mr BEGHOUL, Mme MERABET et tous les enseignants qui m'ont encadré et qui ont sus me pousser de l'avant. J'ai beaucoup profité de leur rigueur scientifique et de leur sérieux. Leur expérience dans le domaine de l'électronique, particulièrement dans le domaine de la microélectronique, m'a permis de m'investir avec détermination dans ce travail de thèse. Leurs compétences ont été indispensables à son bon déroulement.

Je remercie également les membres du jury qui ont accepté aimablement d'examiner et de juger notre travail, je leur fais honneur de respect.

Mes remerciements s'adressent aussi à mes camarades de la promo microélectronique, pour toute aide de leur part et aussi le soutien moral incessant qui nous a motivés et fournir plus d'efforts.

Avant de conclure, j'aimerais réitérer ma gratitude à toutes les cadres de départements, pour leur grande patience, leurs conseils et leur disponibilité à toute épreuve. Leurs remarquables compétences ont rendu ces travaux de recherche particulièrement enrichissants. Je les remercie également pour la confiance qu'ils m'ont accordée tout au long de ces deux années.

Dédicaces

Je dédie ce modeste travail à : ***KICHA***

Je dédie ce modeste travail à :

- Mes parents.
- Mon grand frère.
- Ma belle-sœur.

Tous mes collègues et mon amie « Bouaziz aymen. »

ZEBILA ABDERRAOUF

Je dédie ce modeste travail à :

la famille

- Mes parents.
- Mes frères. Toute

SOMMAIRE

Table des matières

Chapitre 1. Le Transistor MOS sur Silicium Massif	4
1.1 Introduction	4
1.2 Description du MOSFET	4

1.3	Rappels sur les propriétés des transistors MOS	6
1.4	Principe de fonctionnement d'un transistor MOS	6
1.4.1	Tension de seuil et barrière de potentiel Source-Drain	8
1.4.2	Les régimes de conduction du transistor MOS	12
1.4.3	Caractéristiques électriques idéales du transistor MOS	13
1.5	Application du transistor MOSFET	14
1.5.1	Enjeux et dilemmes régissant l'évolution des performances des MOSFET	14
1.6	Conclusion :	14
1.7	Références bibliographiques	15
Chapitre 2. La Technologie Planaire FDSOI		17
2.1	Introduction	17
2.2	Technologie silicium sur isolant /SOI (Silicon On Insulator)	18
2.3	Technologie planaire FDSOI	19
2.3.1	Transistors MOS Complètement Désertés (FD SOI)	20
2.3.2	Paramètres électriques du FD SOI	21
2.4	Effets physiques	22
2.4.1	Effet canal court	22
2.4.2	Effet kink	22
2.4.3	Effet de lutch-up	23
2.5	Points d'amélioration et perspectives industrielles	24
2.6	Conclusion	24
2.7	Références bibliographiques	25
Chapitre 3. Présentation du simulateur TCAD-Silvaco		42
3.1	Introduction	42
3.2	Présentation du paquet des programmes SILVACO	42
3.3	Présentation d'Atlas	44
3.4	Principe de la simulation numérique	46
3.5	L'ordre des commandes	46
3.6	Différentes étapes de simulation	48
3.6.1	La spécification de la structure	49
3.6.2	La spécification du modèle et matérielle	53
3.6.3	Les méthodes numériques	54
3.6.4	Les solutions	55
3.7	Références bibliographiques	56

Chapitre 4. Simulation de l'effet des fonctions de travail des grilles sur la performance du FDSOI	58
4.1 Introduction	58
4.2 Tension de seuil du FD-SOI	61
4.3 Structure du dispositif	61
4.4 Résultats des simulations	63
4.4.1 Transconductance g_m :	63
4.4.2 Conductance de sortie g_d :	64
4.4.3 Concentration d'électrons :	65
4.4.4 Champ électrique vertical :.....	66
4.4.5 Variation de la tension de seuil	66
4.5 La mise en évidence des courants I_{on} et I_{off} de la structure	67
4.6 Conclusion	68
4.7 Références bibliographiques	69
Conclusion générale.....	71

Liste des Figures

Chapitre 1. Le Transistor MOS sur Silicium Massif

Figure I. 1 : Structure Basique d'un Transistor MOS de Type N.	5
Figure I. 2 : Vue Schematique du Transistor MOS de Type N	5
Figure I. 3 : Effet de Champ dans un Transistor MOS	6
Figure I. 4 : L'effet du Champ sur la Structure MOS	7
Figure I. 5 : Diagramme d'énergie d'une Structure MOS	8
Figure I. 6 : Modification de la Barriere de Potentiel Source-Drain en Fonction de la Polarisation de Grille V_{gs}	9
Figure I. 7 : Diagramme Bandes d'énergie du Transistor NMOS	11
Figure I. 8 : Coupe de Mosfet Representative de son Fonctionnement :	11
Figure I. 9 : Illustration des Trois Regimes de Fonctionnement d'un Transistor NMOS	13
Figure I. 10 : Caracteristiques Ideales d'un Transistor MOS $I_{ds}=F(V_{ds})$	13

Chapitre 2. La Technologie Planaire FDSOI

Figure II. 1 : Le SOI Permet d'atteindre les Generations Futures de Dispositifs Definies Par L'itrs Roadmap Jusqu'au Nœud 20nm	18
--	----

Figure II. 2 : Comparaison entre L'architecture d'un MOS Sur Bulk (a) et Sur SOI (b)	19
Figure II. 3 : Representation Schematique d'un Transistor MOS FDSOI	20
Figure II. 4 : Énergie de Consommation Vs la Tension D'alimentation Pour des Portes Logiques CMOS Pour SOI et Bulk	21
Figure II. 5 : Mecanisme d'ionisation par Impact.....	23
Figure II. 6 : Vue en Coupe d'un Inverseur CMOS dont les Transistors sont Electriquement Isoles entre eux, ce qui Immunise le Circuit contre le Phenomene de Latch-Up.	23

Chapitre 3. Présentation du simulateur Atlas-Silvaco

Figure III. 1 : Organigramme de la Structure VWF.	43
Figure III. 2 : Entrées et Sorties d'atlas.	45
Figure III. 3 : Transistor FDSOI	49
Figure III. 4 : Maillage a deux Dimensions (X,Y).	50
Figure III. 5 : Definition des Regions.	51
Figure III. 6 : Definition des Electrodes	52
Figure III. 7 : Definition de Dopage	53
Figure III. 8 : La Caracteristique Courant-Tension sous Tonyplot.	55

Chapitre 4. Simulation de l'effet des fonctions de travail des grilles sur la performance du FDSOI

Figure IV. 1 : Illustration de la Structure Simulee du N-FDSOI	60
Figure IV. 2 : Dispositifs FDSOI Utilises dans les Simulations	62
Figure IV. 3 : Maillage à deux Dimensions (X,Y).	62
Figure IV. 4 : Caracteristique Id-Vg pour Differentes Valeurs de la Fonctiond de Travail de la Grille	63
Figure IV. 5 : Transconductance gm pour Differentes Valeurs de la Fonction de Travail de la Grille	64
Figure IV. 6 : Caracteristiques du Courant de Drain pour Vd=0.8v gm pour Differentes Valeurs de la Fonction de Travail de la Grille	65
Figure IV. 7 : Concentration des Electrons en Fonction de la Position le Long de la Direction du Canal pour differentes Fonctions de Travail de la Grille Metallique, Vg = 1v.	65
Figure IV. 8 : Variation du Champ Electric le Long du Canal pour Differentes Fonctions de Travail de la Grille Metallique.	66
Figure IV. 9 : Variation de la Tension de Seuil V _{th} (V) pour Differentes Fonctions de Travail de la Grille WF (eV)	67
Figure IV. 10 : Influence de la Fonction de Travail du Metal sur les Courants Ion et Ioff pour Vd=0.8v..	67

Liste des Tableaux

Tableau. III.1 : Ordre des Groupes des Commandes dans un Programme Atlas

(Les Commandes Fondamentales Afférentes)47

Glossaire et Symboles

B

BULK	Substrat de silicium massif
BOX	Buried Oxide, (Oxyde Enterré)
BC	Bande de conduction
BV	Bande de valence

C

CVD	Chemical vapor deposition (déposition de vapeur chimique)
CMOS	Transistors Métal-Oxyde-Semi-conducteur
C_{dep}	Capacité de déplétion
C_{ox}	Capacité de la grille

D

DIBL	Abaissement de la barrière du au drain (<i>Drain Induced Barrier Lowering</i>)
------	---

E

E_c	Energie de la bande de conduction
E_v	Energie de la bande de valence
E_{FM}	Niveaux de Fermi du méta
E_F	Energie du niveau de Fermi
EOT	Epaisseur de diélectrique équivalente à du SiO ₂
E_i	Niveau de Fermi intrinsèque

F

FINFET	Fin (shaped) Field Effect Transistor Fully
FDSOI	depleted silicon on insulator

G

GND	Masse d'alimentation
g_m	Transconductance d'un transistor
g_b	Transconductance du body

H

High-k	Diélectrique de grille ayant une haute permittivité
--------	---

I

I_{SUB}	Courant sous le seuil
I_{DS}	Courant entre source et drain d'un transistor
I_{Dsats}	Courant de saturation du drain

	I_{ON}	Courant de saturation à l'état passant	M
	I_D	Courant de drain	
	I_{OFF}	Courant de drain à l'état bloqué OFF	
K			
	K	Constante de Boltzmann	
L			
	L_{eff}	Longueur effective du canal de conduction	
	L_G	Longueur de grille	
	MOSFET	Transistor Metal-Oxyde-Semiconductor à effet de champ	
N			
	N	Concentration de dopage du canal	
	N_A	Concentration de dopants de type accepteurs d'électrons	
	N_D	Concentration de dopants de type donneurs d'électrons	
	NMOS	Transistor MOS a canal n	
P			
	$PDSOI$	Transistor partiellement déserté sur silicium sur isolant	
	PMOS	Transistor MOS a canal p	
Q			
	Q	Charge élémentaire	
	Q_m	Charge de déplétion dans le canal	
	Q_{dep}	Charge de déplétion du canal	
	Q_{ss}	La charge d'état de surface du canal	
S			
	SCE	Short-Channel Effects (Effect canaux courts)	
	SOI	Silicon On Insulator (Silicium sur isolant)	
	SS	Pente sous le seuil	
T			
		T_{BOX} Epaisseur de l'oxyde enterré	
		T_0	
		T_{OX}	
		$TCAD$	
		T_{SI}	
Temps de commutation		Epaisseur géométrique électrique de l'oxyde de grille	
		Conception assisté par ordinateur	
		Epaisseur du film de silicium	
U			
	UTBB	Film de silicium et oxyde enterré ultra-minces	
	UTBOX	Oxyde enterré ultra-mince	

ULSI Ultra Large Scale Integration

V

V_{bs} Tension substrat source
 V_b Tension substrat
 V_{th} Tension de seuil du transistor
 V_{ds} Tension entre le drain et la source
 V_d Tension appliquée sur le drain
 V_b Tension appliquée sur le substrat
 V_{gs} Tension appliquée sur la grille
 V_{fb} Tension de bande plate
 V_P Tension de pincement
 V_{DD} Tension d'alimentation
VLSI Very Large Scalle Integration

X

x_{dmax} Profondeur de la déplétion maximale
 μ_{eff} Mobilité effective des porteurs
 Φ_s Potentiel de surface global
 μ Mobilité électronique
H Constante de blank
 Φ_d Hauteur de barrière entre la source et le canal.
 Φ_m Travail de sortie de la grille
 Φ_f Potentiel de fermi
 $\Delta\Phi$ Différence des travaux de sortie entre la grille et le silicium
 Φ_{ms} Différence de travail de sortie entre la grille et le canal
 ϵ_{si} Constante diélectrique du silicium
 ϵ_{ox} Constante diélectrique de l'oxyde
 ψ_s Potentiel de surface à l'interface diélectrique/silicium
 μ_0 Mobilité des porteurs à champ faible

Introduction générale

Le transistor à effet de champ MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) est le produit manufacturé le plus vendu sur le marché international. Il constitue l'élément central des circuits intégrés conçus à partir des technologies CMOS (Complementary Metal-Oxide-Semiconductor) et on dénombre aujourd'hui plus d'un milliard de transistors sur une même puce. Pour parvenir à cette prouesse technologique, l'industrie de la microélectronique vit au rythme effréné dicté par la loi empirique énoncée par Gordon Moore, co-fondateur d'Intel, en 1965. Celui-ci indiquait que la complexité des semi-conducteurs devait doubler tous les ans à coût constant. Après la commercialisation du premier microprocesseur en 1971 par Intel (Intel 4004), qui comptait 2300 transistors sur une surface de 10mm^2 et une puissance de calcul équivalente au 30 tonnes et 167m² de l'ENIAC (Electronic Numerical Integrator Analyser and Computer, premier ordinateur entièrement électronique conçu en 1946), Moore réévalua sa prédiction. En 1975, il énonça que le nombre de transistors contenu sur une puce doit doubler tous les deux ans. Depuis maintenant presque quarante ans, l'industrie de la microélectronique s'est fixée comme leitmotiv de suivre cette loi et la densité d'intégration est passée de 230 transistors par mm^2 en 1971 à pratiquement 9 millions de transistors par mm^2 en 2012, soit pratiquement un facteur 40000 en 40 ans. La miniaturisation des transistors permet d'abord de réduire leur coût de production mais permet aussi un gain en performance. Associée à une réduction de tension d'alimentation la consommation est également abaissée [1].

Les performances du circuit intégré RF (IC) sont améliorées, Grâce à l'introduction sur le marché du substrat Silicon-on-Insulator (SOI) à haute résistivité, riche en pièges,

Les exigences des CI en termes de linéarité sont remplies. Aujourd'hui, le MOSFET SOI partiellement épuisé (PD) est la Technologie pour les systèmes RF SOI. Les futures générations de systèmes de communication mobile nécessiteront des transistors avec une meilleure Performances à haute fréquence fonctionnant à faible consommation d'énergie et dans la plage d'ondes millimétriques. Complètement épuisé (FD) SOI MOSFET est un candidat très prometteur pour le développement de ces futurs systèmes de communication sans fil.

Cette technologie est une alternative prometteuse au silicium brut dans la réalisation de transistors opérant à de hautes fréquences. En effet, malgré son coût de développement supérieur de 10 % par rapport aux technologies classiques sur substrat massif, le gain en performance est évalué entre 20 et 35 % [2].

Ce manuscrit s'articulera autour de quatre chapitres :

Dans le premier chapitre, on va expliquer brièvement le transistor MOSFET ainsi que les problèmes engendrés par sa miniaturisation. Nous évoquerons ensuite les solutions technologiques possibles pour répondre à ces problèmes.

Le second chapitre est consacré à la présentation de la technologie FDSOI, les détails de cette architecture, les procédés de fabrication, les avantages et les inconvénients.

Le troisième chapitre est principalement réservé pour la présentation du logiciel TCAD Silvaco utilisé au cours de cette étude, ses modules et outils de simulation, nous décrirons ensuite les procédés technologiques nécessaires à la réalisation de notre structure FDSOI utilisant l'outil de simulation « ATLAS ».

Le quatrième et dernier chapitre a été consacré à la présentation des résultats de simulation que nous avons obtenus par le biais du logiciel SILVACO-TCAD avec lequel nous avons tout d'abord conçu notre transistor FDSOI et simulé ses caractéristiques électriques. Nous avons par la suite pu examiner l'effet de la fonction de travail de la grille métallique sur les performances de certains paramètres de cette structure telle que les caractéristiques électriques du dispositif, soit sur son courant de drain ou sa tension de seuil.

Référence bibliographique

- [1] Diagne, B. (2007). Etude et modélisation compacte d'un transistor MOS SOI doublegrille dédié à la conception (Doctoral dissertation).
- [2] https://fr.wikipedia.org/wiki/Silicium_sur_isolant

CHAPITRE 1

LE TRANSISTOR MOS SUR SILICIUM MASSIF

Chapitre 1.

Le Transistor MOS sur Silicium Massif

1.1 Introduction

Ce chapitre a pour but d'expliquer brièvement le principe de fonctionnement d'un transistor MOSFET (Métal/Oxyde/Semi-conducteur à effet de champ) ainsi que quelques régimes de fonction. Il a pour but aussi d'énumérer les limitations et problèmes auxquels s'est heurtée la microélectronique dans sa course à la miniaturisation.

Il est cependant à noter que son développement et tout particulièrement la diminution de ses grandeurs géométriques au fil des années a laissé malheureusement apparaître certains phénomènes parasites non négligeables.

1.2 Description du MOSFET

Le MOSFET acronyme anglais de Metal Oxide Semi-conductor Field Effect Transistor, en Français Transistor à Effet de Champ (à grille) Métal-Oxyde, est constitué d'un substrat Semiconducteur sur lequel repose une fine couche d'oxyde isolant (SiO_2) d'épaisseur t_{ox} . Une couche conductrice (métal ou poly silicium fortement dopé), appelée électrode De grille, est aussi déposée sur l'oxyde. Enfin, deux régions fortement dopées de Profondeur x_j , appelées source et drain, sont formées dans le substrat de part et d'autre De la grille. La structure basique d'un transistor nMOS est représentée à la Figure I.1. En Raison du procédé de fabrication, la grille « de longueur L_G » recouvre légèrement les Régions de source et de drain. La région entre les jonctions de source et de drain est Appelée la région du canal et est définie par sa longueur L et sa largeur W .

La zone active du transistor MOS est la région semi-conductrice (substrat) située entre la source et le drain près de l'interface oxyde semi-conducteur [1]. Le transistor MOS moderne contient une grille G en silicium poly cristallin (plus rarement en d'autres matériaux, par exemple, en métal), séparée du substrat en silicium monocristallin par une couche mince de diélectrique, le plus souvent SiO_2 . Les régions de source et drain font partie intégrante du substrat, dont ils diffèrent par leur type de conduction. Suivant le type des porteurs assurant le passage du courant, on peut parler de transistors MOS à canal N (ou NMOS, conduction par électrons) et de transistors à canal P (ou PMOS, conduction par trous).

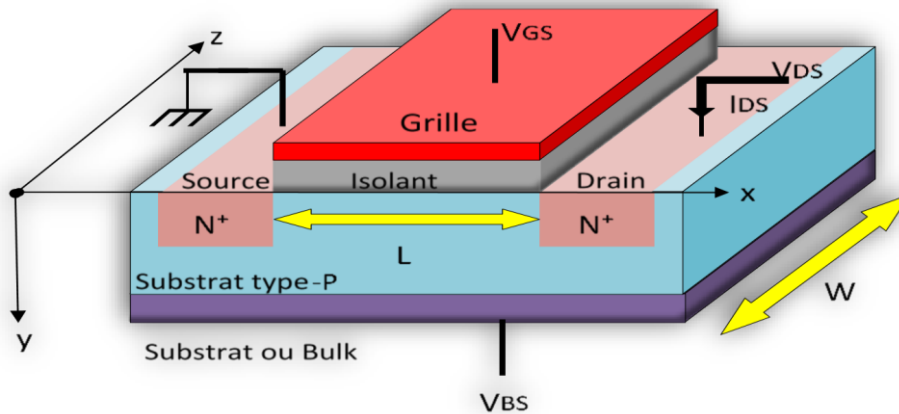


Figure I. 1 : Structure basique d'un transistor MOS de type n.

La figure I.2 présente l'architecture d'un transistor MOS sur silicium de type N. L'architecture classique est constituée de quatre terminaux qui permettent d'analyser le comportement électrique du transistor : la grille V_g , la source V_s , le drain V_d et le contact du substrat V_b

La structure du transistor étant identique selon sa largeur, on le représente communément dans le plan (x,y,z) .

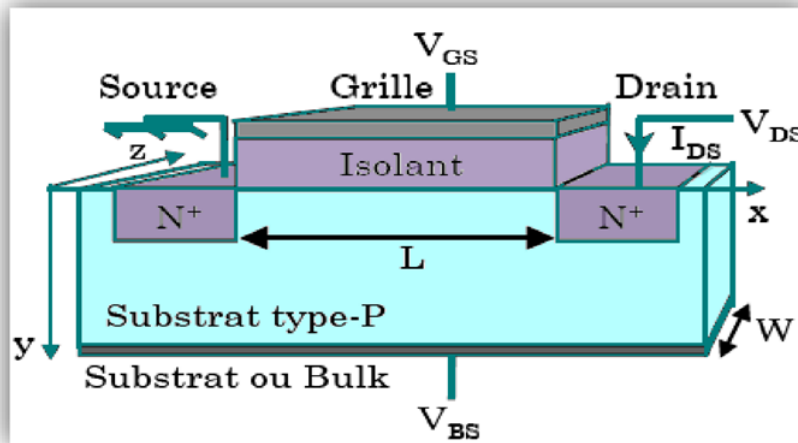


Figure I. 2 : Vue schématique du transistor MOS de type N

Le transistor MOS (ou MOSFET pour transistor Métal-Oxyde-Semi-conducteur à effet de champ) à canal N est un dispositif quadripolaire constitué d'une électrode de grille (G), de source (S), de drain (D) et de substrat (B). La longueur du transistor, notée L , correspond à la longueur de sa grille et sa largeur est notée W . La structure du transistor étant identique selon sa largeur, on le représente communément dans le plan (x, y, z) . Nous considérerons par la suite un transistor à canal surfacique, c'est-à-dire dont la conduction est assurée par les porteurs minoritaires du substrat

(électrons dans le cas d'un NMOSFET), à l'interface entre le diélectrique de grille et le substrat. Notons que le MOSFET possède deux électrodes supplémentaires par rapport à la capacité MOS, qui sont constituées de deux caissons dopés N pour le un NMOS (réservoirs à électrons). Ainsi, de nombreuses propriétés du transistor MOS découlent de celles de la capacité MOS.

1.3 Rappels sur les propriétés des transistors MOS

Le transistor MOS est, de loin, le dispositif le plus répandu dans la production actuelle de composants semi-conducteurs, car il est le composant de base de la technologie CMOS (Complementary MOS), qui, à elle seule, englobe plus de 80 % (figure I.3) de la production mondiale de circuits intégrés.

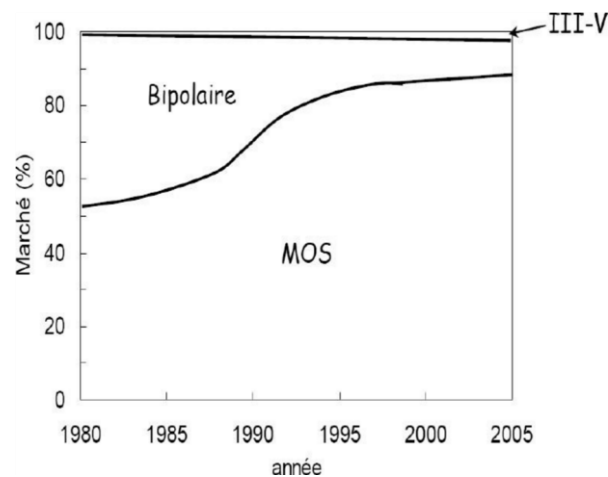


Figure I. 3 : Effet de champ dans un transistor MOS [2]

Le transistor MOSFET se caractérise par le fait que la grille, par l'effet de champ électrique, contrôle à travers l'oxyde de grille la densité de porteurs dans le canal du dispositif et ainsi l'intensité du courant dans le canal. Le canal est relié de part et d'autre à deux régions fortement dopées entre lesquelles est appliquée une tension donnant lieu à la circulation du courant [3][2].

1.4 Principe de fonctionnement d'un transistor MOS

D'une manière générale, le transistor MOS est un composant qui joue le rôle d'un interrupteur en passant ou en bloquant le courant dans le canal entre source et drain. La structure MOS (Métal/Oxyde/Semi-conducteur) est un empilement à trois couches, constitué d'une grille, d'un diélectrique et d'un semi-conducteur. Le principe de base de la technologie repose sur ce qu'on appelle l'effet de champ, qui va moduler de façon électrostatique la densité de charges mobiles traversant le semi-conducteur, comme illustré sur la figure I.4

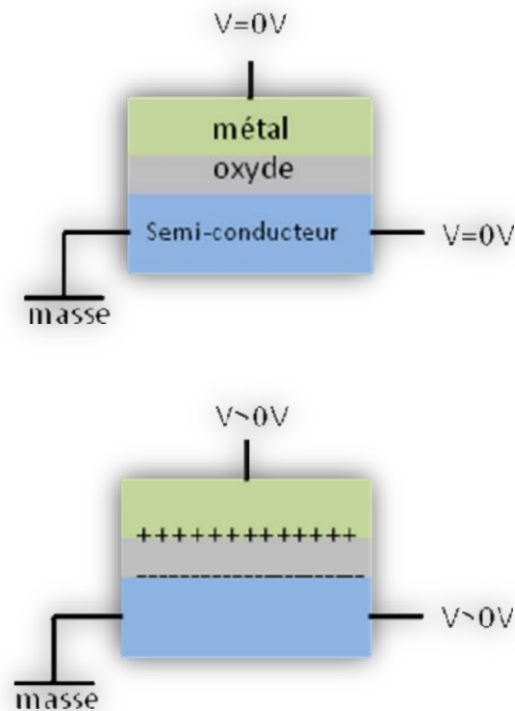


Figure I. 4 : L'effet du champ sur la structure MOS

La conductivité du silicium, comme tout autre semi-conducteur, va dépendre de la quantité de porteurs libres se trouvant dans la bande de conduction (électrons) ou la bande de valence (trous). Et la tension appliquée sur la grille va permettre de moduler ces quantités, en surface à proximité du diélectrique, obtenant ainsi une capacité MOS.

Pour obtenir un transistor MOS, on ajoute, de chaque côté de la grille, des zones de silicium très fortement dopées, qui font office de réservoirs de porteurs.

Le canal étant du type de dopage opposé à celui de la source et du drain (dans le cas d'un transistor à enrichissement), si aucune polarisation de grille n'est appliquée, sa résistivité est élevée et donc la résistance entre source et drain est grande : le transistor est dit *bloqué*. En appliquant une polarisation de grille adaptée, on enrichit le canal en porteurs dits minoritaires, de mêmes types que les porteurs majoritaires de la source et du drain soient, de type inverse au dopage canal ; la résistivité du canal diminue fortement et le transistor est dit passant. Ainsi, dans un transistor à canal n (NMOS), les sources et drain sont des réservoirs d'électrons et le transistor sera passant si le canal est enrichi en électrons.

Le transistor MOS, comme on vient de le voir, se décompose principalement en trois parties ; L'électrode de grille, les électrodes de source et de drain et le canal de conduction entre les deux (Figure I.4).

La tension V_g sur la grille va nous permettre de créer la charge d'inversion dans le canal et la tension ($V_{ds}=V_d-V_s=V_d$) va permettre le déplacement de ces charges sous l'effet du champ électrique imposé entre source et drain.

1.4.1 Tension de seuil et barrière de potentiel Source-Drain

Le diagramme de bandes du transistor MOS idéal en condition de bandes plates est donné sur la figure I.5 pour un substrat dopé P. Il reprend l'ensemble des notations utilisées pour caractériser l'empilement grille/canal [4].

On a : E_c , E_v , E_i : sont respectivement le niveau de conduction, de valence et intrinsèque.

E_0 : Energie minimale d'un électron dans le vide.

Φ_f : Potentiel de la jonction. $q\Phi_m = E_0 - E_{fm}$: Travail de sortie du métal.

$q\Phi_s = E_0 - E_{fs}$: Travail de sortie du semi-conducteur. $q\chi_s = E_0 - E_c$:

Affinité électronique du semi-conducteur. $q\chi_i = E_0 - E_{ci}$: Affinité

électronique de l'isolant.

$q\Phi_f = E_i - E_{fs}$: le niveau de fermi intrinsèque par rapport au niveau de fermi extrinsèque.

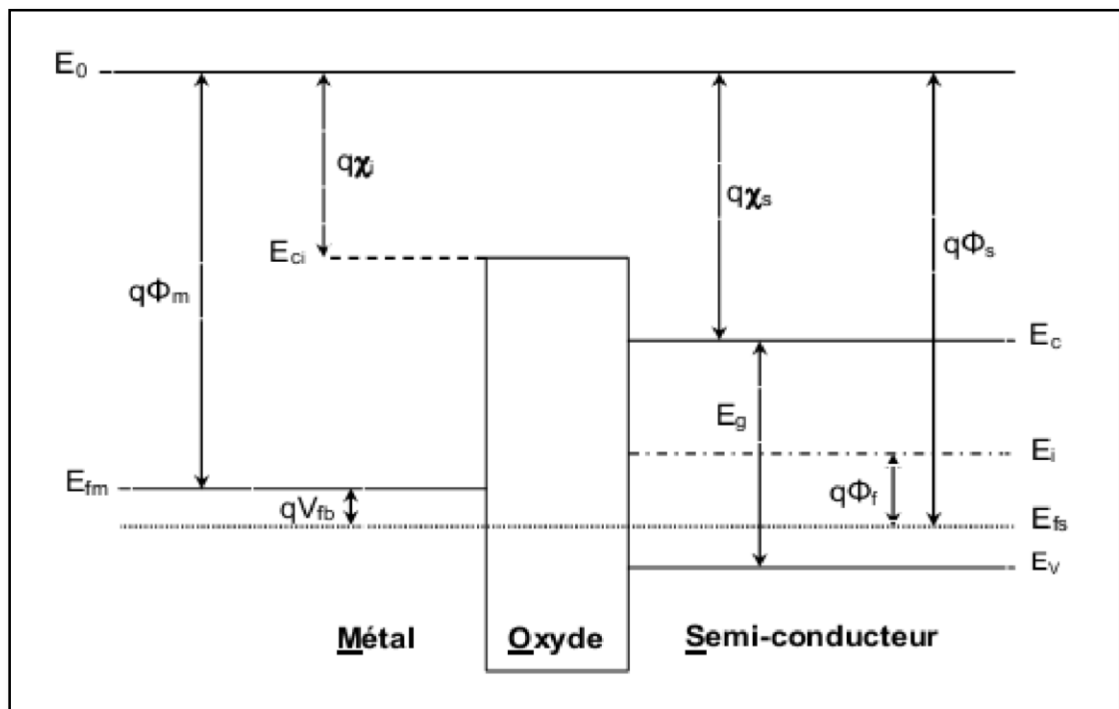


Figure I. 5 : Diagramme d'énergie d'une structure MOS [7]

D'après la figure 1.5, Le potentiel Φ_f définissant le niveau de fermi $E_{fs} = E_i - q\Phi_f$ dans le volume du semi- conducteur. La tension de bandes plates $V_{fb} = \Phi_m - \Phi_s$ est la tension de grille qu'il faut

appliquer pour que le potentiel Ψ_s à l'interface semi-conducteur/isolant (c.-à-d. la courbure de bande entre la surface et le volume du semi-conducteur) soit nul.

A cause de la nature différente des dopants du transistor, une barrière d'énergie potentielle, de hauteur Φ_d , apparaît entre le canal et les régions source et drain (correspondant à la barrière de potentiel d'une jonction N+P). Cette barrière empêche le passage des porteurs entre la source et le drain si aucune polarisation n'est appliquée sur le dispositif (figure 1.7).

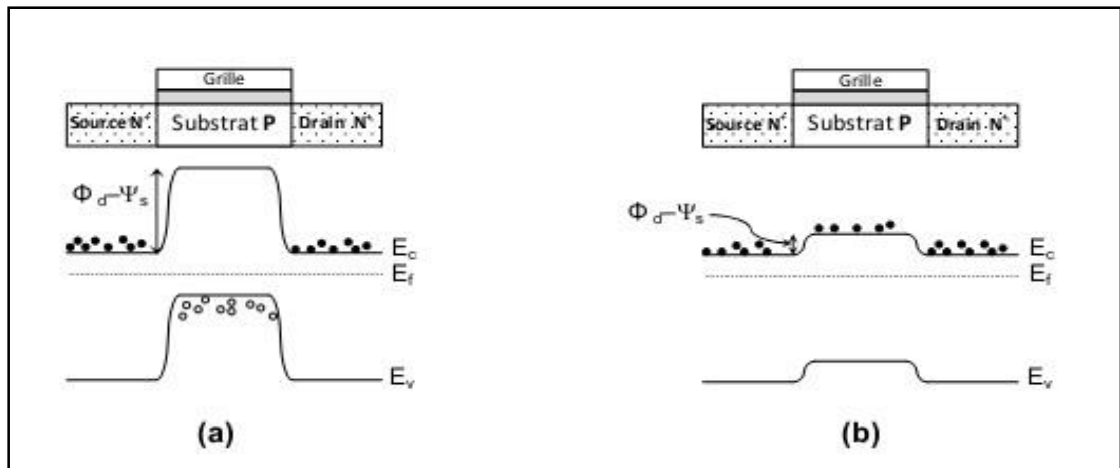


Figure I. 6 : Modification de la barrière de potentiel source-drain en fonction de la polarisation de grille V_{gs} (a) régime d'accumulation (état bloqué), (b) régime d'inversion (état passant).[6]

La tension de grille V_{gs} module la hauteur de cette barrière [1] et les différents régimes de fonctionnement du transistor nMOS sont donc définis selon les valeurs de Ψ_s [5][4] :

- $\Psi_s < 0$ soit $V_{gs} < V_{fb}$: régime d'accumulation (figure I.7 a)

Les porteurs majoritaires du substrat sont attirés à l'interface SiO_2/Si , la capacité est en accumulation. La barrière côté source pour les électrons vaut alors $\Phi_d - \Psi_s$ à la surface du semi-conducteur, le transistor est à l'état bloqué.

- $\Psi_s = 0$, $V_{gs} = V_{fb}$: condition de bandes plates (figure I.7 b)

Les bandes d'énergie sont plates et aucune charge n'est accumulée aux deux interfaces de l'oxyde. Les concentrations de porteurs majoritaires et mineurs sont constantes dans toute la profondeur du silicium. La tension électrique à appliquer entre la grille et le substrat pour obtenir cette configuration est appelée tension de bandes plates V_{fb} .

- $0 < \Psi_s < \Phi_f$, $V_{fb} < V_{gs} < V_{mg}$: régime de déplétion ou de désertion (figure I.7 c)

Les porteurs majoritaires sont repoussés de la surface du semi-conducteur et une zone désertée en porteurs se crée. Le transistor ne conduit pas. V_{mg} étant la tension V_{gs} pour laquelle $\Psi_s = \Phi_f$ à la source.

- $\Phi_f < \Psi_s < 2\Phi_f, V_{mg} < V_{gs} < V_{th}$: régime d'inversion faible (figure I.7 d)

La condition $\Psi_s = \Phi_f$ correspond au seuil de l'inversion faible : en surface les concentrations de porteurs majoritaires et minoritaires sont égales à n_i , la concentration intrinsèque de porteurs.

- $2\Phi_f < \Psi_s$ soit $V_{gs} > V_{th}$: régime d'inversion forte (figure I.7 e)

Lorsque V_{gs} est grande, la surface du semi-conducteur est amenée en régime d'inversion : un canal d'inversion est créé entre la source et le drain. On parle d'inversion forte lorsque la population de porteurs est localement inversée. La concentration des porteurs minoritaires en surface devient supérieure à la concentration des majoritaires dans le volume. De nombreux porteurs libres sont présents dans le canal, la barrière $\Phi_d - \Psi_s$ côté source pour les électrons à la surface du semiconducteur devient faible et le transistor conduit (figure I.6). La tension à appliquer pour amener ce régime s'appelle la tension de seuil V_{th} (threshold voltage). Elle est définie comme la tension de grille V_{gs} telle que la condition $\Psi_s = 2\Phi_f$ soit remplie [8]. Q_{dep} étant la charge de déplétion dans le substrat, et C_{ox} la capacité correspondant à l'épaisseur physique de l'oxyde de grille SiO_2 ($C_{ox} = \epsilon_{ox}/t_{SiO_2}$). La zone de déplétion augmente jusqu'au régime de forte inversion où un accroissement de la tension de grille induit alors une augmentation des porteurs minoritaires plutôt qu'une plus forte déplétion.

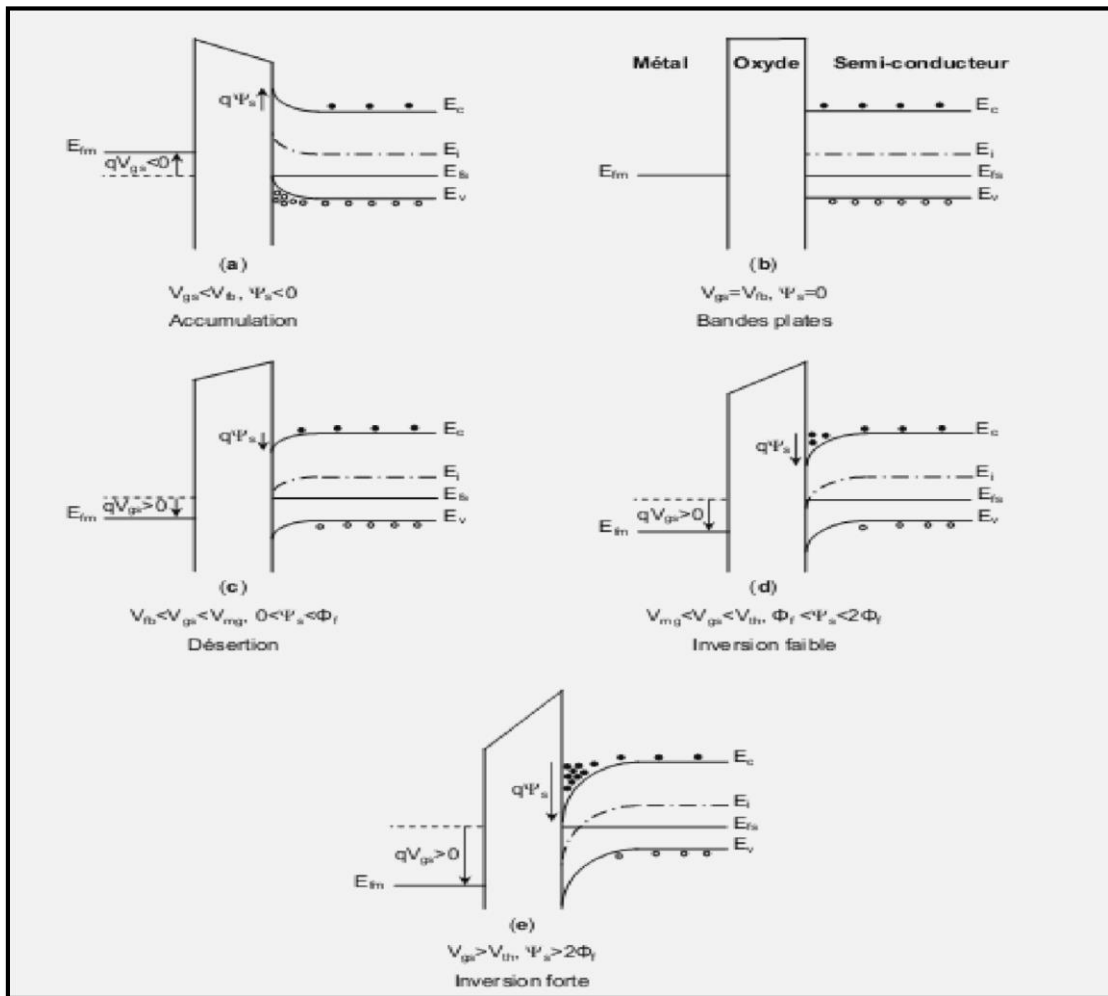


Figure I. 7 : Diagramme bandes d'énergie du transistor NMOS dans le régime, (a) accumulation, (b) de bandes plates, (c) de désertion, (d) d'inversion faible et (e) d'inversion forte [9]

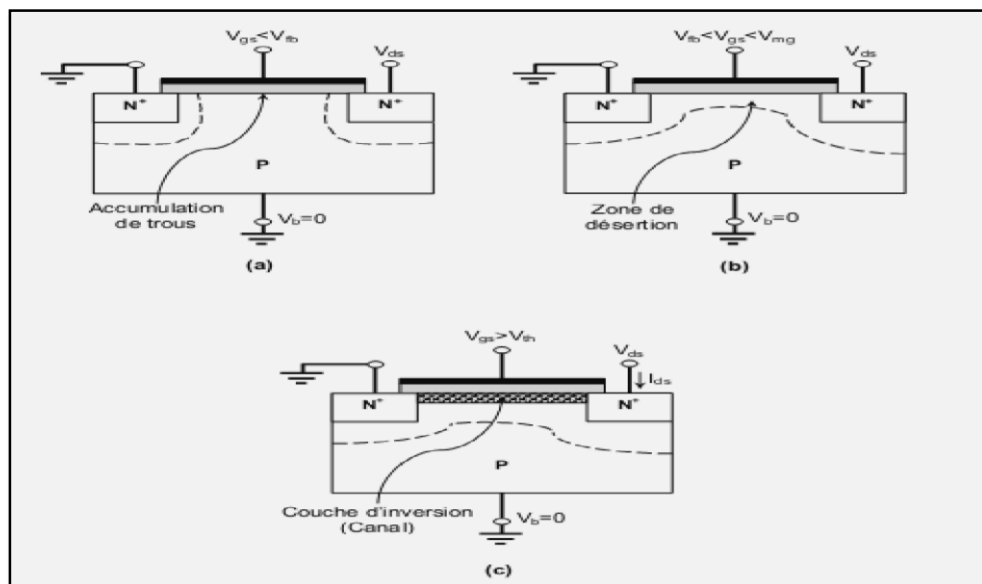


Figure I. 8 : Coupe de MOSFET représentative de son fonctionnement : (a) Accumulation, (b) Déplétion, et (c) Inversion (activation du canal) [9]

La figure I.8 présente une coupe du transistor MOS dans les régimes d'accumulation, de déplétion et d'inversion respectivement.

1.4.2 Les régimes de conduction du transistor MOS

Le courant délivré par le transistor est gouverné par trois facteurs :

- La charge dans le canal (qui dépend de la tension de grille V_{gs}),
- La tension de drain V_{ds} qui permet le déplacement des porteurs de la source au drain,
- La mobilité des porteurs (μ_{eff}) qui quantifie la vitesse acquise par les porteurs sous l'action d'un champ électrique.

En fonction des polarisations V_{gs} et V_{ds} il est donc possible de définir deux régimes de conduction distincts : le régime linéaire (ou ohmique) et le régime de saturation (figure I.9). Le régime linéaire se caractérise par une dépendance linéaire du courant en fonction de V_{ds} tandis que le régime de saturation caractérise un état dans lequel le courant n'évolue plus avec V_{ds} , car le canal est dit pincé $V_p = V_{dsat} \approx V_{gs} - V_{th}$. Entre ces deux régimes, le courant délivré dépend à la fois de V_{ds} et de V_{gs} : c'est la zone de raccordement.

Enfin, pour résumer le fonctionnement du transistor MOS nous pouvons dire que [10][11] :

- ✓ Pour $V_{gs} < V_{th}$, le canal n'est pas formé. Idéalement, le courant dans cette zone est nul.
- ✓ Pour $V_{gs} > V_{th}$, le canal est formé, le transistor peut conduire du courant. Selon V_{ds} on a différents régimes. On note $V_{dsat} \approx V_{gs} - V_{th}$.
- ✓ Pour $V_{ds} \ll V_{dsat}$, le transistor est en régime **linéaire**, le courant I_{ds} est proportionnel à V_{ds} .
- ✓ Pour $V_{ds} \approx V_{dsat}$, la densité de charge du canal s'annule au drain : on dit que le canal est **pincé**. Le courant ne peut plus augmenter proportionnellement à la tension V_{ds} .
- ✓ Pour $V_{ds} > V_{dsat}$, le courant reste constant et vaut I_{dsat} . La tension aux bornes du canal vaut V_{dsat} et le point de pincement se déplace vers la source lorsque la tension V_{ds} est augmentée.

Le transistor est en régime **saturé**.

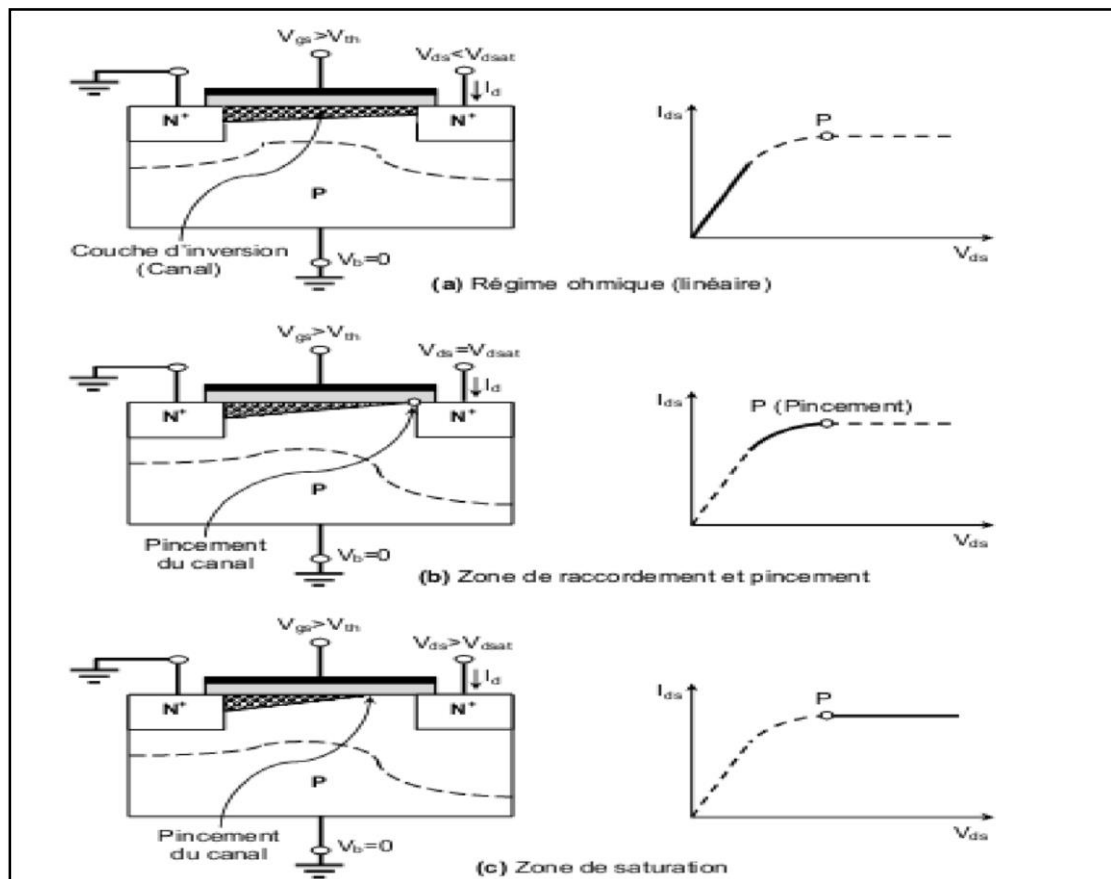


Figure I. 9 : Illustration des trois régimes de fonctionnement d'un transistor NMOS [7]

1.4.3 Caractéristiques électriques idéales du transistor MOS

Les transistors MOS sont caractérisés électriquement en utilisant les graphiques $I_{ds} = f(V_{gs})$ et $I_{ds} = f(V_{ds})$. Ces caractéristiques sont schématisées de manière idéale en figure I.10 [11], ce qui nous permet de relier les différents régimes de la capacité MOS définis dans le paragraphe précédent aux modes de fonctionnement du transistor MOSFET [7].

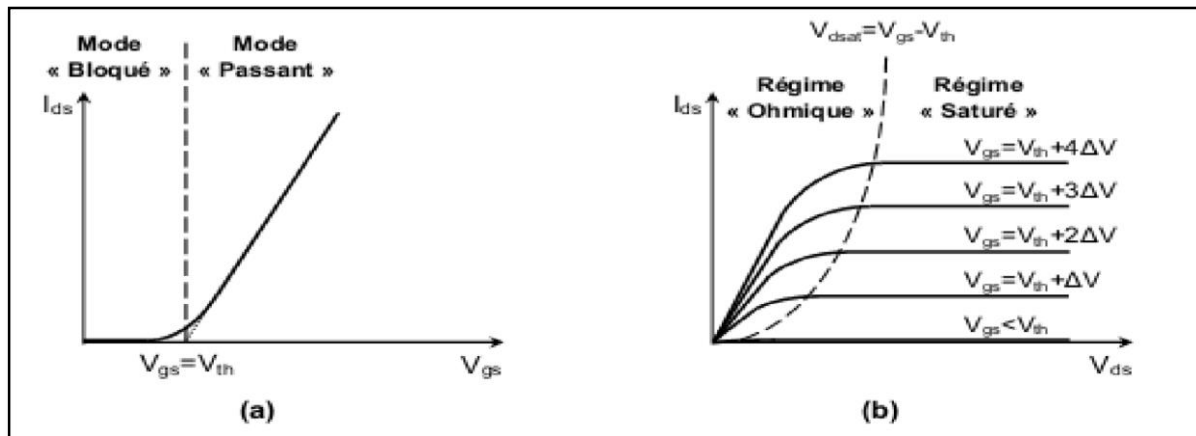


Figure I. 10 : Caractéristiques idéales d'un transistor MOS (a) Graphique $I_{ds}=f(V_{gs})$. (b) Graphique $I_{ds}=f(V_{ds})$. La ligne $V_{dsat} = V_{gs} - V_{th}$ sépare le régime ohmique du régime saturé [7]

1.5 Application du transistor MOSFET

Le transistor MOSFET est utilisé dans de multiples applications. Il est utilisé comme amplificateur dans certaines applications analogiques. Il est aussi utilisé comme bit pour stocker et lire l'information sous forme de zéros et uns. Son utilisation est plus importante dans les applications numériques comme élément de base de différentes fonctions logiques (porte AND, OR...). On peut distinguer deux catégories importantes d'applications :

- Applications haute performance HP (« High Performance ») comme le microprocesseur pour les ordinateurs de bureau pour lesquelles la fréquence de commutation du transistor est privilégiée par rapport à la consommation.
- Applications à basse consommation avec un compromis sur la fréquence de commutation du transistor :

Les dispositifs à faible puissance active LOP (« Low Operating Power »), ce sont des dispositifs à basse consommation en fonctionnement tels que les ordinateurs portables.

1.5.1 Enjeux et dilemmes régissant l'évolution des performances des MOSFET

L'évolution de la technologie actuelle est liée à la conception des transistors dans les meilleures échelles possibles, ceci est dû aux exigences du marché ; rapidité, faible dissipation d'énergie et grande densité d'intégration. La taille des transistors a été réduite et atteint actuellement et même moins d'un micromètre grâce aux nouveaux processus de fabrication, notons la lithographie qui permet d'imprimer des grilles à des dimensions extrêmement petites, ainsi des

isolants parfaits même en telles dimensions. Actuellement les processeurs de hautes performances sont menus de transistors à des longueurs de grille moins de 100 nanomètres avec un oxyde de moins de 2 nm d'épaisseur.

1.6 Conclusion :

De manière générale, Dans ce chapitre nous avons présenté une introduction sur la technologie des transistors MOS ainsi que les principes de fonctionnement, nous avons présenté aussi un petit résumé des différentes équations de base qui régissent le fonctionnement du transistor MOSFET. Nous avons ainsi pu rappeler les principales caractéristiques des MOSFET, ainsi que les différents paramètres qui influent sur leur fonctionnement.

1.7 Références bibliographiques

- [1] Kinget, P., & Steyaert, M. (1996, May). Impact of transistor mismatch on the speedaccuracy-power trade-off of analog CMOS circuits. In Proceedings of Custom Integrated Circuits Conference (pp. 333-336). IEEE.
- [2] GORDON Moore “progress in digital integrated électronique”, international Electron Device Meeting (IEDM) techn. Digest, 11-13-1975
- [3] Huang, X., Lee, W. C., Kuo, C., Hisamoto, D., Chang, L., Kedzierski, J., ...& Subramanian, V. (1999, December). Sub 50-nm finfet: Pmos. In International Electron Devices Meeting 1999. Technical Digest (Cat. No. 99CH36318) (pp. 67-70). IEEE.
- [4] Bowman, K. A., Tang, X., Eble, J. C., & Menldl, J. D. (2000). Impact of extrinsic and intrinsic parameter fluctuations on CMOS circuit performance. IEEE Journal of Solid-State Circuits, 35(8), 1186-1193.
- [5] Colinge, J. P. (Ed.). (2008). FinFETs and other multi-gate transistors (Vol. 73). New York: Springer. [5] K.K. Young, “Short-channel effect in fully depleted SOI MOSFETs”, IEEE Transactions on Electron Devices, Vol. 36, N° 2, 1989, p. 399-402.
- [6] Pelgrom, M. J., Tuinhout, H. P., & Vertregt, M. (1998, December). Transistor matching in analog CMOS applications. In International electron devices meeting 1998. technical digest (Cat. No. 98CH36217) (pp. 915-918). IEEE.
- [7] Arora, N. (2007). Mosfet modeling for VLSI simulation: theory and practice. World Scientific.
- [8] Weber, O. (2005). Etude, fabrication et propriétés de transport de transistors CMOS associant un diélectrique haute permittivité et un canal de conduction haute mobilité. These de Doctorat, Institut National des Sciences Appliquées de Lyon.

- [9] Malavasi, E., Zanella, S., Uschersohn, J., Misheloff, M., &Guardiani, C. (2001, June). Impact analysis of process variability on digital circuits with performance limited yield. In 2001 6th International Workshop on Statistical Methodology (Cat. No. 01TH8550) (pp. 60-63). IEEE.
- [10] Bhavnagarwala, A., Kapoor, A., &Meindl, J. (2000, September). Fluctuation limits on scaling of CMOS SRAMs. In 30th European Solid-State Device Research Conference (pp. 472-475). IEEE.
- [11] Stolk, P. A., Tuinhout, H. P., Duffy, R., Augendre, E., Bellefroid, L. P., Bolt, M. J. B., ... &Ponomarev, Y. V. (2001, December). CMOS device optimization for mixed-signal technologies. In International Electron Devices Meeting. Technical Digest (Cat. No. 01CH37224) (pp. 10-2). IEEE.

CHAPITRE 2

LA TECHNOLOGIE PLANAIRE FDSOI

**Chapitre 2.
FDSOI****La Technologie Planaire****2.1 Introduction**

Afin d'optimiser les performances des transistors en silicium massif tout en gardant la fuite sous Contrôle, la fabrication des transistors est devenue complexe et coûteuse puisque plusieurs étapes sont ajoutées dans la fabrication [1].

Traiter. Par conséquent, une technologie de processus planaire appelée silicium sur isolant (SOI) est introduite comme alternative en raison de son processus de fabrication simple mais présentant les avantages de géométries de silicium réduites.

Cependant, la variation d'épaisseur SOI peut créer un problème sérieux car la tension de seuil peut fluctuer.

La plaquette SOI d'aujourd'hui est équipée d'une caractéristique unique qui est un oxyde de silicium enterré (BOX). C'est une couche de recouvrement

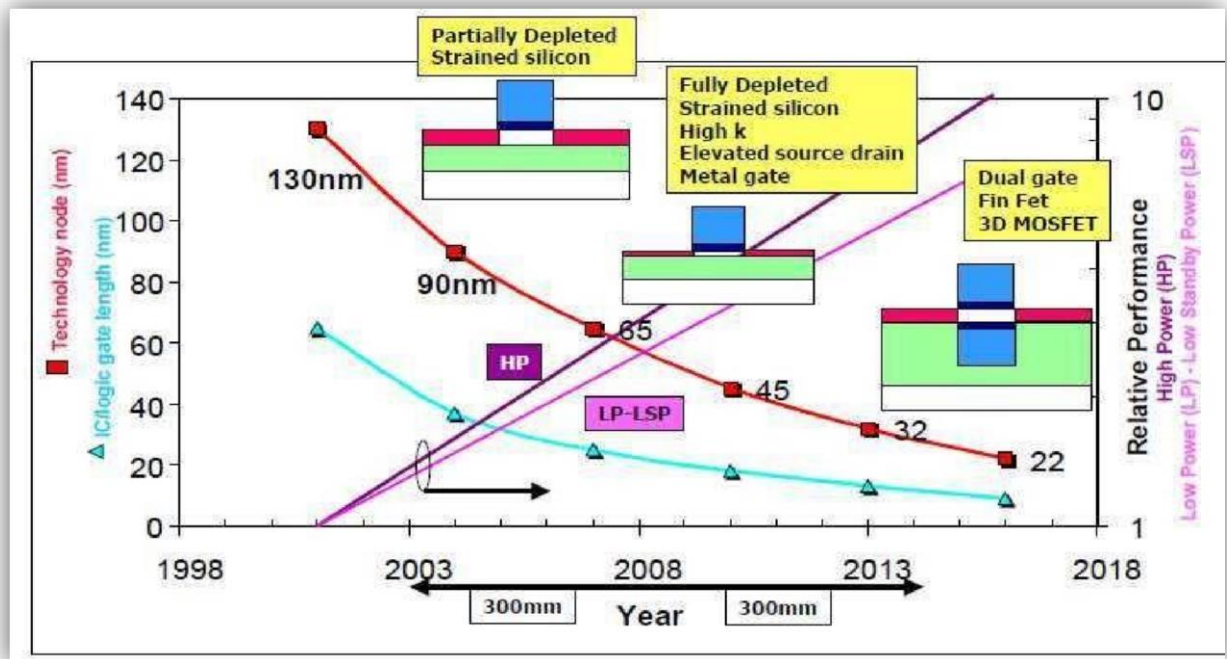
La plaquette entière avec une certaine épaisseur. Il y a beaucoup de caractéristiques améliorées qui ont été augmentées en ayant une Structure BOX dans la structure semi-conductrice à oxyde de métal ordinaire (MOS). Par exemple, il aura un meilleur isolement.

Avec la réduction des performances des dispositifs MOS, plusieurs grands industriels comme STMicroelectronics (dans le cadre de son Alliance avec IBM) ont fait le choix de se lancer sur la technologie FDSOI. Un pari stratégique audacieux quand le géant Intel se lance sur les FinFET's

Trigate pour les nœuds 22nm et en deçà.

Ce chapitre a deux objectifs. Le premier est de présenter les atouts de la technologie planaire FDSOI qui permettront de pallier aux problèmes rencontrés par le transistor MOS sur silicium massif.

des dispositifs jusqu'à des longueurs de grille de 20 nm.



2.2 Technologie silicium sur isolant /SOI (Silicon On Insulator)

L'approche SOI consiste à introduire, dans le transistor silicium Bulk, une fine couche d'isolant (Oxyde de Silicium). C'est ce qu'on appelle UTB SOI (Ultra Thin Body Silicon On Insulator).

Ce type de dispositif a été étudié sérieusement en 1996 par l'équipe de Chenming Hu de l'Université de Californie, Berkeley [2]. Ceux-ci ont montré que cette technologie pouvait résoudre les problèmes de consommation et de résoudre les problèmes liés à la réduction d'échelle

Figure II. 1 : Le SOI permet d'atteindre les générations futures de dispositifs définies par L'ITRS roadmap jusqu'au nœud 20nm [2]

La technologie SOI a été handicapée au début des années 90 par le prix des substrats Silicium sur isolant produit par SOITEC qui en détenait le principal brevet de fabrication. Elle était ainsi utilisée pour des circuits à haute valeur ajoutée. Mais les limites actuelles du Bulk ont fait que le SOI devient un successeur potentiel sérieux en raison de sa faible consommation et de son efficacité en termes de réduction de courant de fuite. Il est privilégié pour les systèmes qui opèrent à hautes performances, et pour les systèmes à basses énergies tels que l'internet mobile (Smartphones, tablettes, Netbooks), les multimédias (Box, TV).

Le MOSFET SOI est une alternative crédible pour remplacer le MOS sur silicium massif. La figure II.2 montre une comparaison entre l'architecture du MOS conventionnelle sur silicium et

sur SOI. On peut dire que la présence d'une couche enterrée d'oxyde de silicium SiO_2 est la majeure différence entre les deux technologies. Elle permet d'isoler les MOS des effets parasites et sépare la zone active du reste du wafer.

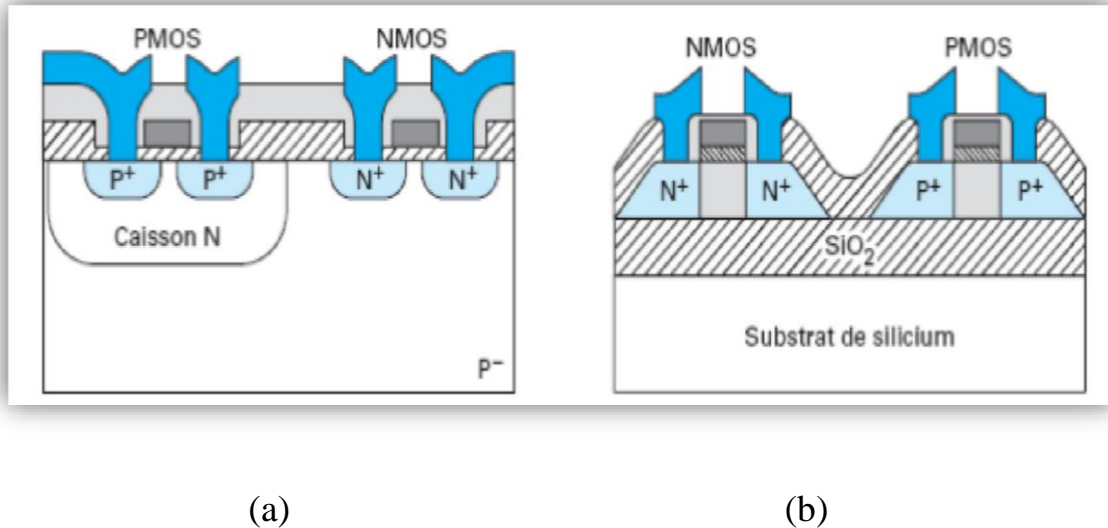


Figure II. 2 : Comparaison entre l'architecture d'un MOS sur bulk (a) et sur SOI (b) [3]

2.3 Technologie planaire FDSOI

Les transistors sur SOI se classent principalement en deux familles de composants les PD (Partially Depleted) partiellement déserté et le FD (Fully Depleted) complètement déserté. Ces notations font référence à l'état du canal, le premier ne sera pas totalement déserté puisque la profondeur de déplétion est inférieure à l'épaisseur de la couche de silicium ($T_{\text{si}} > X_{\text{dép}}$), et le deuxième sera totalement déserté. La technologie PD est assez proche de celle sur substrat massif en termes de processus de fabrication, cependant, plusieurs problèmes subsistent et limitent son utilisation.

FDSOI est une nouvelle forme de technologie qui peut aider l'industrie de fabrication de semiconducteurs à faire face au grand obstacle.

Dans FDSOI MOSFET, le canal est complètement appauvri des porteurs majoritaires car la couche de silicium est très mince [4].

Le processus planaire de FDSOI est une innovation technologique qui garantira le maintien de l'efficacité.

Les avantages du FDSOI permettent aux concepteurs et aux fabricants de créer des produits véritablement innovants et révolutionnaires et créer de nouveaux. La capacité parasite entre le drain et la source comme Présenté par transistor peut être réduite par la couche d'oxyde enterrée.

La couche d'oxyde enterrée limite également considérablement les courants de fuite.

2.3.1 Transistors MOS Complètement Désertés (FD SOI)

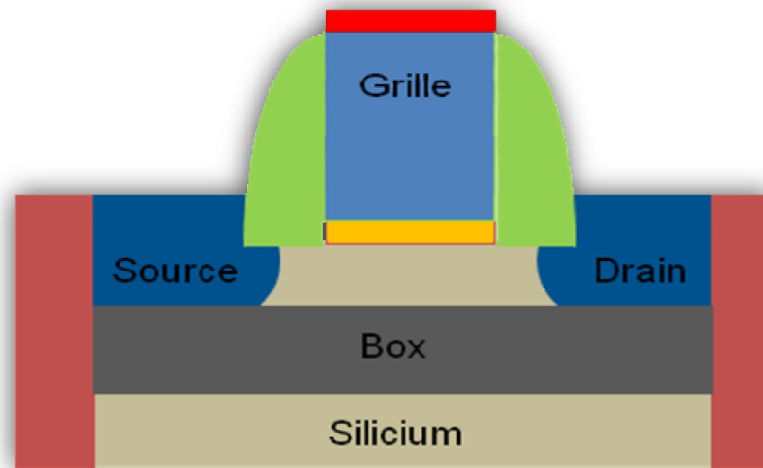


Figure II. 3 : Représentation schématique d'un transistor MOS FDSOI

La structure FD SOI ressemble à celle du PD, les seules grandes différences sont ; une absence ou peu de dopage dans le canal et l'amincissement du film du silicium. Pour simplifier, le transistor FD SOI est un transistor MOS intégré sur une couche de silicium ultra mince, opérant en déplétion totale avec un canal confiné dans une zone réduite entre l'oxyde de grille et le Box.

L'application d'une potentielle face arrière (Back Bias) via une prise substrat va augmenter les performances et réduire les fuites, par ajustement du V_{th} et réalisant des implantations de dopants sous le Box (c'est ce qu'on appelle plan de masse '*Ground Plane*'). Hormis ces avantages, le FD SOI confère :

- Une immunité due aux composants des zones actives du silicium en raison de la présence de l'oxyde enterré.
- Un excellent contrôle électrostatique du transistor, permettant d'atteindre des performances remarquables pour les faibles V_{dd} .
- Une réduction considérable de la variabilité, les transistors MOS FDSOI possèdent un coefficient de variabilité de la tension de seuil (A_{Vt}), aussi appelé coefficient de Pelgrom, deux à trois fois plus faible que celui des transistors MOS sur silicium massif. Cela permet ainsi, une grande stabilité et un meilleur rendement des SRAM pour les faibles V_{dd} [5]. En

comparaison avec le CMOS sur silicium massif dans les circuits, pour une même tension d'alimentation on a une augmentation de 20-30% en termes de performances et une réduction ~40 % de la consommation d'énergie de consommation grâce au FDSOI (Figure II.4).

Tous ces atouts ont fait que le FD SOI est considéré comme un candidat sérieux et crédible pour concurrencer la technologie CMOS sur silicium massif pour les prochains nœuds technologiques.

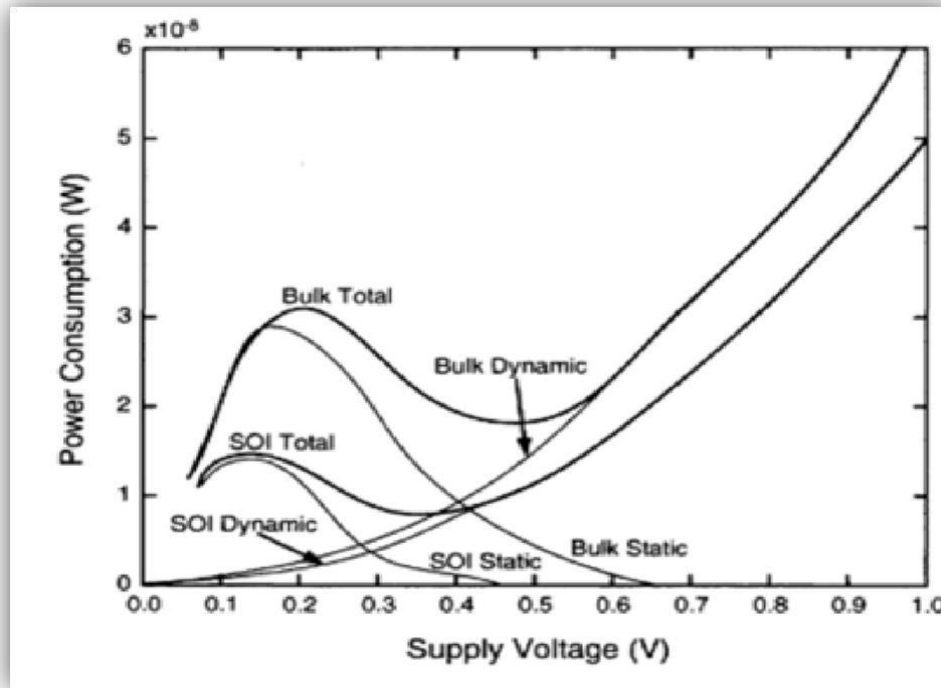


Figure II. 4 : Énergie de consommation vs la tension d'alimentation pour des portes logiques CMOS pour SOI et Bulk [6].

2.3.2 Paramètres électriques du FD SOI

Les performances d'un transistor MOS FDSOI sont évaluées au travers des paramètres tels que la valeur de la tension de seuil V_{th} , la pente sous le seuil SS et la mobilité des porteurs.

L'extraction de paramètres supplémentaires comme le DIBL, la résistance d'accès R_{sd} ou les courants de fuites nous permettent de comprendre les phénomènes parasites qui dégradent ces caractéristiques.

Ces données nous aident à optimiser les architectures ou le processus de fabrication pour minimiser leurs impacts et avoir de meilleures performances.

La majeure partie des méthodes d'extractions des paramètres se basent sur la mesure de la courbe de courant de drain en fonction de la tension de grille I_d-V_g . Ces mesures restent plus précises par rapport aux mesures capacitives qui deviennent problématiques pour les faibles longueurs de grille malgré leurs immunités vis-à-vis des résistances d'accès.

2.4 Effets physiques

2.4.1 Effet canal court

Pour les SOI entièrement et partiellement déplétion submicronique, le transistor latéral bipolaire parasite (source-canal-drain) peut être facilement polarisé en sens direct. L'ionisation par impact augmente le potentiel du canal ce qui induit une polarisation directe de la jonction sourcecanal. L'activation du transistor parasite bipolaire induit un courant en excès. Ce phénomène est renforcé dans le canal de type n pour les dispositifs canal court à haute température parce que la possibilité de collision ionique est plus importante dans un NMOS à haute température qu'un NMOS à basse température ou un PMOS quelle que soit sa température. Un effet canal court dans le transistor PD-SOI est la transformation de l'état de déplétion partielle à celui de déplétion entière. La région de déplétion latérale, gouvernée par les source/drain, ne couvre pas seulement une grande portion du corps ('body'), mais réduit aussi le dopage effectif dans le corps ; cela a pour incidence la déplétion entière par l'action de la grille.

De plus, le profil latéral du potentiel de l'interface arrière peut être fortement inhomogène :

De déplétion au milieu du canal à la faible inversion près du bout du canal. Cette faible inversion localisée explique la dégradation de la pente sous le seuil.

Les effets canaux courts résultant en un abaissement de la tension de seuil sont le recouvrement des zones de charge d'espace entre la grille et les source/drain et l'effet DIBL [10, 7].

Les lignes de champ électrique du bas induisent une forte augmentation de potentiel dans l'oxyde enterré si la grille arrière est polarisée positivement cet effet s'appelle l'effet DIVSB (Drain Induced Virtual Substrate Biasing) [11, 8].

A cause du DIVSB et du couplage d'interface, la tension de seuil du canal avant et la pente de seuil se trouvent abaissées. C'est une des raisons pour laquelle sera élaborée la structure SOI à double grille [12, 9].

2.4.2 Effet kink

Ce phénomène apparaît à fort champ électrique, il est dû à l'ionisation par impact qui crée des paires électrons-trous près du drain. Certaines de ces charges ne se recombinent pas et donnent lieu à des charges libres. Dans le cas d'un NMOS, les électrons vont suivre le courant de drain en revanche, les trous vont s'accumuler lentement dans le body/ zone neutre Figure II.5. Ce phénomène contribue à l'augmentation du potentiel dans le canal et par conséquent, induit une diminution de la tension de seuil et une augmentation du courant de drain. Les équations (II.1&II.2) permettent de calculer la variation de la tension de seuil V_{th} et le courant I_D engendrée.

$$\Delta I_D = g_b \Delta V_b \quad (\text{II.1})$$

$$\Delta V_{th} = -\frac{C_{dep}}{C_{ox}} \Delta V_b \quad (\text{II.2})$$

$$g_b = \frac{dI_D}{dV_b} = \frac{C_{dep}}{C_{ox}} g_m \quad (\text{II.3})$$

Où g_b est la transconductance du body et g_m la transconductance face avant, V_b est l'auto polarisation face arrière et C_{dep} est la capacité de déplétion [13][10].

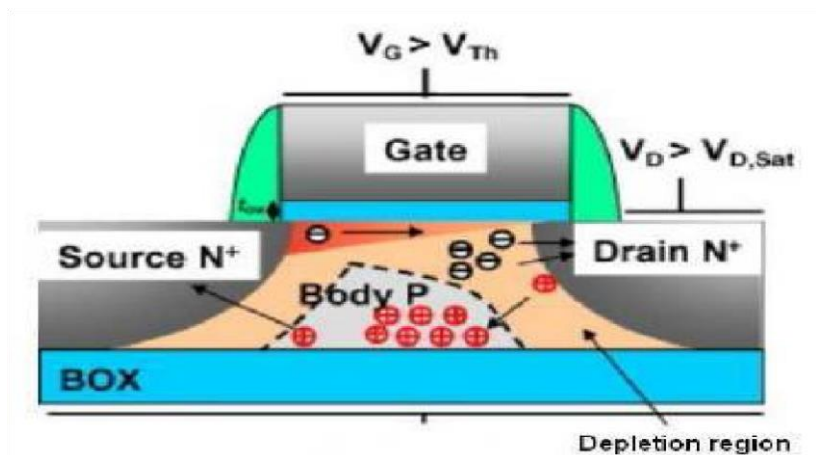


Figure II. 5 : Mécanisme d'ionisation par impact

2.4.3 Effet de latch-up

Le phénomène de latch-up en technologie bulk, est un problème majeur dans les circuits drainant de forts courants. Il entraîne un effet destructif sur les dispositifs impliqués. En SOI, grâce au BOX et aux tranchées d'oxyde (STI pour Shallow Trench Isolation en anglais), les transistors MOS adjacents sont isolés électriquement les uns des autres. Par conséquent, les transistors bipolaires parasites, formés en bulk par juxtaposition des caissons de type opposés, sont supprimés. L'effet de latch-up est ainsi éliminé dans les technologies SOI (Figure. 2.6).

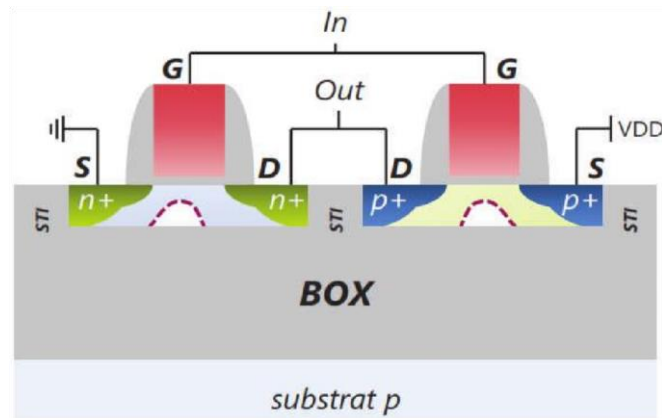


Figure II. 6 : Vue en coupe d'un inverseur CMOS dont les transistors sont électriquement isolés entre eux, ce qui immunise le circuit contre le phénomène de latch-up.

En bulk, il est nécessaire de placer les NMOS à des distances suffisantes des PMOS. Chaque ensemble de PMOS et de NMOS doit aussi être individuellement entouré d'anneaux de contacts afin de polariser son caisson de façon à réduire la résistance d'accès. Grâce à l'oxyde enterré, les précautions prises pour supprimer cet effet en bulk

2.5 Points d'amélioration et perspectives industrielles

Malgré tous les avantages que peut apporter la technologie planaire FDSOI, notamment dans sa version BOX mince avec BP, elle n'est pas encore prête à remplacer la technologie planaire sur silicium massif. En effet, dans une perspective d'industrialisation, la technologie planaire FDSOI doit faire face à deux défis majeurs.

Premièrement, il faut que son procédé de fabrication soit suffisamment maîtrisé et que les plaques de silicium servant à sa fabrication soient de qualité et fournies en quantité suffisante avec un rendement permettant un coût le plus compétitif possible. Deuxièmement, il faut que sa plateforme de conception soit la plus compatible possible avec celles existant déjà en technologie planaire sur silicium massif. C'est seulement après avoir relevé ces deux défis que les circuits intégrés pourront tirer tous les bénéfices de la technologie planaire FDSOI.

2.6 Conclusion

La technologie planaire FDSOI BOX mince avec BP semble être une bonne candidate à la succession de la technologie planaire sur silicium massif et une alternative intéressante à la technologie FinFET. En effet, grâce à son film mince de silicium non dopé combiné à une « Pseudo » grille arrière lui permettant de moduler efficacement la tension de seuil des transistors, cette technologie semble être armée de solides atouts pour diminuer de façon efficace les courants

de fuite et la variabilité de la tension de seuil. De plus, la relative simplicité de son procédé de fabrication devrait faire économiser le coût de masques critiques de la technologie planaire sur silicium massif et donc compenser le surcoût initial des plaques de silicium SOI.

2.7 Références bibliographiques

- [1] Contribution à l'étude expérimentale du transport dans les transistors de Dimension décanométrique des technologies CMOS sub 45 nm. Manuscrit de thèse, INPG (2009).
- [2] Chenming Hu, *New Sub-20nm Transistors – Why and How*, DAC, 2011, pp.460-463
- [3] G. K. Celler and S. Cristoloveanu, "Frontiers of silicon-on-insulator" *Journal of Applied Physics* VO 93, N° 9 (2003)
- [4] O. Faynot et al., *Planar FDSOI technology for sub 22nm nodes*, VLSI-TSA, 2010, pp.ZS§ 26-27
- [5] K. Cheng et al., *Fully Depleted Extremely Thin SOI Technology Fabricated by a Novel Integration Scheme Featuring Implant-Free, Zero-Silicon-Loss, and Faceted Raised Source/Drain*, Symposium on VLSI Technology Digest of Technical Papers, 2009, pp.212-213
- [6] James B. Kuo, Shih-Chia Linpage. Book "Low-voltage SOI CMOS VLSI devices and circuits" John Wiley & Sons, 1 oct. (2001)
- [7] Comparison study of FinFETs: SOI vs. Bulk, Performance, Manufacturing Variability and Cost, SOI Industry Consortium.
- [8] Jérôme SAINT-MARTIN, *Etude par simulation monte carlo d'architectures de MOSFET ultracourts à grille multiple sur SOI*, Thèse de doctorat, U.F.R. SCIENTIFIQUE D'ORSAY, France.
- [9] Comparison study of FinFETs: SOI vs. Bulk, Performance, Manufacturing Variability and Cost, SOI Industry Consortium.
- [10] I Hafez, G.Ghibaud and F.Balestra, "Analysis of kink effect in MOS transistor" *Electron Devices*, IEEE Transactions on pp. 818- 821, (1990).
- [12] Elasaad CHEBAKI « *Modélisation neuronale du transistor GAA MOASFET nanométrique* », Université de BATNA, Algérie, 2010.
- [13] M. Bruel, *Silicon on insulator material technology*, *Electronics Letter*, vol. 31, no. 14, July 1995, pp.1201-1202
- [29] W. Schwarzenbach et al., *Excellent Silicon Thickness Uniformity on Ultra-Thin SOI for controlling Vt variation of FDSOI*, ICICDT, 2011

CHAPITRE 3

LOGICIEL DE SIMULATION ATLAS-
SILVACO

Chapitre 3.**Présentation du simulateur TCAD-Silvaco****3.1 Introduction**

Les simulateurs TCAD (Technology Computer-Aided Design) permettent la modélisation du comportement physique et électrique d'un composant électronique, dans le but d'économiser le temps et le coût de développement, et ainsi de pouvoir envisager et optimiser des solutions pour améliorer les performances des dispositifs.

Dans ce chapitre, nous présenterons le logiciel de simulation TCAD-SILVACO (ATLAS), son principe de fonctionnement et son module de simulation pour le comportement électrique des composants. Ensuite, nous présentons une description des différentes étapes de simulation.

3.2 Présentation du paquet des programmes SILVACO

Sous SILVACO l'ensemble des outils de simulation et des outils interactifs permettant la conception et l'analyse de la plupart des dispositifs semi-conducteurs s'appelle VWF (Virtual WaferFab) [1]. Les composants de base de VWF sont (Figure3.1.) :

1. *Les outils de simulation (VWF coretools)*. Ces outils simulent soit leurs processus de fabrication ou soit leurs comportements électriques. Les outils de simulation sont Athena, Atlas et SSuprem3.
2. *Les outils interactifs (VWF interactive tools)*. Ces outils sont désignés pour être utilisés en mode interactif dans la construction d'un seul fichier d'entrée. En étant basé sur une interface utilisateur qui est graphique (Graphical User Interface, GUI), le travail de construction du fichier d'entrée devient plus efficace. Les outils interactifs peuvent être utilisés soit en relation avec un ensemble de fichiers, ou comme des composants intégrés dans l'environnant « VWF automation tools».
3. *Les outils d'automatisation (VWF automation tools)*. Ces outils permettent à l'utilisateur d'exécuter sur une grande échelle des études expérimentales pour créer des résultats pour l'analyse statistique suivante. Ces outils automatiques se servent de : la technologie de base de données répartie et des méthodes de logiciels de transmissions d'inter processus.

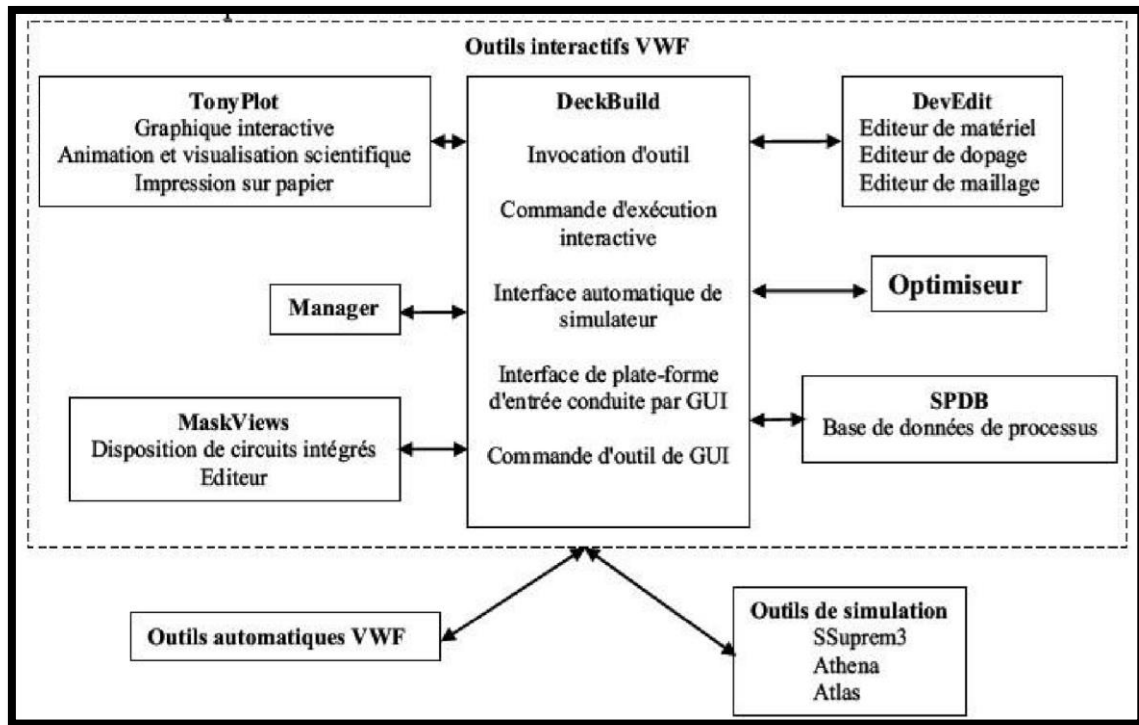


Figure III. 1 : Organigramme de la structure VWF.

Ainsi les modules de VWF sont les suivants :

a. Les outils interactifs VWF

- **TonyPlot**: outil de visualisation et d'analyse graphique 1D et 2D des résultats des simulations.
- **Manager** : outil de gestion des fichiers utilisés et créés par VWF.
- **MaskViews**: outil de dessin des masques (layouts).
- **DeckBuild**: environnement d'exécution interactif qui permet la simulation des processus et de dispositifs (mais principalement il est l'interface avec les outils de simulation)
- **DevEdit**: outil d'édition de structure, on peut créer des nouvelles structures ou même modifier des structures existantes, on peut définir des maillages ou raffiner les maillages existants □ **Optimiseur** : outil d'optimisation automatique.
- **SPDB** : (Semiconductor Process Data Base), c'est un produit séparé, ça n'est pas un outil interactif, mais il peut être utilisé avec DeckBuild. Il a été conçu pour stocker un grand nombre de profils de dopage mesurés expérimentalement ainsi que les données qui décrivent les conditions des expériences.

b. Les outils de simulation

- **SSuprem3** : simulateur de procédé 1D avec prolongements simples de simulations des dispositifs
- **Athena** : simulateur 2D de procédés technologiques qui permet de simuler les différentes étapes effectuées en Salles Blanches et ainsi d'obtenir la structure du dispositif (couches constitutives, dimensions, géométrie) avec les profils de dopage
- **Atlas** : simulateur 2D ou 3D de dispositifs semi-conducteurs qui permet d'obtenir leurs caractéristiques électriques (statiques ou dynamiques)

Le projet réalisé dans le cadre de ce travail de mémoire, a été basé principalement sur les interfaces graphiques « DevEdit » et « DeckBuild » et sur l'outil de simulation par éléments finis « Atlas ».

La structure créée sous DevEdit implique la définition des couches (dimensions, type de matériel (métal, semi-conducteur, isolant), si c'est le cas, le type de dopant et la forme du dopage (uniforme, gaussien, trapézoïdal, etc.) ainsi que le maillage (avec des pas fixes, adaptable d'une couche à l'autre et plus ou moins raffiné)). La structure ainsi créée est à travers « DeckBuild » importée sous « Atlas ». Mais « Atlas » met aussi à notre disposition un outil propre de définition de la structure qui simplifie beaucoup le travail du programmeur. Une difficulté rencontrée a été le fait que l'importation de la structure créée sous « DevEdit » n'est pas tout le temps parfait, « Atlas » a une façon d'interpréter le maillage qui est légèrement différente. « DevEdit » a l'avantage de nous aider didactiquement et graphiquement pour réaliser nos structures en créant en final le code à exporter. Enfin une fois la simulation effectuée sous « Atlas », la visualisation des résultats se fait via le logiciel « TonyPlot ».

Par la suite nous allons développer la présentation de l'outil « Atlas » que nous avons utilisé principalement pour effectuer la simulation de notre structure.

3.3 Présentation d'Atlas

Le logiciel de simulation ATLAS est un simulateur de modélisation bidimensionnelle de composants semi-conducteurs. Il est capable de prédire les caractéristiques électriques de la plupart des composants semi-conducteurs en régime continu, transitoire ou fréquentiel.

En plus du comportement électrique, exemple $I(V)$, il fournit des informations sur la distribution interne des variables électrique telles que le courant ou la tension (lignes de champ).

Ceci est réalisé en résolvant numériquement les équations de Poisson et de continuité des électrons et des trous (à deux dimensions) en un nombre fini de points formant le maillage de la structure défini par l'utilisateur ou par le programme.

Ce simulateur est composé de deux parties :

- Une partie de traitement numérique (méthode d'intégration, de discrétisation...),
- Une partie formée des modèles physiques des composants semi-conducteurs les plus courants modèles de recombinaison (Shockley Read Hall), d'ionisation par impact (Pearson et Monte Carlo), ainsi que les modèles de mobilité, et les statistiques de Fermi-Dirac et Boltzmann.

ATLAS permet de simuler le comportement électrique d'un composant semi-conducteur créé et modélisé comme par exemple une diode ou un transistor. Le composant étudié est représenté comme une structure maillée où chaque nœud a des propriétés qui lui sont associées telles que le type de matériau, le type de dopage, la concentration du dopant, etc.

Ainsi, pour chaque nœud, la concentration de porteurs, le champ électrique, etc. peuvent être calculés. Les électrodes sont représentées par des surfaces sur lesquelles les conditions aux limites sont imposées, comme par exemple, les tensions appliquées.

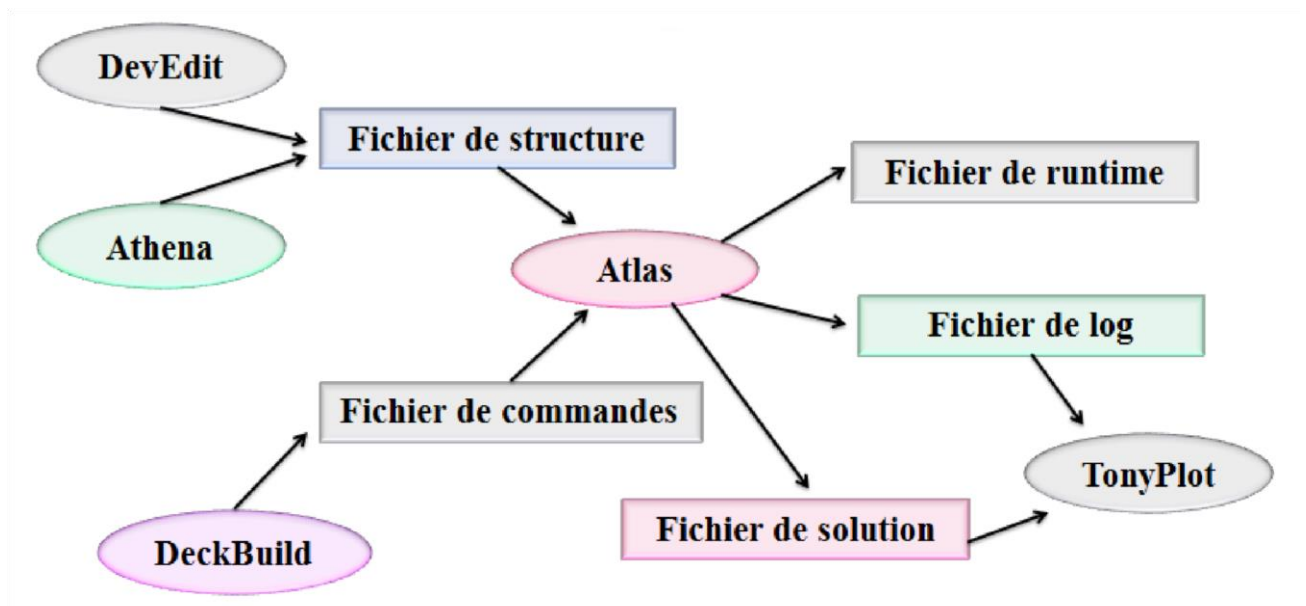


Figure III. 2 : Entrées et sorties d'Atlas.

Dans le schéma de la Figure 3.2 nous voyons les types d'informations qui circulent en entrée et en sortie « d'Atlas ». La plupart des simulations réalisées par « Atlas » utilisent deux fichiers d'entrée.

Le premier fichier est un fichier script contenant les commandes pour qu'Atlas s'exécute (représenté par « Fichier de commande »). Le second fichier est un « Fichier de structure » qui définit la structure qui va être simulée.

A la sortie « d'Atlas », nous avons trois types de fichiers.

- Le premier de ces fichiers est la sortie « Runtime » qui donne la progression, les erreurs et les messages d'avertissements pendant la simulation,
- Le deuxième type de fichier est le fichier « log » qui stocke toutes les valeurs de tensions et des courants provenant de l'analyse du dispositif simulé (c'est le fichier du comportement électrique).
- Le troisième fichier de sortie est le « Fichier de solution », ce fichier stocke les données 2D ou 3D concernant les valeurs des variables solutions dans le dispositif en un point donné (c'est le fichier physique, il contient la structure dans un état particulier). Les deux derniers fichiers sont traités par l'outil de visualisation « TonyPlot ».

3.4 Principe de la simulation numérique

L'étude de la plupart des dispositifs à semi-conducteurs est basée sur la résolution simultanée de l'équation de Poisson et de l'équation de continuité a pour problématique la détermination d'un grand nombre d'inconnues : le potentiel, les concentrations d'électrons et de trous, le champ électrique, les densités de courant, etc. Ces grandeurs physiques internes évoluent au sein du composant dans le temps et l'espace. Elles apparaissent sous une forme discrétisée, comme une suite d'éléments finies. Sous cette condition, les équations traitées dans ces simulateurs peuvent être résolues de façon dynamique en tout point.

3.5 L'ordre des commandes

Après la présentation de la chaîne progicielle TCAD de SILVACO, sa composition interne et le fonctionnement « d'Atlas » nous allons maintenant présenter l'ordre des commandes propres à la

logique de programmation « d'Atlas ». Ainsi il existe cinq groupes de commandes, ces groupes doivent être organisés correctement (Figure III.3). Si l'ordre n'est pas respecté, un message d'erreur apparaît et le programme ne s'exécute pas d'une façon correcte.

Par exemple, si les paramètres ou les modèles de matériaux ne sont pas placés dans l'ordre idoine, le simulateur ne les prend pas en compte [2, 3].

Groupe	Commandes
Spécification de la structure	MESH REGION ELECTRODE DOPING
Spécification des modèles des matériaux	MATERIAL MODELS CONTACT INTERFACE
Spécification des solutions	LOG SOLVE SAVE LOAD
Analyse des résultats	EXTRACT TONY PLOT

Tableau. III.1 : Ordre des groupes des commandes dans un programme Atlas (les commandes fondamentales afférentes).

Les commandes fondamentales sont :

- **MESH:** cette commande produit un maillage qui a été défini au par avant. L'élément de maille utilisé est le triangle.
- **REGION :** indique l'endroit des matériaux dans une maille précédemment définie. Chaque triangle doit être défini comme matériel.
- **ELECTRODE :** indique l'endroit et les noms des électrodes dans une maille bien définie.
- **DOPING:** indique analytiquement des profils de dopage déjà prédéfinis dans les fichiers dédiés.
- **MATERIAL :** associe des paramètres physiques aux matériaux dans la maille. (Il faut faire attention parce que le logiciel a des paramètres de matériau définis par défaut pour les semiconducteurs standard)
- **MODELS :** indique les carreaux constitutifs du modèle, ils indiquent les inclusions de différents mécanismes physiques, de modèles ou des autres paramètres comme par exemple la température globale pour la simulation.

- CONTACT : indique les attributs physiques d'une électrode.
 - INTERFACE : indique les paramètres d'interface aux frontières de semi- conducteur/isolant.
- Chapitre 3 Présentation du simulateur TCAD-Silvaco Tous
- les paramètres s'appliquent seulement aux nœuds de frontière exceptés là où ils sont déjà indiqués.
- METHOD : place les méthodes numériques à employer pour résoudre les équations et les paramètres liés à ces algorithmes.
 - LOG : permet à toutes les caractéristiques finales de simulation d'être sauvées dans un fichier (ouvre un fichier de type log (log en minuscule veut dire le type de fichier, LOG en majuscule veut dire la commande dans le programme)). N'importe quel type de donnée, qu'elle soit C.C., transitoire ou C.A., générée par la commande SOLVE et sauvée après la commande LOG (donc les informations sauvées sont de type électrique et elles sont, par exemple, en fonction de la tension de polarisation ou de la source de lumière). Aussi n'importe quel paramètre spécifié par la commande PROBE est stocké dans le fichier de type log. Si dans le programme il y a plusieurs commandes LOG, chaque fois le fichier log qui a été ouvert avant est fermé et un nouveau fichier log est ouvert.
 - SOLVE : ordonne à l'Atlas d'exécuter une solution pour un ou plusieurs points de polarisation.
 - LOAD : charge des solutions précédentes à partir de fichiers en tant que conjectures initiales à d'autres points de polarisation.
 - SAVE : sauve toutes les informations d'un point nœud du maillage dans un fichier de sortie (les fichiers de sortie sont de type structure). Les informations sauvées correspondent à un état électrique bien précis.
 - EXTRACT : les commandes de ce type sont utilisées pour extraire les valeurs bien précises des paramètres des deux types des fichiers log ou structure.
 - TONYPLOT : démarre le programme « TonyPlot » de post processus graphique des donnés.

3.6 Différentes étapes de simulation

Pour mieux expliquer l'outil ATLAS de manière rapide et simple nous avons jugé dans notre cadre de travail d'illustrer le fonctionnement de cet outil par l'intermédiaire d'exemple concret [5][4].

Dans cet exemple nous allons simuler les caractéristiques courant-tension d'un transistor FDSOI.

La géométrie du composant étudié est donnée par la figure III.3.

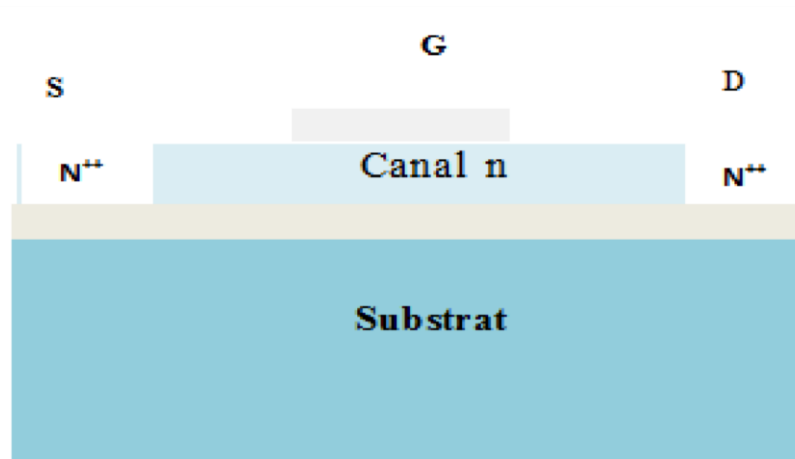


Figure III. 3 : Transistor FDSOI

3.6.1 La spécification de la structure

La spécification de la structure est effectuée en définissant le maillage, les régions, les électrodes et le niveau de dopage.

3.6.1.1 La spécification de maillage

Le maillage joue un rôle important pour l'obtention de bonnes simulations. Celui-ci doit être fait avec la plus grande attention pour garantir la fiabilité des résultats. La méthode numérique utilisée pour résoudre les équations physiques est la méthode des éléments finis.

Son principe de base est la discrétisation par éléments finis des équations à traiter. Les éléments qui définissent la maille élémentaire utilisée par le simulateur sont des prismes. Le choix de maillage doit être fait de façon à avoir un compromis entre la vitesse d'exécution et l'exactitude des résultats, tel qu'un maillage épais produit une rapide simulation, mais les résultats sont moins précis.

Tandis qu'un maillage fin produit un ralentissement de la simulation, mais des résultats plus précis. Donc le maillage fin est plus intéressant de point de vue résultat dans la simulation [1].

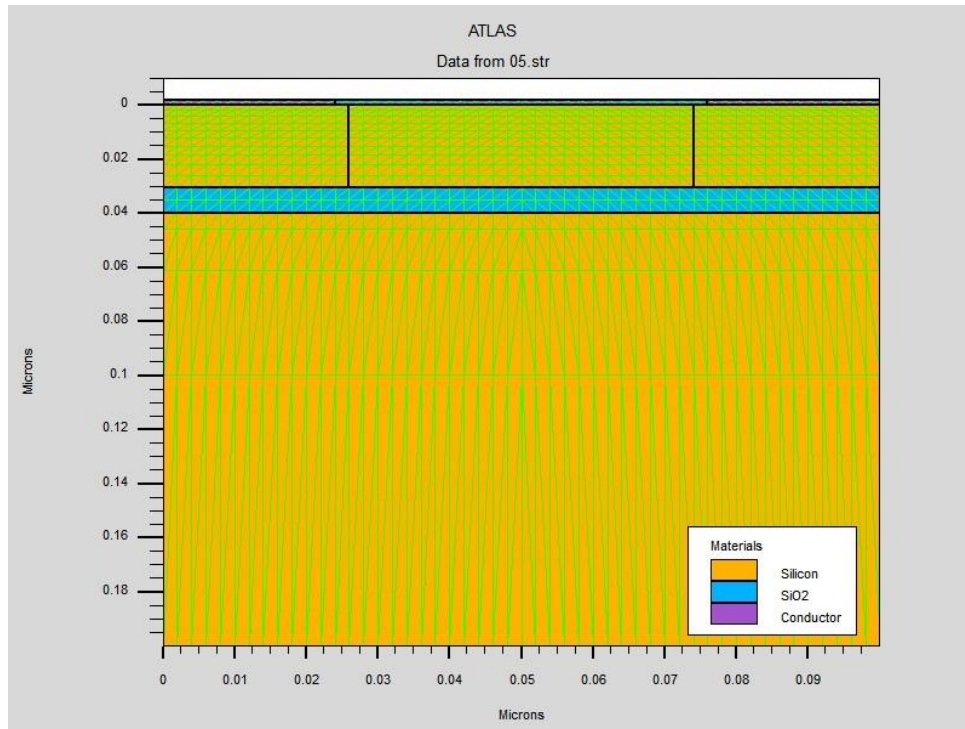


Figure III. 4 : Maillage à deux dimensions (x,y).

Le format général de définition de maillage est :

X.MESH LOCATION=<VALUE>**SPACING**=<VALUE>

C'est une instruction qui définit le maillage proprement dit. **x.mesh** définit le maillage dans la direction x.

x.mesh loc=0.00spac=0.5

x.mesh loc=3.00spac=0.2

Loc définit l'intervalle de maillage.

Spac définit la résolution du maillage.

Y.MESH LOCATION=<VALUE>**SPACING**=<VALUE>

y.mesh définit le maillage dans la direction Y.

3.6.1.2 La spécification des régions

Après avoir déterminé le maillage, il est maintenant nécessaire de définir les régions.

Le format pour définir les régions est comme suit :

REGION number=<integer><material_type><position parameters>

En peut avoir 200 régions différentes dans ATLAS.

Dans notre exemple il y'a quatre régions de silicium et deux régions d'oxyde qui occupent tout le maillage de la structure par exemple : region num=1 silicon

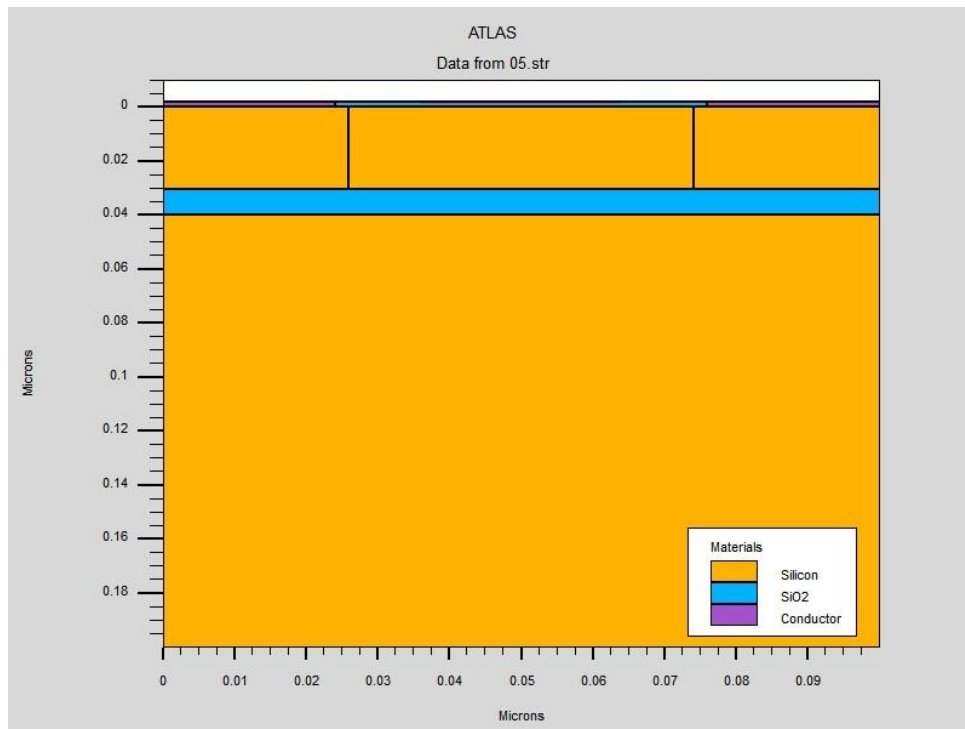


Figure III. 5 : Définition des régions.

3.6.1.3 La spécification des électrodes

« Atlas » a une limite de 50 électrodes qui peuvent être définies. Le format de définition d'électrodes est comme suit :

ELECTRODE NAME=<electrode name><position_parameters>

Les instructions suivantes :

X.MIN : Spécifie le point de départ de l'électrode.

RIGHT : la position de l'électrode se situe à la droite de la structure (inverse : *LEFT*).

TOP : la position de l'électrode est en haut de la structure (inverse : *BOTTOM*).

Dans notre exemple en haut de la structure on a trois cathodes traduites par l'exemple de l'instruction suivantes :

electrode name=gate x.min=0.036 x.max=0.064 y.max=-0.002

La figure 3.6 montre la position de l'anode et la cathode par des valeurs de x et de y.

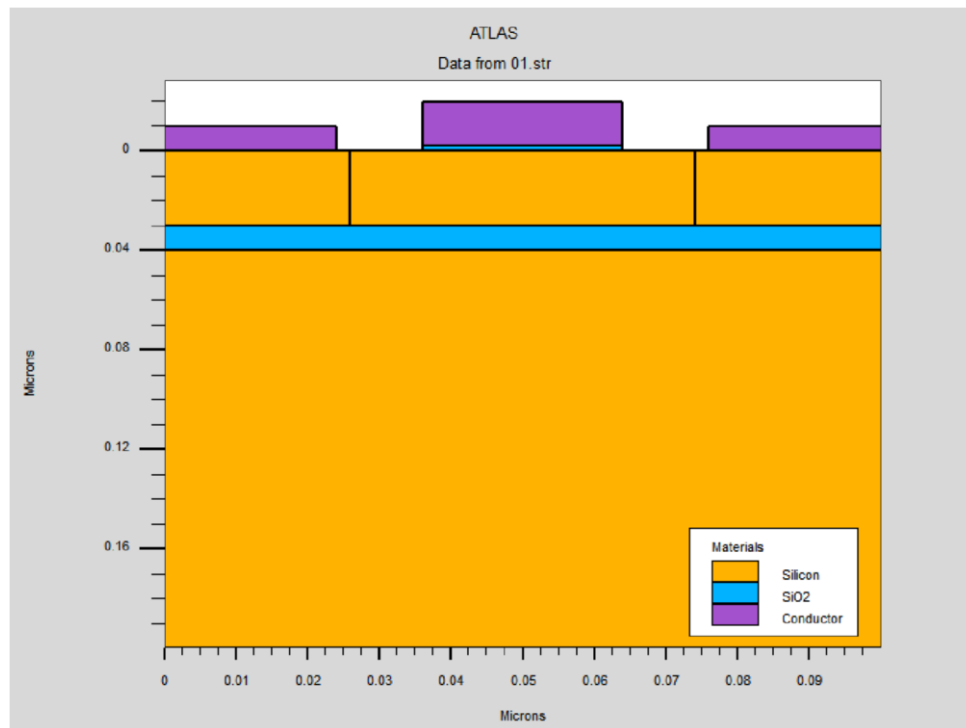


Figure III. 6 : Définition des électrodes

3.6.1.4 La spécification du dopage

Le dernier aspect de la spécification de la structure qui doit être défini est le dopage. Le format de la déclaration de dopage dans « Atlas » se présente comme suit :

DOPING <distribution_type><dopant_type><position_parameters>

Si on veut réaliser une distribution gaussienne de type p dans l'endroit spécifié, avec une jonction pn à $y=1 \mu\text{m}$, et d'une variance de 0.6 on introduit par exemple les instructions :

Doping gauss p.type conc= $1e20$ x.max=0.025 y.max=0 junc=1 rat=0.6

Doping gauss p.type conc= $1e20$ x.min=0.075 y.max=0 junc=1 rat=0.6

On peut aussi construire un dopage uniforme de type n_+ et d'une valeur $1e20 / \text{cm}^3$. Doping
n.type conc= $1e20$ x.min=0 x.max=12 uniform

Une fois la structure définie on peut enregistrer ces informations dans un fichier de type.str. Ceci peut être accompli par l'instruction suivante : *save outf=05.str*

De la même manière on peut visualiser le schéma de la structure à l'aide de l'outil Tonyplot en utilisant l'instruction suivante **Tonyplot** 05.str

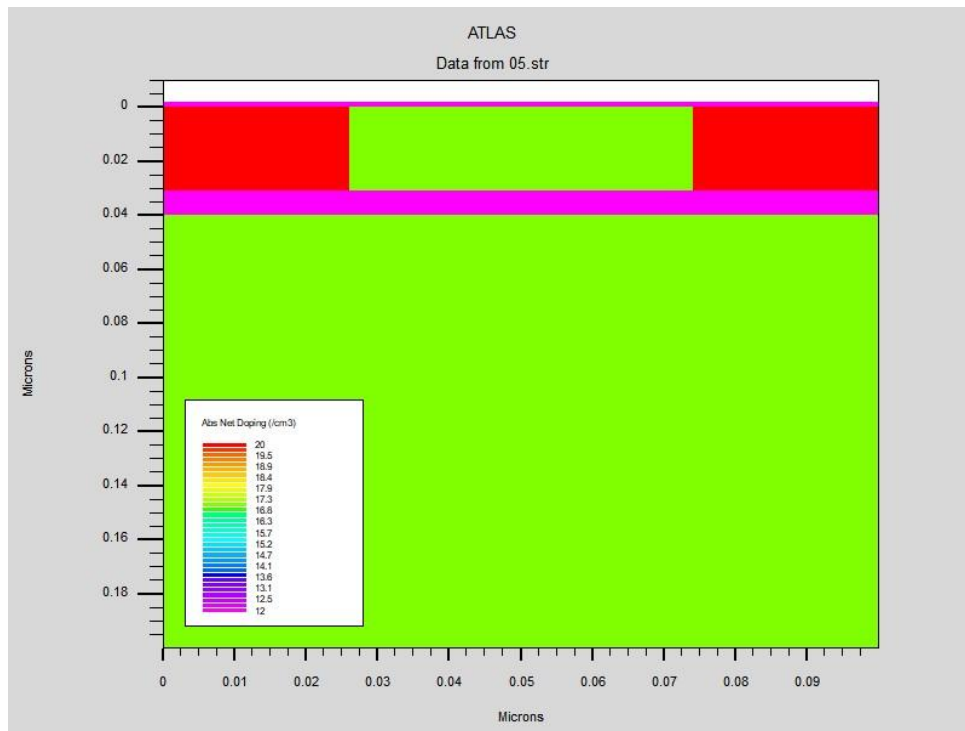


Figure III. 7 : Définition de dopage

3.6.2 La spécification du modèle et matérielle

Après la spécification du maillage et du dopage, on peut facilement modifier les caractéristiques des matériaux utilisés (électrodes, substrat) et changer leurs paramètres qu'ATLAS les prend par défaut et définir notre choix du modèle physique qui sera utilisé pendant la simulation. Ces actions sont accomplies par les instructions suivantes : CONTACT, MATERIAL et MODELS.

3.6.2.1 La spécification du matérielle

Tous les matériaux sont classés selon leurs propriétés physiques comme par exemple :

- La conductivité (conducteurs, semi-conducteurs, isolants)
- L'affinité électronique
- L'énergie du gap
- La mobilité
- La densité des porteurs - La vitesse de saturation, etc.. Par exemple :

L'énergie de gap du silicium (Si) à 300 K est : 1.12 eV peut s'écrire sous ATLAS par l'instruction suivante : **MATERIAL MATERIAL=Silicon EG300=1.12**

3.6.2.2 La spécification du modèle

Tous les modèles physiques sont spécifiés par les deux instructions MODELS et IMPACT.

Pour spécifier :

- La dépendance de la mobilité en fonction de la concentration des porteurs on introduit le modèle **CONMOB**,
- La dépendance de la mobilité du champ électrique par **FLDMOB**,
- Le facteur de génération recombinaison par **SRH**,
- La distribution Fermi Dirac par **FERMIDIRAC**
- Si la bande interdite devient étroite dans le cas d'un fort dopage par **BGN**
- D'autres modèles peuvent être introduits comme l'effet AUGER, Effet Tunnel etc.

Dans notre exemple :

```
MODELS CONMOBFLDMOB SRH FERMIDIRAC BGNAUGER
```

3.6.2.3 La spécification du contact

Si une électrode est en contact avec un semi-conducteur, par défaut, ATLAS le reconnaît comme un contact ohmique. Si l'instruction *Workfunction*, spécifiant le travail de sortie en eV, est ajoutée, le contact est considéré comme un contact Schottky, parfois on introduit le nom du métal comme *tungsten* pour le tungstène, l'instruction est donnée par :

```
CONTACT NAME=Anode WORKFUNCTION=4.97
```

3.6.3 Les méthodes numériques

Après la spécification complète de la structure (géométrie et physique) ATLAS commence à résoudre une série d'équations (équations de continuité, équation de poisson, équations de diffusion) pour calculer les densités des porteurs, les potentiels et les courants.

Parmi les différentes méthodes numériques de résolution des systèmes d'équation, trois types de techniques sont utilisées dans « Silvaco-Atlas » :

- Méthode de Gummel
- Méthode de Newton
- Méthode des blocs

La solution est définie par l'instruction suivante :

METHOD GUMMEL NEWTON**3.6.4 Les solutions**

Dans le cas d'un courant continue (DC), on donne une valeur initiale de la tension et la valeur finale avec le pas, l'instruction qui permet de trouver les solutions (courant, potentiel, porteurs, etc..) est donnée par :

```
Solve Vgate=0.05 Vstep=0.02 Vfinal=1.0 Name= gate
```

Dans notre exemple, si on veut récolter les caractéristiques électriques, on a besoin de l'instruction **log** (qui ne signifie pas le logarithme), qui enregistre ces caractéristiques dans un fichier nommé **soiex02_1.log**.

Pour visualiser le fichier de données ainsi enregistrés, l'instruction **Tonyplot**, est très bien adaptée pour ce **log** `outfile=soiex02_1.log`.

Tonyplot soiex02_1.log

La fin du programme est marquée par l'instruction **Quit**, les résultats obtenus seront affichés immédiatement sous **Tonyplot**.

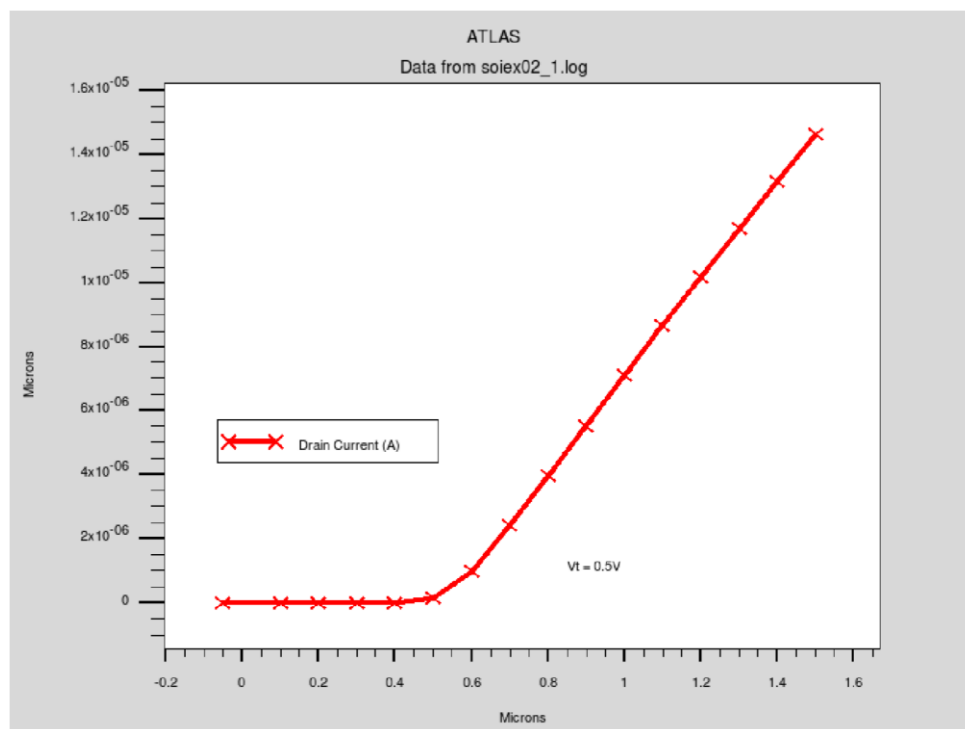


Figure III. 8 : La caractéristique courant-tension sous Tonyplot.

3.7 Références bibliographiques

- [1] R. NEGRU, " Conception et modélisation de pixels de photodétection -photodiodes PIN en vue de leurs utilisations comme détecteurs de particules", Thèse de Docorat, Ecole Polytechnique, Plaiseau France, 2008.
- [2] Atlas user's manual, Silvaco international,2004.
- [3] Silvaco International, <http://www.silvaco.com>.
- [4] TCAD Tutorial and Examples, VolumeI, Silvaco international,1999.
- [5] F.Bourouba, "Modilisation et simulation des contacts metal-semiconducteur à barrier inhomogene" INHOMOGENE Mémoire de Magistère, Université de Sétif, 2010.

CHAPITRE 4

SIMULATION DE L'EFFET DES
FONCTIONS DE TRAVAIL DES GRILLES
SUR LA PERFORMANCE DU FDSOI

Chapitre 4.

Simulation de l'effet des fonctions de travail des grilles sur la performance du FDSOI

4.1 Introduction

La principale question qui se pose à propos des technologies du silicium est celle des effets de la réduction de la dimension des dispositifs. La réduction de la taille des dispositifs est fortement requise pour atteindre une densité d'intégration élevée et une meilleure performance.

En raison de la réduction de la longueur du canal, les effets de canal court et le courant de fuite deviennent un problème important qui dégrade les performances [1].

Pour surmonter ce problème, de nouvelles techniques de conception de circuits ont été introduites pour des technologies plus récentes telles que le Silicium sur Isolant (SOI). Le SOI consiste à placer une fine couche de silicium sur un isolant [2], généralement du dioxyde de silicium (SiO_2) ou une couche d'oxyde enterrée (BOX).

Les MOSFET fabriqués sur un substrat SOI ayant une couche de SOI relativement mince sont connus sous le nom de SOI totalement appauvri et pour une couche de SOI épaisse, on parle de SOI partiellement appauvri. Habituellement [3]. L'isolation totale dans un dispositif SOI offre de nombreux avantages tels que la capacité drain-substrat peut être négligée en raison de l'isolant (SiO_2) qui a une constante diélectrique inférieure à celle du silicium [4]. Ces dernières années, le silicium sur isolant (SOI) a attiré une attention considérable en tant que substrat alternatif potentiel pour les applications à faible puissance [5]. L'approche la plus courante pour réduire la puissance est la mise à l'échelle de l'alimentation électrique. Comme la réduction de l'alimentation en dessous de trois fois la tension de seuil ($3V_{th}$) dégradera la vitesse du circuit de manière significative, le dimensionnement de l'alimentation doit être accompagné d'une réduction de la tension de seuil [6, 7]. Cependant, la limite inférieure de la tension de seuil est fixée par la quantité de courant de fuite hors état qui peut être tolérée, l'idéal étant de ne pas être inférieur à 0,4 V [6]. En raison de la couche BOX, le silicium sur isolant entièrement appauvri (FDSOI) présente les avantages d'une capacité de jonction parasite plus faible et d'une meilleure oscillation de sous-seuil, de la réduction des effets de canal court [2, 8, 9]. En particulier, avec la réduction de la géométrie à une gamme

submicronique, la tension de seuil diminue également. Par conséquent, le contrôle de la tension de seuil devient plus important pour la technologie future.

Les MOSFETs FDSOI souffrent également d'effets de canal court des dimensions submicroniques inférieur à 65 nm en raison de la réduction de la tension de seuil [10]. En raison de la mise à l'échelle des MOSFET, la tension de seuil diminue également de manière continue ; en conséquence, le courant de fuite et les effets de canal court augmentent également. **Une technologie de grille métallique peut surmonter ces problèmes en fournissant les fonctions de travail de grille appropriées. La fonction de travail est l'énergie minimale (généralement mesurée en électronvolts) nécessaire pour déplacer un électron d'un solide vers un point situé à l'extérieur de la surface du solide.** Afin de maintenir de bonnes performances en matière de canaux courts et des tensions de seuil appropriées, les fonctions de travail des grilles des transistors à effet de champ n et p doivent être proches de celles des poly-Si dopés n et p pour les dispositifs CMOS à base de silicium massif et à moins de 0,2 eV de l'intervalle moyen du silicium dans les nouvelles structures telles que les MOSFET FDSOI. En modifiant la fonction de travail des grilles métalliques des MOSFET FDSOI, nous pouvons définir la tension de seuil appropriée à la même tension d'alimentation et également réduire les effets de canal court et les courants de fuite. Auparavant [17], le gain, et transconductance n'étaient pas pris en compte, mais ce travail montre la variation de ces paramètres en fonction du travail de la grille métallique.

Cependant, nous pouvons mettre à l'échelle la structure traditionnelle du dispositif MOSFET de masse dans le régime de longueur de grille de 10 nm, un fort dopage de canal sera nécessaire pour contrôler les effets de canal court car en utilisant le dopage, nous pouvons réduire la largeur de la couche de déplétion des dispositifs MOSFET [11]. Mais le résultat n'est pas comparable à celui du MOSFET FDSOI, et cela représente également un défi en termes de fabrication du dispositif. Cependant, même si nous y parvenons, cela entraînera une dégradation des performances du dispositif. En effet, un canal fortement dopé pose le problème de la mobilité réduite des porteurs et des fluctuations aléatoires des dopants.

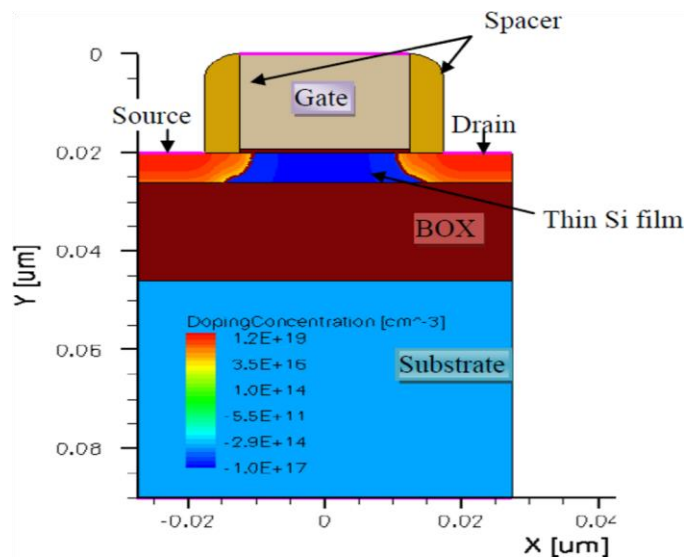


Figure IV. 1 : Illustration de la structure simulée du n-FDSOI [18].

Nous pouvons également définir la tension de seuil appropriée du dispositif MOSFET FDSOI en fournissant un dopage de canal et une variation de la couche mince de Si, mais cela dégrade les performances du dispositif en termes de SCE, de mobilité des porteurs et de fluctuations des dopants [12]. Par conséquent, le dopage du canal et la variation de la couche de Silicium entraînent une dégradation des performances du dispositif.

En utilisant l'ingénierie de la fonction de travail, nous pouvons modifier la tension de seuil du MOSFET SOI et nous sommes en mesure de maintenir les performances du dispositif et d'obtenir de meilleurs résultats en termes d'effets de canal court et de courant de fuite. Le molybdène (Mo) est un candidat potentiel pour une technologie de grille métallique, à condition qu'un décalage suffisant et stable de la fonction de travail puisse être obtenu. La fonction de travail du Mo peut être réduite de manière significative par l'implantation d'azote à haute dose. L'implantation d'azote peut être utilisée pour ajuster la fonction de travail de la grille en Mo d'une manière contrôlable sans dégrader les performances du dispositif. Ainsi, en modifiant la fonction de travail de la grille métallique d'un MOSFET SOI, nous pouvons définir la tension de seuil appropriée, et nous sommes en mesure de réduire les effets de canal court, le courant de tunnel de la grille et le courant de fuite.

4.2 Tension de seuil du FD-SOI

L'analyse fournie ici concerne les NMOS, son extension aux dispositifs PMOS étant simple. La tension de seuil d'un MOSFET à canal n est classiquement donnée [8] par :

$$V_{th} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} + 2\phi_F + \frac{qNx_{dmax}}{C_{ox}} \quad (IV.1)$$

ϕ_{ms} est la différence de fonction de travail entre la grille et le canal. Q_{ss} est la charge d'état de surface du canal. C_{ox} est la capacité de la grille, T_{ox} est l'épaisseur de l'oxyde de grille. ϕ_f est le potentiel de Fermi, égal à $Kt/q \ln(N_a/n_i)$, où N est la concentration de dopage du canal, x_{dmax} est la déplétion maximale.

4.3 Structure du dispositif

Pour étudier l'effet de la fonction de travail sur le MOSFET FDSOI, une coupe du FDSOI MOSFET est simulée à l'aide du simulateur de dispositif 2-D Silvaco [18]. Nous avons dopé le canal légèrement avec une concentration ($1 \times 10^{15} \text{ cm}^{-3}$) pour éviter la dégradation de la mobilité des porteurs et la variation de V_{th} très importantes. La concentration de dopage de la région source/drain est maintenue à $1 \times 10^{20} \text{ cm}^{-3}$.

La longueur du canal est de 28nm, l'épaisseur du film de silicium, l'épaisseur de l'oxyde de grille (SiO_2) et l'épaisseur du BOX sont respectivement de 7nm, 2nm et 20nm respectivement. Nous avons supposé un dispositif à canal n et simulé le dispositif pour différentes fonctions de travail des grilles métalliques.

Nous avons utilisé le métal Mo pour les grilles métalliques car il offre une large gamme de fonctions de travail. La technologie des grilles métalliques peut potentiellement remplacer la technologie de grille poly-Si conventionnelle pour les dispositifs CMOS pour de meilleures performances. Le molybdène (Mo) a une très faible résistivité.

Le Mo avec une texture cristallographique (110) présente des fonctions de travail proches de 5eV sur plusieurs diélectriques.

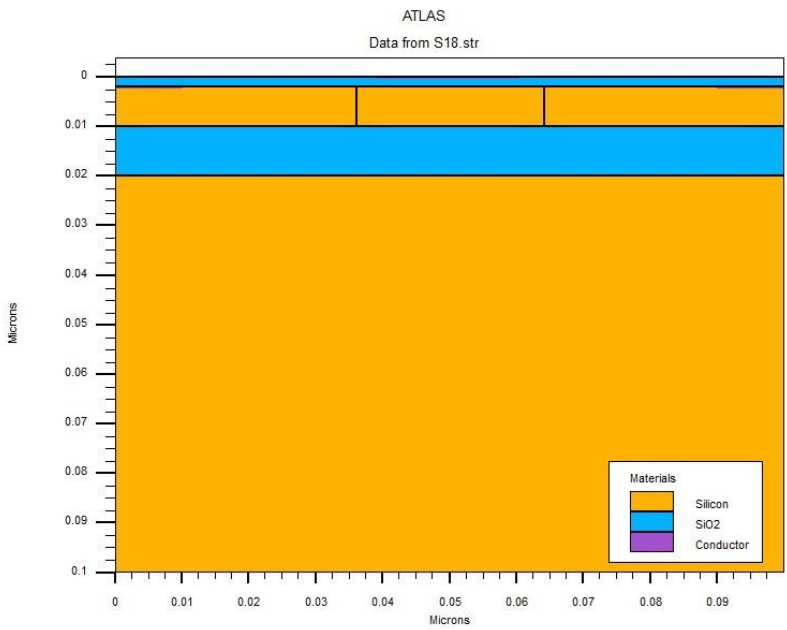


Figure IV. 2 : dispositifs FDSOI utilisés dans les simulations

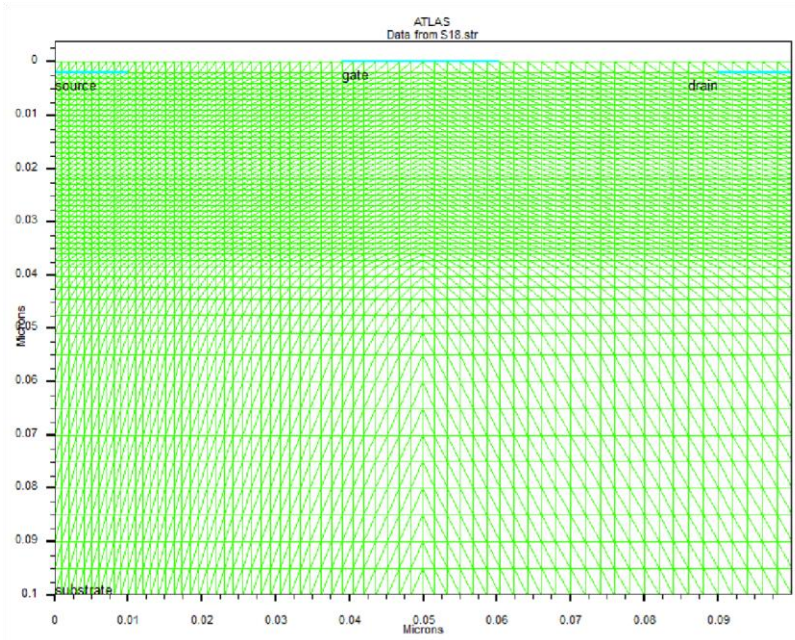


Figure IV. 3 : Maillage à deux dimensions (x,y).

4.4 Résultats des simulations

Dans cette section, différents paramètres de performance de FD-SOI MOSFET pour différentes valeurs de la fonction de travail de la grille métallique ont été discutés. Tous les paramètres ont été extraits au nœud technologique 28nm.

4.4.1 Transconductance g_m :

Elle mesure la variation du courant de drain avec une variation de la tension grille-source tout en gardant la tension drain-source constante et est d'une importance cruciale car elle décide de la capacité du dispositif à conduire les charges électriques.

La transconductance joue un rôle important dans la détermination de la vitesse de commutation d'un circuit et du gain en tension de ce dernier. Les dispositifs à transconductance élevée produisent des circuits capables de fonctionner à grande vitesse. Transconductance d'un MOSFET

$$g_m = \left. \frac{\Delta I_{ds}}{\Delta V_{gs}} \right|_{V_{ds}} \quad (IV.2)$$

D'après l'équation (IV.2), la transconductance est mesurée par la pente de la courbe I_{ds} - V_{gs} .

Lorsque la courbe I_{ds} - V_{gs} d'un dispositif est plus raide, il présente une meilleure transconductance.

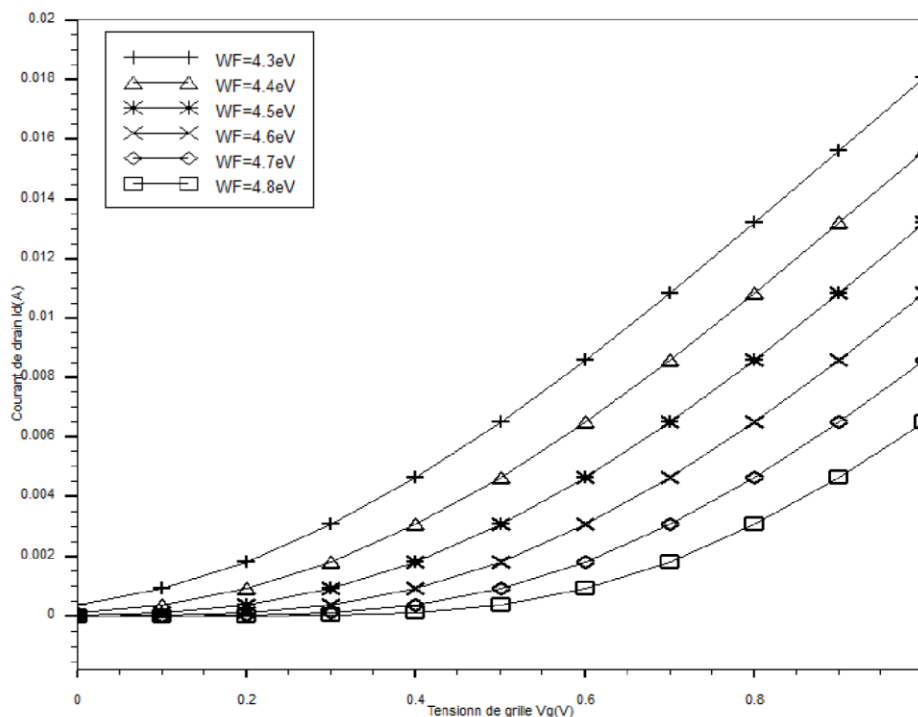


Figure IV.4 : caractéristique I_{ds} - V_g pour différentes valeurs de la fonction de travail de la grille

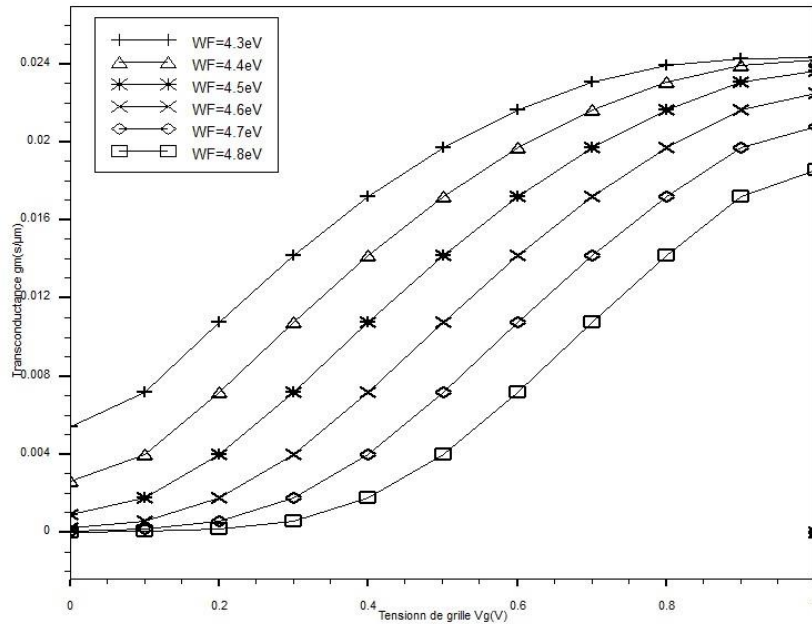


Figure IV 5 : Transconductance gm pour différentes valeurs de la fonction de travail de la grille

La figure IV.4 montre le courant de drain en fonction de la tension de grille pour différentes valeurs de la fonction de travail de la grille métallique [19], et la figure IV.5 indique la transconductance du MOSFET FDSOI pour différentes fonctions de travail de la grille métallique. Lorsque nous diminuons le travail de la grille, la transconductance du dispositif augmente. Ceci est dû au fait que, d'après l'équation (IV.1), la fonction de travail de la grille métallique réduit la tension de seuil, ce qui signifie qu'à une faible tension de grille, un canal se forme et que le courant de drain augmente davantage.

4.4.2 Conductance de sortie gd :

Elle mesure la variation du courant de drain avec la variation de la tension drain-source tout en gardant la tension grille-source constante.

C'est un paramètre vital pour un dispositif car il décide du courant de drain d'un dispositif.

Conductance de sortie d'un MOSFET

$$gd = \left. \frac{\Delta I_{ds}}{\Delta V_{ds}} \right|_{V_{gs}} \quad (IV.3)$$

La figure IV.6 montre la variation du courant de drain en fonction de la tension de drain. Lorsque le travail de la grille métallique est réduit, le courant de drain augmente donc la conductance de sortie augmente aussi. Ceci est dû au fait que d'après l'équation (IV.1), la réduction de la fonction de travail de la grille métallique réduit la tension de seuil, ce qui signifie qu'à une tension de grille faible, un canal se forme et le courant de drain augmente.

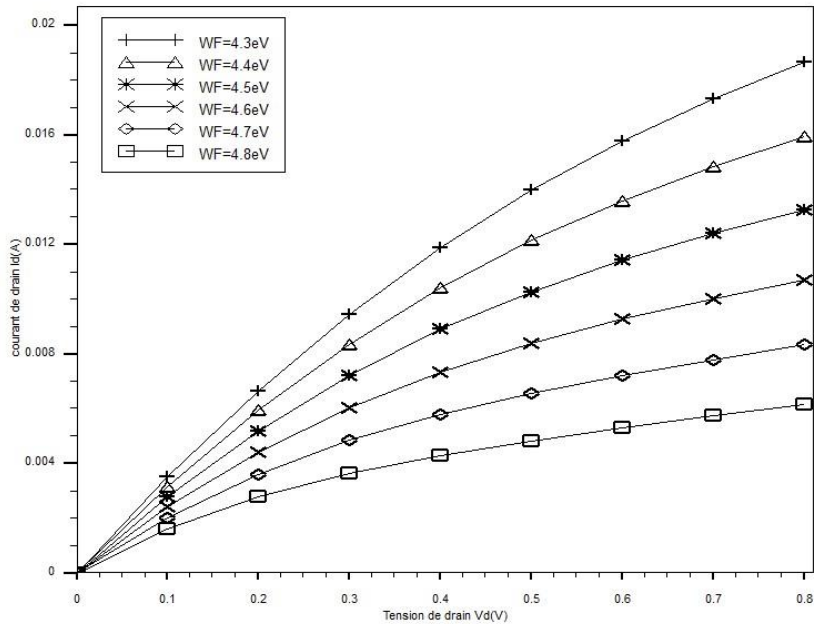


Figure IV. 6 : Caractéristiques du courant de drain pour $V_d=0.8V$ gm pour différentes valeurs de la fonction de travail de la grille

4.4.3 Concentration d'électrons :

La figure IV.7 montre la variation de la concentration d'électrons dans la direction horizontale du canal pour différentes fonctions de travail de la grille métallique cela pour une tension de grille de 1V. Ainsi, pour de faibles valeurs du travail de la grille, la concentration d'électrons est plus élevée au niveau du canal.

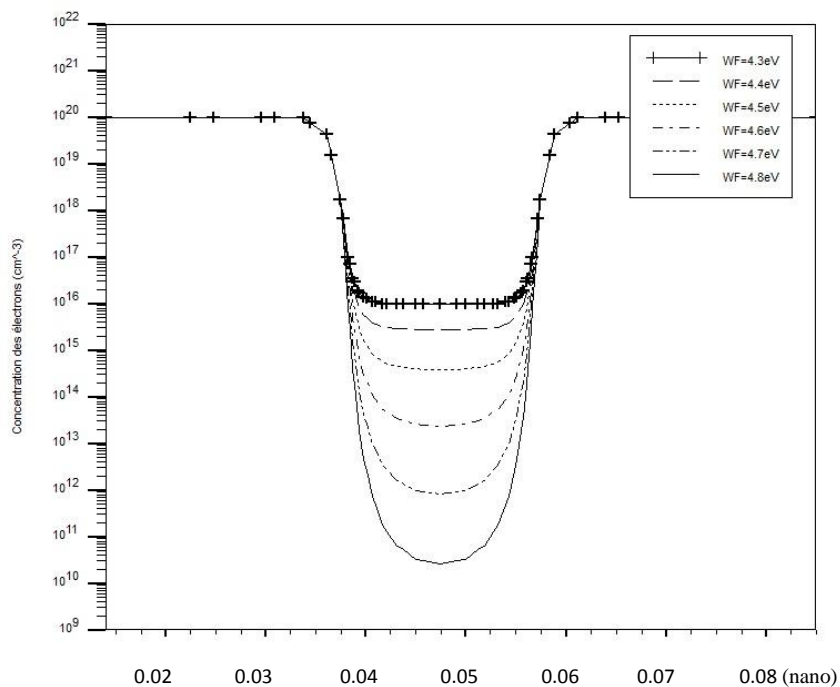


Figure IV. 7 : Concentration des électrons en fonction de la position le long de la direction du canal pour différentes fonctions de travail de la grille métallique, $V_g = 1V$.

4.4.4 Champ électrique vertical :

La figure IV.8 montre la variation du champ électrique le long du canal pour différentes fonctions de travail de la grille métallique. A partir de la courbe, il a été évalué que pour des valeurs élevées de la fonction de travail de la grille métallique, le champ électrique est élevé l'inverse et vrais.

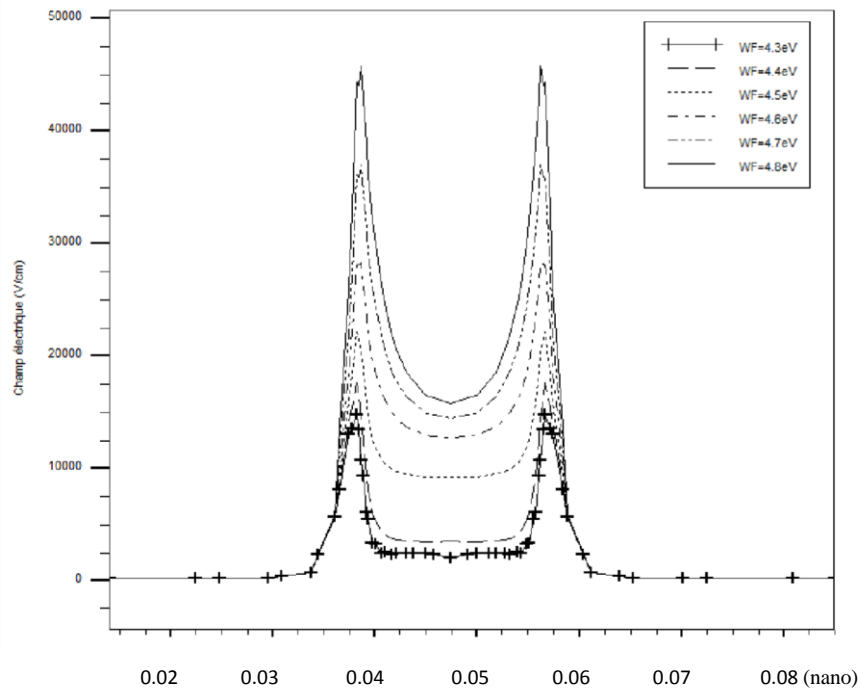


Figure IV.8 : Variation du champ électrique le long du canal pour différentes fonctions de travail de la grille métallique.

4.4.5 Variation de la tension de seuil

A partir des résultats de simulation, la figure IV.9 montre que la tension de seuil des MOSFETs FDSOI augmente linéairement avec l'augmentation de la fonction de travail de la grille métallique. Il est également montré dans l'équation (IV.1) que V_{th} dépend de ϕ_{MS} (différence de travail du métal et du semi-conducteur). Ainsi, en fournissant les différentes fonctions de travail des portes métalliques, nous pouvons définir la tension de seuil appropriée.

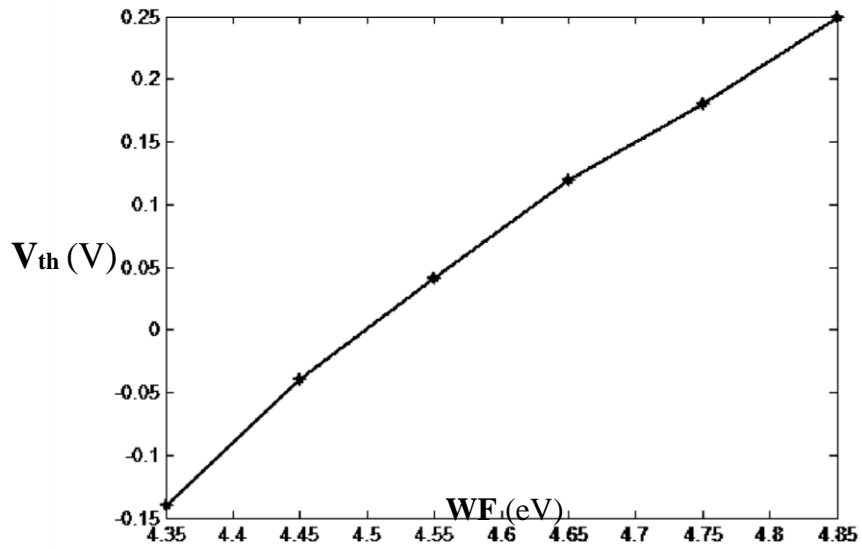


Figure IV.9 : Variation de la tension de seuil V_{th} (V) pour différentes fonctions de travail de la grille WF (eV)

4.5 La mise en évidence des courants I_{on} et I_{off} de la structure

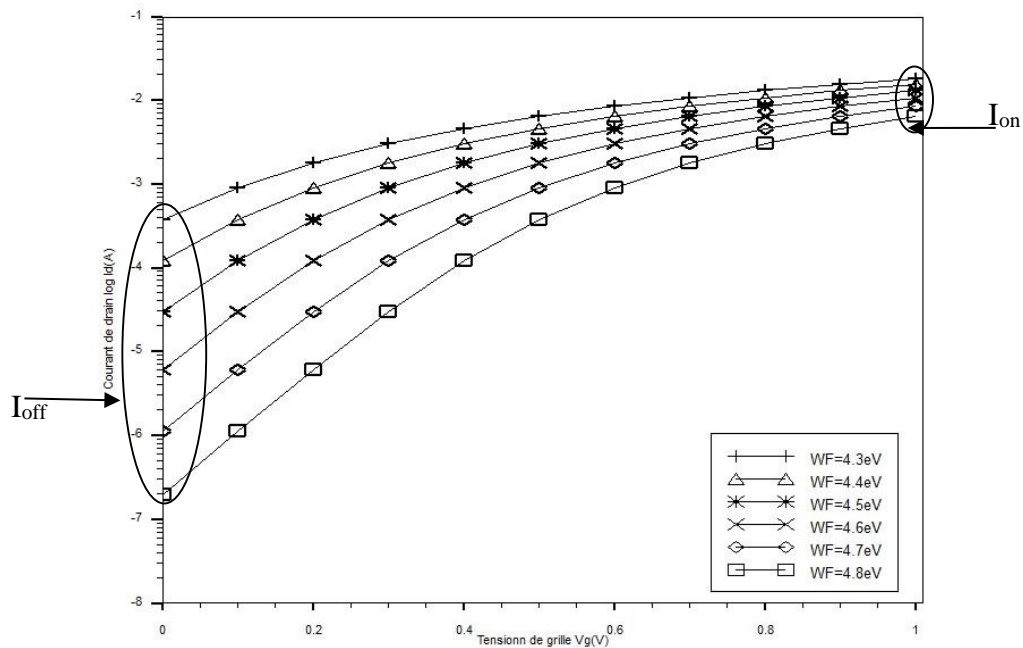


Figure IV.10 : Influence de la fonction de travail du métal sur les courants I_{on} et I_{off} pour $V_d=0.8V$.

Afin de maintenir I_{off} très bas, il est nécessaire d'augmenter la fonction de travail du métal. Sur l'augmentation de la fonction de travail du métal s'accompagne d'une augmentation de la tension de seuil.

Pour cette raison, le choix de la fonction de travail du métal doit être un compromis délicat entre les performances électriques (réduction du courant I_{off}) et le taux de commutation. (passage de l'état bloqué à l'état actif) associé à V_{th} [14, 20, 21].

I_{off} (courant de fuite) est défini comme le courant de drain à $V_d=0.8V$ et $V_g=0 V$, alors que I_{on} (courant débité) est défini comme le courant de drain à $V_d=0.8V$ et $V_g=1V$.

➤ $T_0 = \text{temps de commutation} = CV_d/I_{on}$

I_{on} élevé permet donc de réduire le délai de réponse du dispositif

Applications : CPU (on maintient V_d élevé)

➤ $P = \text{puissance statique dissipée par le dispositif} = V_d \cdot I_{off}$

I_{off} détermine donc la puissance dissipée par un composant au repos

Intérêt du I_{off} faible : Equipement portable et Dissipation de chaleur limitée

Objectif du transistor : posséder le meilleur compromis I_{on}/I_{off}

Problème : l'amélioration d'un paramètre se fait toujours au détriment de l'autre !

➤ Transistors High-Performances : I_{on} élevé et I_{off} relaxé application CPU

Transistors Low-Power : I_{on} relaxé et I_{off} très faible application portable

4.6 Conclusion

L'impact de la fonction de travail de la grille métallique sur les performances des principaux paramètres des films à oxyde enterré ultra-mince (UTBB) (*Ultra-Thin Body and Buried Oxide*) entièrement *déplété* Silicium sur isolant (FD-SOI) est perceptible, à la fois sur le courant (I_{off}), le courant (I_{on}) et la transconductance (g_m).

La variation de la fonction de travail de la grille métallique fournit une variation linéaire de la tension de seuil.

Aussi, la fonction de travail est une méthode qui fournit une meilleure performance du dispositif et une variation linéaire de la tension de seuil.

Au fur et à mesure que nous augmentons la fonction de travail, la tension de seuil augmente et le courant de fuite diminue. Le DIBL augmente également et la pente de sous-seuil diminue.

4.7 Références bibliographiques

- [1] International technology roadmap for semiconductors, 2009, online at : Itrs.net
- [2] Y.K. Choi, K. Asano, N. Lindert, V. Subramanian, T.-J. King, J. Bokor, and C. Hu, "Ultrathin-Body SOI MOSFET for Deep-Sub-Tenth Micron Era", *IEEE Electron Device Letters*, Vol. 21, No. 5, pp. 254, 2000.
- [3] K. Uchida, H. Watanabe, A. Kinoshita, J. Koga, T. Numata, and S.-I. Takagi, "Experimental study on carrier transport mechanism in ultrathin body SOI n and p MOSFETs with SOI thickness less than 5 nm," in *IEDM Tech. Dig.*, pp. 47, 2002.
- [4] Takayasu Sakurai, Akira Matsuzawa and Takakuni Douseki, "Fully-Depleted SOI CMOS Circuits and Technology for Ultralow-Power Applications," Springer, 2006.
- [5] F. Assaderaghi, D. Sinitsky, S. Parke, J. Bokor, P. K. Ko, and C. Hu, "A Dynamic Threshold Voltage MOSFET (DTMOS) for Ultra-Low Voltage Operation," 1994 IEEE International Electron Devices Meeting, San Franciscan, CA, pp. 809-812, Dec 1994.
- [6] F. Assaderaghi, D. Sinitsky, S. Parke, J Bokor, P. K. Ko, and C. Hu, "Dynamic Threshold-Voltage MOSFET (DTMOS) for Ultra-Low Voltage VLSI" *IEEE transactions on electron device*, Vol. 44, No. 3, pp. 414-422, Mar 1997.
- [7] D. Liu and C. Svensson, "Trading speed for Low-Power by Choice of Supply and Threshold Voltage", *IEEE J. Solid-State Circuit*, Vol. 28, pp. 10-17, Jan 1993.
- [8] Jean-Pierre Colinge, "Silicon-On-Insulator Technologie : Materials to VLSI" 2nd edition, Kluwer, 1997.
- [9] P. Sivaram, B. Anand, and Madhav P. Desai, "Silicon Film Thickness Considerations in SOI-DTMOS", *IEEE Electron Device Letters*, Vol. 23, No. 5, pp. 276-278, May 2002.
- [10] J.-P. Colinge, "The Evolution of Silicon on Insulator MOSFETs," in *Proc. Int. Semicond. Device Res. Symp.*, pp. 354–355, Dec. 2003.
- [11] B. Yu, H. Wang, A. Joshi, Q. Xiang, E. Ibok, and M.-R. Lin, "15nm Gate Length Planar CMOS Transistor," in *Int. Electron Devices Meeting Tech. Dig.*, pp. 937–939, 2001. [12] Y. Taur, C. H. Wann, and D. J. Frank, "25 nm CMOS Design Considerations," in *Int. Electron Devices Meeting Tech. Dig.*, pp.789–792, 1998.
- [13] L. Chang, S. Tang, T.-J. King, J. Bokor, and C. Hu, "Gate-length Scaling and Threshold Voltage Control of Double-gate MOSFETs," in *Int. Electron Devices Meeting Tech. Dig.*, pp. 719–722, 2000.
- [14] V. Trivedi, J. G. Fossum, and M. M. Chowdhury, "Nanoscale FinFETs With GateSource/Drain Underlap," *IEEE Trans. Electron Devices*, vol. 52, no. 1, pp. 56–62, 2005.
- [15] Y. Cheng, M.-C. Jeng, Z. Liu, J. Huang, M. Chan, K. Chen, P. K. Ko, and C. Hu, "A

- Physical and Scalable I–V Model in BSIM3v3 for Analog/Digital Circuit Simulation,” *IEEE Trans. Electron Devices*, Vol. 44, pp. 277–287, Feb. 1997.
- [16] T. Tsuchiya, Y. Sato, and M. Tomizawa, “Three mechanisms Determining Short-Channel Effects in Fully Depleted SOI MOSFETs,” *IEEE Trans. Electron Devices*, Vol. 45, pp. 1116–1121, May 1998.
- [17] D Rechem, S Latreche and C Gontrand, “Channel Length Scaling and the Impact of Metal Gate Work Function on the Performance of Double Gate-Metal Oxide Semiconductor field-effect Transistors”, *Pramana J. Phys.*, Vol. 72, No. 3, March 2009.
- [18] Atlas user's manual, Silvaco international,2004.
- [19] TCAD Tutorial and Examples, VolumeI, Silvaco international,1999.
- [20] A. V. Thean, Z. Shi, L. Mathew, T. Stephens, H. Desjardin, C. Parker, T. White, M. Stoker, L. Prabhu, R. Garcia, B. Nguyen, S. Murphy, R. Rai, J. Conner, B. E. White, and S. Venkatesan, “Performance and Variability Comparisons between Multi-Gate FETs and Planar SOI Transistors,” *IEEE Electron Device Meet.*, vol. 2, pp. 1–4, 2006.
- [21] A. Kranti and G. Alastair Armstrong, “Engineering source/drain extension regions in nanoscale double gate (DG) SOI MOSFETs: Analytical model and design considerations,” *Solid. State. Electron.*, vol. 50, no. 3, pp. 437–447, Mar. 2006.

CONCLUSION GENERALE

La réduction perpétuelle de l'échelle du dispositif MOSFET est nécessaire pour augmenter la vitesse du dispositif et la réduction de la densité d'emballage. Mais elle dégrade les performances du dispositif en termes d'effet de canal court (effets quantique) et de courant de fuite.

Pour continuer à réduire l'échelle, il faut une structure du dispositif qui offre de meilleures performances dans le régime submicronique profond.

En raison de la réduction de la longueur du canal, la tension de seuil diminue, ce qui augmente le courant de fuite et les effets de canal court.

Le dopage du canal et la variation de l'épaisseur de la couche du Silicium sont les concepts par lesquels nous pouvons fixer la tension de seuil désirée pour les MOS SOI, mais cela dégrade les performances du dispositif en termes de mobilité des porteurs et des fluctuations des dopants. L'ingénierie de la fonction de travail est le concept par lequel nous permet de définir la tension de seuil appropriée du dispositif SOI MOSFET.

La variation du dopage du canal et de l'épaisseur de la couche du Silicium ne permet pas une variation linéaire de la tension de seuil.

Mais la variation de la fonction de travail de la grille métallique fournit une variation linéaire de la tension de seuil.

Ainsi, l'ingénierie de la fonction de travail est préférée aux deux autres méthodes parce que cette méthode fournit une meilleure performance du dispositif et une variation linéaire de la tension de seuil.

Au fur et à mesure que nous augmentons la fonction de travail, la tension de seuil augmente, le courant de fuite diminue, et la pente de sous-seuil diminue également.

Pour les dispositifs CMOS à corps mince, la plage de la fonction de travail de la grille est comprise entre 4,4eV et 5eV, ce qui peut être facilement réalisé avec des grilles métalliques.

La simulation permet de conclure qu'avec une fonction de travail de la grille métallique de 4,50 eV, le dispositif SOI MOSFET présente de meilleures performances que tout autre dispositif. De plus, les grilles métalliques offrent une immunité contre la déplétion, ce qui permet d'utiliser une épaisseur diélectrique effective plus fine sans affecter les performances du dispositif.

Le molybdène est un candidat intéressant pour l'application d'électrode de grille en raison de sa compatibilité avec le traitement CMOS, et sa fonction de travail élevée (5eV) le rend idéal comme matériau de grille pour les MOSFET FDSOI légèrement dopés.

Ainsi dans le premier chapitre de ce mémoire, nous avons établi les équations de base qui régissent le comportement des structures MOSFET bulk. On a vu aussi, les différentes conditions et les régimes de fonctionnement des transistors dans de telles structures.

Dans Le chapitre deux, Nous sommes intéressés par la suite à présenter l'impact de la miniaturisation sur les caractéristiques électriques des dispositifs FDSOI, nous avons aussi passé en revue les principaux effets engendrés par la miniaturisation des transistors FDSOI.

Dans le chapitre trois, nous avons présenté le logiciel SILVACO TCAD, un des logiciels les plus puissants et les plus utilisés dans la recherche et la simulation, en montrant d'une façon non exhaustive les différentes étapes de simulation d'un dispositif FDSOI.

Dans le quatrième chapitre nous avons simulé les effets de la variation de la fonction de travail de la grille métallique sur certains paramètres électriques de notre structure. Des caractéristiques électriques ont été obtenues à savoir le courant de drain, la tension de seuil. En dernier lieu, nous avons examiné l'effet de la fonction de travail sur les courants Ion et Ioff qui se manifeste dans les transistors de petites dimensions dits transistors à canaux courts.

Cette étude a pour but de déterminer une structure FDSOI optimal avec un courant de drain important.

