

الجمهورية الجزائرية الديمقراطية الشعبية

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE

MINISTERE DE L'ENSEIGNEMENT SUPERIEUR

ET DE LA RECHERCHE SCIENTIFIQUE



UNIVERSITE MOHAMED SEDDIK BENYAHIA JIJEL

Faculté des sciences et de la technologie

Département de l'Electronique.

MEMOIRE DE MASTER

DOMAINE: Sciences et Technologies

FILIERE: Microélectronique

SPECIALITE: Microélectronique

Thème

**Simplification du Schéma Equivalent Utilisé pour la Modélisation
RF des Transistors MOS**

Présenté Par :

Noudjoud BELHENNICHE

Hassina BENELFKIR

Encadré Par : Mohammed TAMOUM

Date de soutenance: 12/07/2022

Jury de Soutenance

Président : Omar TEKKOUK

Grade MAA

UnivMSB jijel

Encadreur : Mohammed TAMOUM

Grade MCB

Univ MSB jijel

Examineur : Fayçal BOUKERROUM

Grade MCA

Univ MSB jijel

Promotion : 2021/2022



Remerciements

Nous remercions Allah dieu tout-puissant de nous avoir accordé la santé, la capacité et la patience pour mener à bien ce projet, de nous avoir guidé vers le droit chemin et nous avoir aidé tout au long de nos années d'étude.

*Tout d'abord, nous adressons notre profond remerciement et respect à notre encadreur **M. TAMOUM**, pour son encadrement de qualité, sa motivation professionnelle, ses conseils et critiques constructifs, ses corrections, sa gentillesse et sa patience ainsi que pour le temps qu'il a consacré à la réalisation de ce travail.*

Nous exprimons notre reconnaissance à nos enseignants de l'université de Tijel qui ont si bien mené leur noble métier.

Nos vifs remerciements aux membres du jury pour l'honneur et l'amabilité d'avoir bien voulu accepter de juger ce travail.

Merci aussi à nos amis et camarades de promotion pour leur soutien et encouragement qu'ils nous ont apporté.

Sans oublier tous ceux qui ont contribué de près ou de loin à la réalisation de ce modeste travail, en particulier nos familles pour leur soutien.





Dédicace



Je dédie ce modeste travail à :

A ma mère, qui m'a entouré avec son amour, sa prière, pour son assistance et sa compréhension tout au long de mes études.

Aucune dédicace ne saurait exprimer mes sentiments. Merci mes parents, que dieu vous protègent pour moi.

*A mon mari **Djalil** et ma petite princesse **Layane**.*

*A mon cher frère, **Billel**, et sa femme **Rabih** et ses enfants **Nabil** et **Kawther**.*

*A ma belle sœur **Chahinez**.*

A toute ma famille pour leur soutien tout au long de mon parcours universitaire.

Que ce travail soit l'accomplissement de vos vœux tant allégués, et le fruit de votre soutien infailible.

Merci d'être toujours là pour moi.

*A ma chère binôme **Hassina**.*

*A mon amie d'enfance **Narimen**.*

*A tous mes chères amies chacun par son prénom : **Rania**, **Khadidja**, **Nesrine**,*

***Marwa**, **Khawla** et **Ranouch** qui m'ont toujours aidées et soutenue.*

*Enfin, un spécial dédicace à toute la famille **Belhennich** et **Boukeria**.*

Noudjoud



Dédicace



Je dédie ce modeste travail :

Mes chers parents, pour tous leurs sacrifices, leur amour, leur tendresse, leur soutien et leurs prières tout au long de mes études.

Aucune dédicace ne saurait exprimer mes sentiments. Merci mes parents, que dieu vous protègent pour moi.

A mes chers frères : Ilyas, Billel, Nadim, Djamel, Morad et Brahim, et leurs femmes et leurs enfants.

A mes chères sœurs : Sarah, Sabrina, Soumia, Saida, Khalida et leurs maris et leurs enfants.

A ma chère binôme et amie Noudjoad.

A mon âme sœur Razika, Zayneb et à tous mes copines.

A mes proches et ma grande famille.

A tous mes amis d'étude et mes collègues de promo de microélectronique.

Hassina

Liste des abréviations et acronymes

AC	Alternatif Current
ADS	Advanced Design System
BiCMOS	Bipolar CMOS
BJT	Bipolaire Junction Transistors
BSIM	Berkeley Short-channel IGFET Model
CAO	Conception Assistée par Ordinateur
CMOS	Complementary Metal Oxide Semiconductor
CMS	Composants Montés en Surface
DC	Direct Current
DMOS	Diffused Metal Oxide Semiconductor
D-MOSFET	MOSFET à appauvrissement (Depleted MOSFET)
E-MOSFET	MOSFET à enrichissement (Enhanced MOSFET)
FET	Field Effect Transistor
GaAs	Arséniure de Gallium
GaN	Gallium Nitride
GPS	Global Positioning System
GSM	Global System for Mobile Communications
Im	Imaginaire
LDD	Lightly Doped Drain
LDMOS	Laterally Diffused Metal Oxide Semiconductor
LDMOSFET	Laterally Diffused Metal Oxide Semiconductor Field Effect Transistor
LNA	Low Noise Amplifier
MMIC	Monolithic Microwave Integrated Circuits
MOS	Metal Oxide Semiconductor
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
NMOSFET	Transistor MOSFET ayant un canal de type N
PMOSFET	Transistor MOSFET ayant un canal de type P
Re	Réel

RF	R adio F réquence
S2P	Matrice S de 2 P ort
Si	S ilicium
SiO₂	D ioxyde de S ilicium
SOT467C	Boitier en céramique
SP	S urface P otential
SPICE	S imulation P rogram with I ntegrated C ircuit E mphasis
TEC	T ransistor à E ffet de C hamp
VDMOS	V ertically D iffused M etal O xide S emiconductor
VNA	V ectoriel N etwork A nalyser
Wi-Fi	W ireless F idelity

Liste des Symboles

Symbole	Unité	Définition
a_1		Onde électromagnétique transverse incidente au port 1
a_2		Onde électromagnétique transverse incidente au port 2
b_1		Onde électromagnétique transverse réfléchie au port 1
b_2		Onde électromagnétique transverse réfléchie au port 2
C_{ds}	F	Capacité drain-source
C_{dsp}	F	Capacité du boîtier entre le drain et la source
C_{gd}	F	Capacité grille-drain
C_{gs}	F	Capacité grille-source
C_{gsp}	F	Capacité du boîtier entre la grille et la source
C_{ox}		Capacité de l'oxyde de grille
C_{pd}	F	Capacité de plots du drain
C_{pg}	F	Capacité de plots de la grille
E_c		Bande de conduction
E_F		Niveau de fermi
E_i		Niveau intrinsèque
E_v		Bande de valence
F	Hz	Fréquence
G_d, g_d, g_{ds}		Conduction de drain
G_m	Ω^{-1}	Transconductance
I_1	A	Courant d'entrée
I_2	A	Courant de sortie
I_d, I_{ds}	A	Courant drain-source
I_{dsat}	A	Courant drain-source à la saturation ($V_{ds} = V_{dsat}$)
I_{gd}	A	Courant grille-drain
I_{gs}	A	Courant grille-source
I_{off}	A	Courant de fuite

K_B		Constante de Boltzmann
L	cm	La longueur du canal entre le drain et la source
L_d	H	Inductance d'accès du drain
L_{dp}	H	Inductance du boîtier, coté drain
L_{eff}	cm	Longueur effective du canal
L_g	cm	Longueur de la grille
L_g	H	Inductance d'accès de la grille
L_{gp}	H	Inductance du boîtier, coté grille
L_s	H	Inductance d'accès de la source
n_i		Concentration intrinsèque
N		Concentration d'électron
N^+		Zone type N fortement dopée
N_a	cm^{-3}	Dopage du substrat
P		Concentration de trou
Q_d	C	La charge accumulée sous l'électrode du drain
Q_g	C	La charge totale stockée sur la grille
R_d	Ω	Résistance d'accès du drain
R_g	Ω	Résistance d'accès de la grille
R_{gd}	Ω	Résistance grille-drain
R_i	Ω	Résistance intrinsèque liée aux effets non-quasi statiques
R_s	Ω	Résistance d'accès de la source
$[S]$		Matrice-S
$[S_{Mes}]$		Matrice-S mesurée
T		Température
T_{ox}	cm	Epaisseur de l'oxyde
U_{eff}		Mobilité des porteurs dans le canal
V_1	V	Tension d'entrée
V_2	V	Tension de sortie
V_d	V	Tension de polarisation appliquée au drain
V_{dsat}	V	Différence de potentiel drain-source dans la région de saturation

V_{FB}	V	Tension de bande plate
V_g	V	Tension de polarisation appliquée à la grille
V_{gd}	V	Différence de potentiel grille-drain
V_{gs}	V	Différence de potentiel grille-source
V_{gsoff}	V	Tension de blocage
V_{MG}	V	Mid –gab
V_t, V_{th}, V_{TH}	V	Tension de seuil
V_{THext}	V	Tension de seuil
w		Pulsation
W	cm	Largeur du canal
W_{eff}	cm	Largeur effective du canal
X_j	cm	Profondeur des jonctions métallurgiques
$[Y]$		Matrice- Y
$[Y_i]$		Matrice- Y intrinsèque
$[Y_{Mes}]$		Matrice- Y mesurée
$[Z]$		Matrice- Z
Z_c		Impédance caractéristique
$[Z_e]$		Matrice- Z extrinsèque
$[Z_{Mes}]$		Matrice- Z mesurée
ϵ_0		Primitivité du vide
ϵ_{si}		Constant diélectrique relatif du substrat de silicium
Ψ_S		Potentiel de surface
$\Psi(y)$		Courbure de bande

Sommaire

Introduction générale	1
------------------------------------	---

Chapitre I

Transistors MOS en Hyperfréquences

1. Introduction	4
2. Architecture et fonctionnement d'un transistor MOS	4
2.1 Structure MOS et ses régimes de fonctionnement	4
3. Types de transistor MOS	7
3.1. Transistor MOS à canal N	7
3.2. Transistor MOS à canal P	8
3.3. MOSFET à appauvrissement D-MOSFET	8
3.4. MOSFET à enrichissement E-MOSFET	9
3.5. Conditions de conduction	9
4. Caractéristiques courant-tension et principaux paramètres du transistor MOS	11
4.1. Régime linéaire	11
4.2. Le régime saturé	12
4.3. Le régime sous le seuil	13
5. Les transistors MOS pour les hyperfréquences (LDMOS)	14
6. Les transistors MOS pour les applications RF	15
7. Conclusion	16

Chapitre II

Modélisation du Transistor LDMOS en Hyperfréquences

1. Introduction	17
2. But de la modélisation	17
3. Exigences de la modélisation	17

4. Type de modélisation	19
4.1. Modélisation physique	19
4.2. Modélisation phénoménologique	20
4.3. Modélisation à base de données expérimentales	20
5. Choix de la modélisation	21
6. Conclusion	22

Chapitre III

Caractérisation Electrique du Transistor LDMOS

1. Introduction	23
2. Méthodologie suivie de notre travail pour l'extraction du modèle électrique	23
3. Mesure des paramètres S	25
4. Schéma équivalent électrique	26
4.1. Eléments du boîtier	27
4.2. Eléments Extrinsèques	28
4.3. Eléments Intrinsèques	29
5. Détermination des éléments électriques du modèle	31
5.1. Extraction des éléments du boîtier	31
5.2. Extraction des éléments extrinsèques	32
5.3. Extraction des éléments intrinsèques	37
6. Conclusion	41

Chapitre IV

Comparaisons des Résultats et Interprétations

1. Introduction	42
2. Nécessité de la simulation	42
3. Logiciel de simulation ADS	42
4. Techniques de simulation	43

5. Intégration du schéma équivalent dans le simulateur	43
5.1. Paramètres S mesurés	44
5.2. Paramètres S simulés	45
6. Validation du model	47
7. Présentations des modèles à étudier et intégration des schémas dans le logiciel ADS après extraction de leurs éléments	48
7.1. Schéma équivalent 2	48
7.2. Schéma équivalent 3	50
7.3. Schéma équivalent 4	52
7.4. Schéma équivalent 5	55
8. Comparaison entre les paramètres S mesurés et simulés des différents schémas équivalents	58
9. Conclusion	64
Conclusion générale	65

Introduction générale

Introduction générale

L'industrie de l'électronique a toujours été un marché très vaste et rentable pour les entreprises de semi-conducteurs qui marque une avancée émouvante. Les nouveaux systèmes de communication sont aujourd'hui très exigeants; ils nécessitent une fréquence élevée, un haut degré d'intégration, une faible consommation d'énergie et ils doivent présenter de bonnes performances. L'intégration et la réduction de la consommation électrique de la partie numérique vont encore s'améliorer avec la poursuite du downscaling des technologies [1].

Adaptés aux technologies de pointe telles que la technologie **CMOS** (**Complementary Metal Oxide Semiconductor**), les transistors à effet de champ (**Field-Effect Transistors** ou **FET**) ont constitué un centre d'intérêt où plusieurs configurations ont été proposées. On peut citer, les transistors **MOSFET** (**Metal Oxide Semiconductor Field Effect Transistors**) de dernière génération connus par leur rapidité et leur faible consommation de puissance [2, 3]. Outre la technologie, le type de matériau impliqué dans l'intégration de ces dispositifs, joue également un rôle essentiel dans les performances ciblées. C'est ainsi que le silicium (**Si**) et l'arséniure de gallium (**Gallium Arsenide** ou **GaAs**) rivalisent avec le nitrure de gallium **GaN** (**Gallium Nitride**) pour les applications hautes fréquences. En conséquence, une variété de transistors naissent grâce à la diversité de ces substrats de base.

Différentes structures **MOS** sont aujourd'hui utilisées pour les applications de puissance hyperfréquences : **VDMOS** (structure verticale), **LDMOS** (structure latérale), **Drift** ou **MOS** à extension de drain **MOS**. Le choix entre ces différentes sortes est basé sur des critères de performance et de coût économique. Pour la simulation hyperfréquence nous préférons utiliser des transistors **LDMOS** ; transistor à diffusion latérale **MOS** de puissance qui sont disponibles généralement encapsulés en boîtier.

La modélisation et la caractérisation des transistors **MOS** à hautes fréquences est très importante et se fait par la mesure des paramètres **S**. En général, il existe diverses approches de modélisation de transistor à effet de champ, on peut généralement distinguer trois types de modélisation :

- Modélisation physique.
- Modélisation phénoménologique.
- Modélisations à base de données expérimentales.

Le premier modèle peut être obtenu à partir de simulations physiques, mais il reste inexploitable en conception **CAO** car il est soit trop lourd en coût de simulation, soit trop simplifié pour être fiable. Le modèle à base de données expérimentale constitue une limitation des informations disponibles puisque le concepteur n'a pas accès au composant lui-même, ce qui limitera son domaine d'intervention. Le modèle phénoménologique est actuellement le plus utilisé en conception **CAO** ; il représente un coût de simulation faible et une facilité d'implémentation tout à fait adaptés aux logiciels **CAO** [4].

La problématique de ce projet est exprimée à travers le besoin de la simplification du schéma utilisé pour la modélisation des transistors **MOS** en hyperfréquences pour réduire le nombre de ses éléments, et de le minimiser au maximum, et par conséquent, simplifier le programme de leur extraction, afin de développer un modèle hyperfréquence rapide à extraire et facile à utiliser dans les divers environnements de **CAO**.

Ce travail s'intéresse donc, à la modélisation et la caractérisation des transistors **LDMOS** par le simulateur **ADS** (**A**dvanced **D**esign **S**ystem) utilisé en micro-ondes en utilisant différents schémas électriques équivalents.

Notre mémoire est articulé sur 4 chapitres :

Concernant le première chapitre, nous introduisons notre travail par un rappel sur les notions de base nécessaires à la compréhension du transistor **MOSFET** et ses caractéristiques principales en précisant sa structure et son principe de fonctionnement. Nous donnons une vue globale du transistor **MOS** en hyperfréquence tout en déterminant le type de transistor **MOS** utilisé dans ce domaine et qui est le **LDMOS**.

Le deuxième chapitre explique la modélisation et son but, ensuite nous montrons ses exigences et ses différents types ainsi que leurs avantages et inconvénients. Enfin, nous allons argumenter la méthode sur laquelle nous nous sommes basés pour choisir particulièrement la modélisation phénoménologique.

Dans le troisième chapitre, nous commençons par la présentation des méthodologies à suivre pendant notre travail et nous décrivons le schéma équivalent composé de trois parties : les éléments intrinsèques, les éléments extrinsèques et les éléments de boîtier. Ensuite, nous allons expliquer la méthode d'extraction développée par **G. DAMBRINE** et

qui est basée sur des transformations successives des paramètres **S**, en paramètres **Z** ou **Y** selon le besoin. Elle nous permet de déterminer la valeur de chaque élément du schéma équivalent.

Et au dernier chapitre est destiné à l'implémentation de plusieurs modèles électriques dans le simulateur **ADS**, pour faire une série des comparaisons entre la simulation et la mesure des paramètres **S** des différents schémas équivalents, afin de vérifier leur validation. L'objectif final est de choisir le meilleur de ces différents schémas en se basant sur la précision et/ou la simplicité du modèle.

Enfin, nous terminerons par une conclusion générale et des perspectives.

Chapitre I :
Transistor MOS en
Hyperfréquences

1. Introduction :

Ce premier chapitre a présenté le dispositif qui fait l'objet de notre étude Le **MOSFET** est aujourd'hui le transistor le plus utilisé en microélectronique. Alors qu'il sert principalement pour la conception de circuits numériques, son faible coût et ses performances en font un composant de plus en plus intéressant pour les applications **RF**. Ou; les contraintes de modélisation diffèrent selon les applications visées [5].

Les transistors **MOS** se caractérisent par une impédance d'entrée élevée permettant de s'affranchir des commandes en courant des dispositifs de puissance purement bipolaire. Les transistors **MOS** se distinguent également par leur facilité de conception par rapport aux transistors bipolaires: ainsi, ils consomment moins de puissance et, surtout, ils répondent aux exigences de coût [6].

En 1960 **Kahng** et **Atalla** ont présenté le premier transistor **MOS** sur silicium en utilisant une grille isolée dont le diélectrique de grille était en oxyde de silicium **SiO₂**. Le silicium fut un choix très judicieux. Car son oxyde est non seulement un très bon isolant électrique mais il s'est aussi révélé parfaitement adapté pour former des couches dites de passivation protégeant les circuits, accroissant remarquablement leur fiabilité. Ces transistors sont plus simples et moins chers que leurs concurrents bipolaires, mais intrinsèquement moins performants à génération technologique équivalente, ils ont connu leur essor dans les années 70-80 grâce à la technologie **CMOS** basée sur l'utilisation de deux types de transistors complémentaires (**NMOSFET** et **PMOSFET**) inventée en 1968 qui consomme très peu d'énergie [7].

2. Architecture et fonctionnement d'un transistor MOS :

2.1 Structure MOS et ses régimes de fonctionnement :

La structure **MOS** (**M**étal-**O**xide-**S**emi-conducteur) est composée de trois couches : un semi-conducteur (silicium cristallin dopé), un isolant (oxyde de silicium **SiO₂**) obtenu par oxydation thermique du substrat en silicium et un conducteur (grille métallique), il s'agit habituellement d'un semi-conducteur sous forme poly-cristalline dopé à dégénérescence, dont les propriétés électriques sont proches de celles d'un métal. Il existe principalement deux types de capacité **MOS** faisant intervenir deux types de porteurs différents : la capacité **MOS** à canal d'électrons, appelée **NMOS**, est composée d'un semi-conducteur dopé **P** et d'une grille dopée **N**, alors que la capacité à canal de trous, appelée

PMOS, est composée d'un semi-conducteur dopé **N** et d'une grille dopée **P**. Le diagramme de bande d'énergie d'une capacité à canal d'électrons est représenté sur la **Figure I.1**. On définit le potentiel de volume du semi-conducteur [8] :

$$\phi_F = \frac{K_B \cdot T}{q} * \ln\left(\frac{N_A}{n_i}\right) = \frac{E_i - E_F}{q} \quad (I.1)$$

Avec q la charge de l'électron, K_B la constante de Boltzmann, T la température, E_F le niveau de Fermi, E_i le niveau intrinsèque du silicium (non dopé) situé à mi-distance entre la bande de valence (E_v) et la bande de conduction (E_c), N_A la concentration de dopants accepteurs dans le cas d'un **NMOS** (dans le cas d'un **PMOS** on note N_D la concentration de dopants donneurs), et n_i la concentration intrinsèque de silicium. $\Psi(y)$ est la courbure des bandes à la profondeur y dans le substrat. Ψ_s est le potentiel de surface, c'est-à-dire le potentiel à $y = 0$. Pour $y = +\infty$, la courbure est nulle. Suivant le sens et la valeur de la tension appliquée aux bornes de la capacité **MOS**, quatre modes de fonctionnement peuvent se produire (à noter que les signes des tensions appliquées sont opposés entre une capacité **NMOS** et **PMOS** (explications données dans le cas d'une capacité à canal d'électrons) :

Accumulation Figure I.1.a : Une tension négative par rapport au substrat est appliquée sur la grille, il y a accumulation de porteurs majoritaires à l'interface **Si/SiO₂**, le potentiel de surface est négatif.

Bande-plate : Le champ électrique est nul à l'interface **Si/SiO₂**, ce qui donne le diagramme de bande pour lequel le potentiel de surface Ψ_s est nul. **Figure I.1.b** La polarisation de grille tel que le substrat est en situation de bandes plates, est appelée V_{FB} (flat band).

Désertion : La tension de grille appliquée est légèrement supérieure à V_{FB} (tension positive), le potentiel de surface devient légèrement positif. Il se forme une zone désertée (de largeur W) de porteurs majoritaires à l'interface semi-conducteur/isolant.

Inversion Figure I.1.c : Ψ_s augmente avec le potentiel de grille. Le système atteint le régime d'inversion faible lorsque $\Psi_s = \Phi_F$, une couche de porteurs minoritaires est alors générée près de l'interface.

Polarisation de grille avec un substrat en situation de l'inversion faible est appelée V_{MG} (mid-gap). A partir de $\Psi_s > 2\Phi_F$ nous définissons le régime d'inversion forte, c'est-à-

dire qu'une couche à forte densité de porteurs minoritaires est formée à l'interface et engendre un changement du type du semi-conducteur : couche d'électrons dans le cas des NMOS et couche de trous dans le cas des PMOS [8].

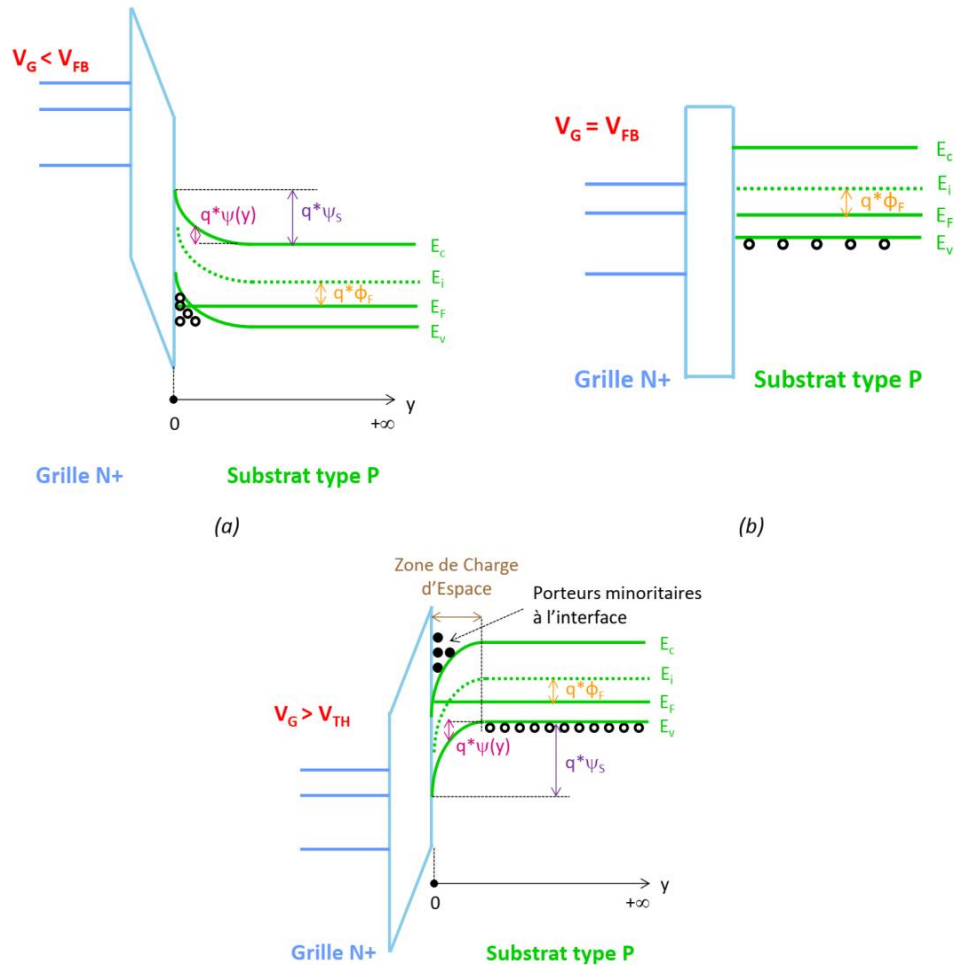


Figure I.1 : Diagramme de bandes d'une capacité NMOS en régime d'accumulation (a), de bande-plate (b) et d'inversion forte (c) [8]

Un transistor MOS est constitué d'une capacité MOS à laquelle nous ajoutons sur deux côtés opposés de la grille, des zones de silicium très fortement dopées (à dégénérescence dans les technologies actuelles) qui font office de réservoirs de porteurs, comme illustré sur la **Figure I.2**. Leur dopage est de signe opposé à celui du substrat. Nous parlons des jonctions de source (électrode la moins polarisée par rapport au substrat) et de drain (électrode la plus polarisée par rapport au substrat). La tension de grille, par effet du champ électrique vertical, contrôle à travers l'oxyde de grille, la densité de porteurs dans le

canal du dispositif. Le flux de porteurs est lui, contrôlé par la tension de drain qui crée un champ latéral [8].

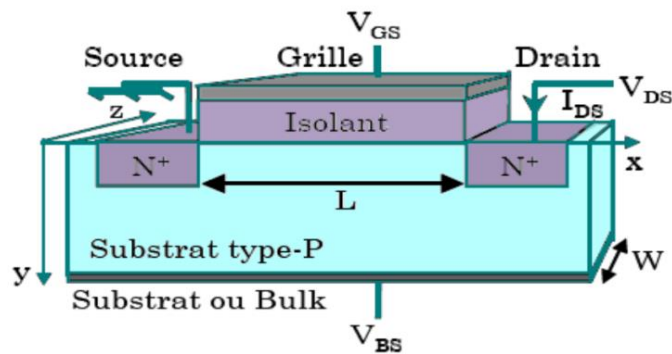


Figure I.2 : Représentation schématique d'un transistor NMOS [9]

Le transistor MOS (ou MOSFET pour transistor Métal-Oxyde-Semi-conducteur à effet de champ) à canal N est un dispositif quadripolaire constitué d'une électrode de grille (**G**), de source (**S**), de drain (**D**) et de substrat (**B**) **Figure I.2**. La longueur du transistor, notée L_e , correspond à la longueur de sa grille et sa largeur est notée W . La structure du transistor étant identique selon sa largeur, on le représente communément dans le plan (x , y). Nous considérerons par la suite un transistor à canal surfacique, c'est-à-dire dont la conduction est assurée par les porteurs minoritaires du substrat (électrons dans le cas d'un NMOSFET), à l'interface entre le diélectrique de grille et le substrat [9].

3. Types de transistor MOS :

3.1. Transistor MOS à canal N :

Dans le cas des NMOS **Figure I.3** la grille est polarisée par une tension V_{gd} positive, afin de créer une zone de déplétion peuplée d'électrons à l'interface Sc./Isolant. La source et le drain sont reliés par un canal formé d'électrons. La différence de potentiel entre le drain la source qu'on l'appelle V_{ds} et positive, le sens du courant se fait de la source vers le drain [10].

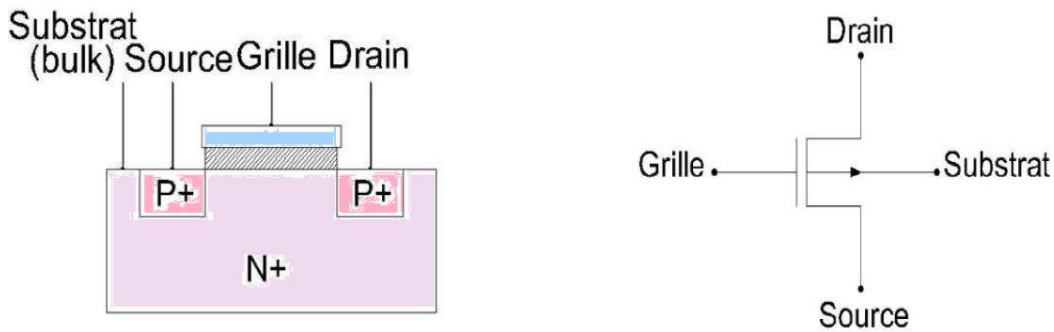


Figure I.3 : Transistor MOS à canal N [10]

3.2. Transistor MOS à canal P :

Pour les transistors à canal **P** **Figure I.4**, la grille est négativement polarisée, la zone de déplétion à l'interface Sc./Isolant est peuplée par des trous, le canal de conduction est formé de trous et la tension V_{ds} doit être négative pour drainer ces trous. Le courant circule dans le même sens du déplacement des trous soit alors de la source vers le drain [10].

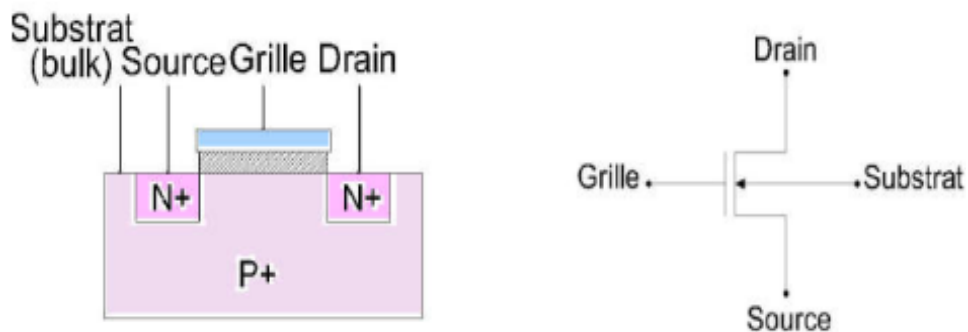


Figure I.4 : Transistor MOS à canal P [10]

3.3. MOSFET à appauvrissement D-MOSFET :

Pour un MOSFET à appauvrissement, les deux régions créées sont fortement dopées de type N et jouent le rôle de réservoirs d'électrons. Ce sont la source et le drain.

Dans le MOS à appauvrissement une zone supplémentaire de type N est créée entre la source et le drain lors des processus de fabrication. Ces transistors sont appelés aussi transistor MOS à canal enterré. Ces transistors sont passants sans l'application de la tension de commande V_g (normally on), ils deviennent de moins en moins conducteurs au fur et à mesure que la tension de commande augmente pour se bloquer finalement au-delà d'une tension appelée V_{gsoff} [10].

3.4. MOSFET à enrichissement E-MOSFET :

Les transistors à enrichissement ne comportent pas ce canal lors de sa fabrication. Ils sont bloqués sans l'application de tension de commande (normally off), ils deviennent passant à partir d'une tension de commande bien déterminée appelée tension de seuil V_t . Cette tension entraîne l'inversion de la nature du substrat sous la grille [10].

3.5. Conditions de conduction :

Le canal conducteur existe si la tension de grille est supérieure (cas du transistor **NMOS**) ou inférieure (cas du transistor **PMOS**) à une tension de seuil V_{th} , et ça pour un transistor à enrichissement (**Tableau I.1**) [11].

Canal	Type	Porteurs	Condition de conduction
N	Enrichissement	Electrons	$V_{gs} > V_{th}$
N	Appauvrissement	Electrons	$V_{gs} < V_{gsoff}$
P	Enrichissement	Trous	$V_{gs} < V_{th}$
P	Appauvrissement	Trous	$V_{gs} > V_{gsoff}$

Tableau I.1 : Condition de conduction du **MOSFET** [11]

Voici un tableau résultant les différents types de transistor avec leurs caractéristiques de sortie et de transferts (**Tableau I.5**).

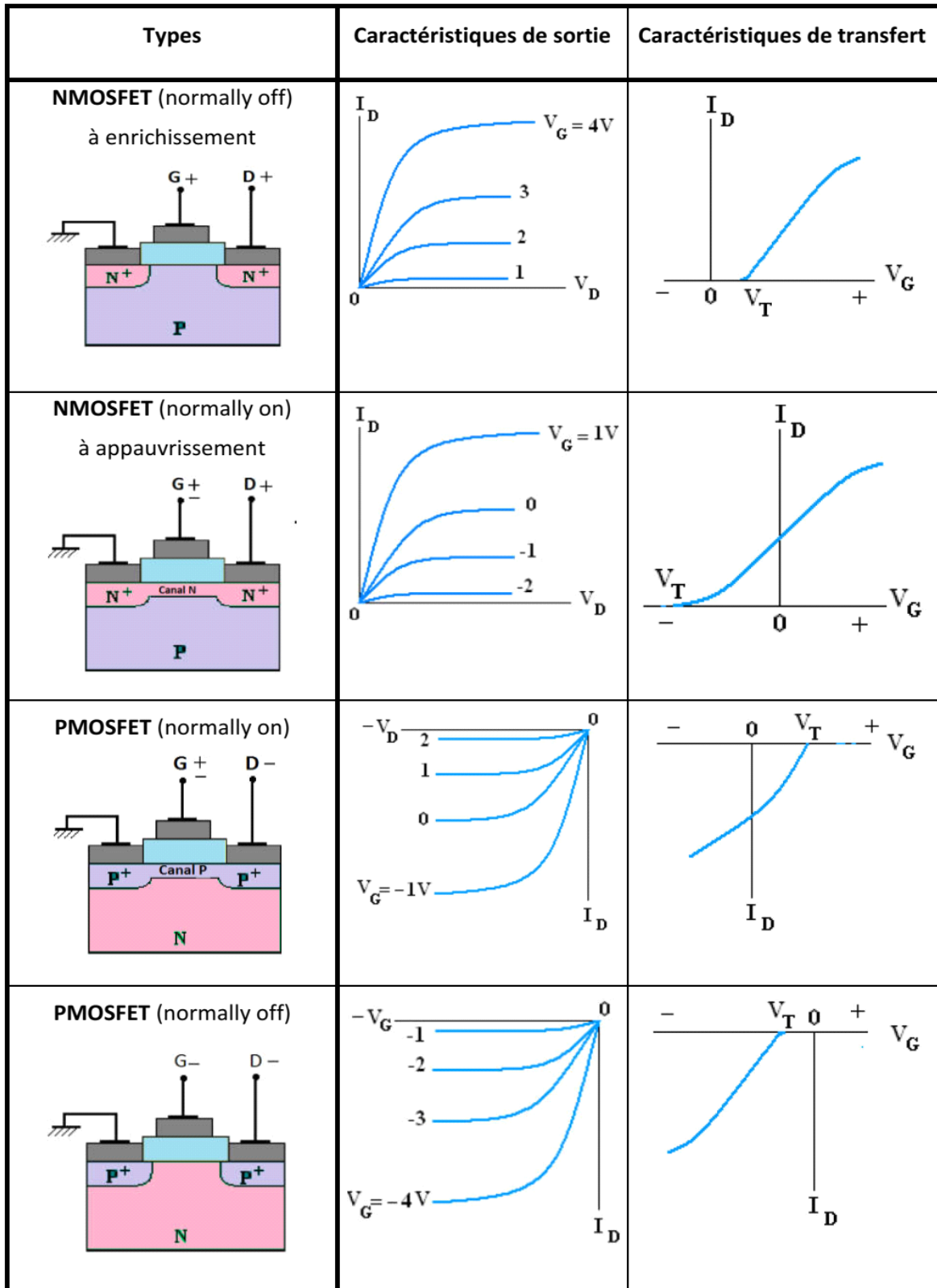


Figure I.5 : Caractéristiques de sortie et de transfert des différents types de MOSFET [12]

4. Caractéristiques courant-tension et principaux paramètres du transistor MOS :

4.1. Régime linéaire :

Le régime linéaire est obtenu lorsque la différence de potentiel entre le drain et la source est très faible. Dans ce cas, la variation de potentiel de surface est linéaire le long du canal. La polarisation positive du drain (dans le cas d'un transistor à canal d'électron), et donc la différence de potentiel positive entre le drain et la source, permet la circulation d'un courant d'électrons lorsque la tension de grille est suffisante [8].

$$I_D = \mu_{\text{eff}} * C_{\text{ox}} * \frac{W}{L} * \left(\frac{V_0}{2} * V_G - V_{\text{th}} \right) * V_D \quad (\text{I.2})$$

Où :

- ✓ μ_{eff} est la mobilité des porteurs dans le canal.
- ✓ C_{ox} est la capacité de l'oxyde de grille.
- ✓ W et L sont respectivement la largeur et la longueur du canal.
- ✓ V_G et V_D sont respectivement la tension de grille et de drain.
- ✓ V_{TH} est la tension de seuil, tension pour laquelle la couche d'inversion forte

existe c'est-à-dire pour $\Psi_S = 2\Phi_F$.

C_{ox} est définie par unité de surface en fonction de la permittivité du vide ϵ_0 et de la constante d'électrique relative de l'oxyde.

$$C_{\text{ox}} = \frac{\epsilon_{\text{ox}} * \epsilon_0}{T_{\text{ox}}} \quad (\text{I.3})$$

L'expression de la tension de seuil des transistors de type NMOS est donnée par l'équation.

$$V_{\text{th}} = 2 * \Phi_f + V_{\text{FB}} + \frac{\sqrt{4 * q * N_A * \epsilon_0 * \epsilon_{\text{Si}} * \Phi_f}}{C_{\text{ox}}} \quad (\text{I.4})$$

Où ϵ_{Si} est la constante diélectrique relatif du substrat de silicium.

Expérimentalement, il existe plusieurs méthodes pour déterminer la tension de seuil. Les méthodes les plus courantes sont la méthode d'extrapolation en régime linéaire (V_{THext}) et la méthode à courant fixe ($V_{\text{TH}}@I_D$) Pour déterminer V_{THext} , nous devons tout

d'abord définir la transconductance notée g_m comme étant la dérivée du courant de drain par rapport à la tension de grille [8] :

$$g_m = \frac{dI_D}{dV_G} \quad (I.5)$$

La méthode consiste alors à tracer la tangente de la courbe I_D - V_G au maximum de la transconductance. L'intersection de l'axe des abscisses avec la tangente correspond à V_{THext} plus un facteur correctif de $V_D/2$. $V_{TH@I_D}$, dit V_{TH} à courant donné, est la valeur de la tension de grille pour un courant de drain fixé. Un exemple d'extraction de la tension de seuil avec ces deux méthodes est représenté sur la **Figure I.6**. En régime linéaire, la courbe la plus représentative du transistor MOS est la caractéristique I_D - V_G , courant de drain en fonction de la tension de grille, pour V_D faible, représentée sur la **Figure I.6**. Nous définissons sur la courbe I_D - V_G en échelle linéaire le courant de drain en régime linéaire I_{Dlin} comme étant le courant pour une tension de grille égal à la tension nominale de fonctionnement du dispositif noté V_{DD} [8].

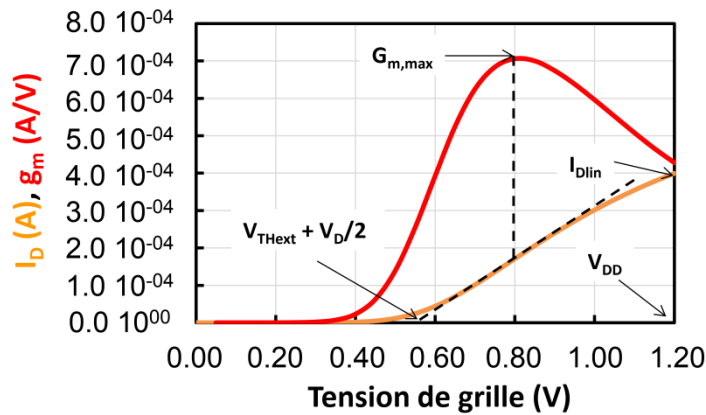


Figure I.6 : Caractéristique I_D - V_G en régime linéaire [8]

4.2. Le régime saturé :

Lorsque la tension du drain augmente, la différence de potentiel entre le drain et la grille diminue. à partir d'une certaine valeur de V_D appelée tension de saturation V_{Dsat} , le courant de drain sature. Cette saturation est principalement due à l'apparition d'un effet de pincement dans le canal près du drain. Lorsque la polarisation de drain devient supérieure à V_{Dsat} le point de pincement se déplace le long du canal vers la source. La saturation arrive pour une tension de drain $V_{Dsat} > V_G - V_{TH}$, et un courant selon l'expression [8] :

$$I_{Dsat} = \mu_{eff} * C_{ox} * \frac{W}{L} * \frac{(V_G - V_{th})^2}{2} \quad (I.6)$$

Le paramètre important en régime de saturation est le courant de saturation I_{Dsat} , défini à $V_G = V_D = V_{DD}$, comme illustré sur la caractéristique $I_D - V_D$ de la **Figure I.7**. Ce courant peut être également nommé I_{ON} , car il s'agit du courant de fonctionnement des dispositifs MOS.

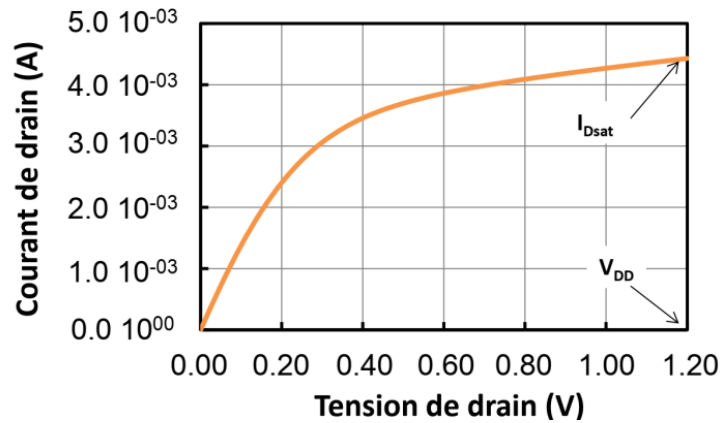


Figure I.7 : Caractéristique $I_D - V_D$ montrant le régime saturé [8]

4.3. Le régime sous le seuil :

Le courant noté I_{OFF} sur la courbe $I_D - V_G$ en échelle logarithmique la **Figure I.8** est défini comme étant le courant de drain pour une tension de grille nulle et une tension de drain $V_D = V_{DD}$, correspondant au courant de fuite. Sur cette courbe, nous pouvons également définir la pente sous le seuil noté S qui s'exprime typiquement en millivolt par décade [8].

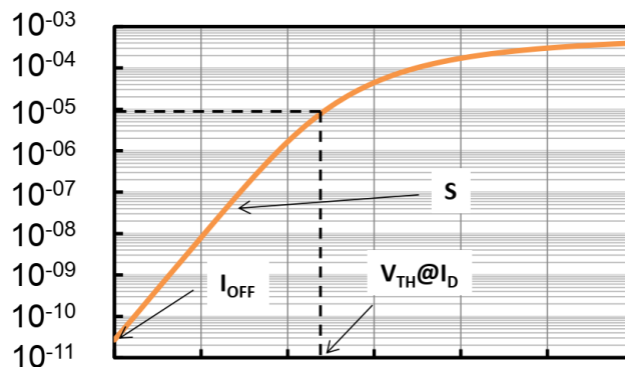


Figure I.8 : Caractéristique $I_D - V_G$ en échelle logarithmique avec les principaux paramètres de transistor MOSFET en régime saturé [8]

5. Les transistors MOS pour les hyperfréquences (LDMOS) :

Les fabricants de composants semi-conducteurs (transistors bipolaires, transistors à effet de champ) se sont lancés dans la « bataille » permettant de répondre aux exigences des systèmes de communication en termes de puissance, de performances en gain et linéarité, d'encapsulation et de coût de revient. En effet, ces différents dispositifs semi-conducteurs sont nécessaires pour les étages émetteurs et récepteurs dans les divers équipements qui utilisent le spectre hertzien depuis le téléphone portable, jusqu'aux stations de bases aux satellites [13].

Avec l'évolution des technologies dans le domaine des circuits intégrés MOS et par rapport aux exigences de performances et de coût, une nouvelle génération de composants semi-conducteurs est apparue sur la scène de l'amplification de puissance. Les transistors DMOS de puissance [14].

Il existe deux types de transistors DMOS de puissance : les transistors discrets VDMOS et les transistors intégrés LDMOS. Le transistor VDMOS souffre d'instabilité aux fréquences élevées [15]. Le transistor LDMOS possède aussi l'avantage, par rapport au transistor à configuration verticale (VDMOS), d'avoir intrinsèquement ses trois électrodes coplanaires, ce qui le rend favorable à l'intégration. Il est également compatible avec les technologies BiCMOS avancées, ce qui fait de lui un candidat idéal pour assurer la partie puissance dans un circuit intégré [13]. Nous nous intéresserons dans ce travail aux transistors LDMOS.

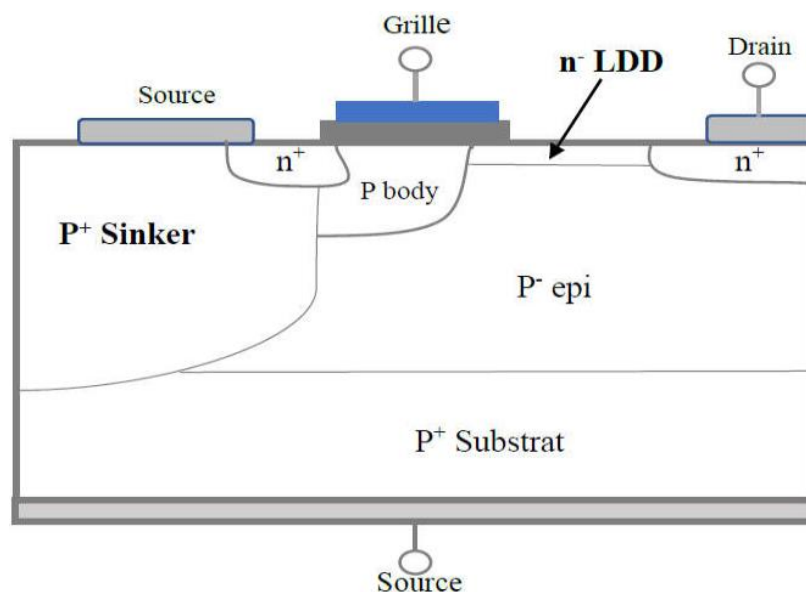


Figure I.9 : Coupe d'un transistor LDMOS [16]

Actuellement, d'un point de vue technologique, le transistor **MOSFET** classique ne peut supporter des fortes polarisations. Une filière plus employée dans le domaine des applications de puissance est celle du **LDMOS** sur silicium **Figure I.9** qui supporte des tensions de polarisation élevées [17].

Ces transistors obtenus par le procédé de double diffusion se distinguent du **MOSFET** par un puits dopé P^+ qui assure la continuité électrique entre les sources des composants élémentaires et la masse connectée au substrat P^+ . Sa très large utilisation dans le domaine des amplificateurs de puissance **RF** (réseaux télécommunications) fait de cette technologie un standard. En plus de leur faible coût de conception, les transistors **LDMOS** possèdent toutes les caractéristiques électriques et thermiques requises pour les modulations complexes. Ses potentialités en termes de haut rendement et de linéarité en font un candidat idéal pour une gamme de fréquences qui reste limitée à quelques **GHz** [17].

Les transistors **LDMOS** sont aussi caractérisés par une zone N^- située entre la fin du canal d'inversion et le drain N^+ , zone appelée drift ou extension de drain (**LDD** : **L**ightly **D**oped **D**rain). Les extensions **LDD** sont des extensions des zones source et drain sous la grille mais avec un dopage plus faible, et une réduction du champ électrique effectif maximal coté drain. Ils ont une résistivité assez importante, ceci a pour but l'augmentation de la tension de claquage [18, 19].

Un autre grand avantage du **LDMOS** réside dans sa facilité d'intégration dans des circuits **RF** puisqu'il permet de disposer des électrodes de drain et de grille sur la face avant de la puce. Sa très large utilisation dans le domaine des amplificateurs de puissance radiofréquence (réseaux de télécommunications) fait de cette technologie un standard.

6. Les transistors MOS pour les applications RF :

Depuis le premier circuit intégré en technologie **CMOS** fabriqué par Fairchild au début des années 1960, le développement de la technologie **MOS** a permis de produire des circuits de plus en plus rapide, contenant plus de transistors, pour un prix quasiment constant.

Gordon Moore, cofondateur de la société Intel, supposa en 1965 que le nombre de transistors par circuit intégré allait doubler environ tous les dix-huit mois. Faisant de cette observation (appelée depuis "**Loi de Moore**") prophétie auto-réalisatrice, l'industrie du semi-conducteur s'en est servie pour se donner propre rythme de développement depuis

près de cinquante ans. Grâce à quoi le transistor **MOS** est devenu un composant de plus en plus rapide et de moins en moins cher. Les performances **RF** d'un dispositif comme le **MOSFET** peuvent être abordées par des grandeurs telles que ses fréquences de transition et maximum d'oscillation [5].

Les applications **RF** sont principalement les communications sans fil (**wifi**, **Bluetooth**, **réseaux sans fil**, **GSM**, **GPS** ...). Les dispositifs sont donc utilisés pour des circuits figurant dans la chaîne de réception ou d'émission de telles applications : amplificateur faible bruit, amplificateur de puissance, boucle à verrouillage de phase, convertisseurs analogique-numérique et numérique-analogique, mélangeurs. Les performances de rapidité du transistor **MOS** sont moindres que celles des composants réalisés en technologie **III-V** ou bipolaire, mais il possède par ailleurs de nombreux avantages [5] :

- Il n'a pas besoin d'une polarisation négative et positive comme les **MESFETs**.
- Ses performances sont généralement suffisantes pour les applications énumérées plus haut, dont la fréquence de fonctionnement est inférieure à 10 **GHz**.
- Il présente l'intérêt d'une excellente intégration avec des fonctions numériques.

7. Conclusion :

Ce chapitre est consacré à l'étude du transistor **MOSFET**, nous avons donné tout d'abord un rappel sur le transistor, son fonctionnement ainsi que ses différents types, et leur utilisation dans le domaine des **RF**. Dans notre travail, nous avons choisi le transistor **LDMOS** qui est très utilisé pour fabriquer les amplificateurs de puissance des stations de base.

Chapitre II :

**Modélisation du Transistor
LDMOS en Hyperfréquences**

1. Introduction :

La modélisation des transistors **LDMOS** fait l'objet de ce chapitre. Le but ultime de la modélisation est une conception complète et sans faille de tout composant électronique. Cela permettra de limiter les étapes intermédiaires de production du matériel, coûteuses en temps et en argent, pour vérifier leur fonctionnement.

La conception de chaque élément du système nécessite l'utilisation de modèles pour simuler des phénomènes électriques, physiques et thermiques complexes. Cependant, la conception de circuits intégrés monolithiques reste une tâche ardue, et sa réussite dépend de simulations réalisées par des outils de **CAO** (conception assistée par ordinateur). Toute réalisation technologique est extrêmement coûteuse, donc avant qu'un circuit puisse être fabriqué, son fonctionnement doit être planifié le plus précisément possible. Par conséquent, il est nécessaire de disposer de modèles non linéaires précis, fiables et compatibles avec les outils de **CAO** actuellement disponibles. Les méthodes de simulation actuelles pour la conception de circuits sont principalement basées sur la modélisation des composants linéaires et non linéaires qui composent le circuit.

Dans ce chapitre, nous allons citer les différents types de modèles existants tout en exposant leurs avantages et inconvénients afin de choisir le modèle le plus adapté à notre étude.

2. But de la modélisation :

Le but de la modélisation est donc d'élaborer, pour chaque dispositif, un équivalent mathématique, le modèle, qui permet d'en reproduire et d'en prédire le comportement électrique. Utilisé directement par le simulateur de circuit, cet équivalent mathématique repose sur la physique du composant.

En pratique, on dispose du modèle, qui est un jeu d'équations basées sur la physique, et de mesures de structures de test, c'est-à-dire de composants isolés. Ces mesures permettent d'extraire les paramètres caractéristiques de la technologie [15].

3. Exigences de la modélisation :

La modélisation d'un composant doit répondre à un ensemble d'exigences qui, elle, sont définies par le domaine d'application et les demandes du concepteur en termes de résultats de simulation. Pour illustrer ceci, nous allons prendre un exemple très simple qui

est le cas d'une impédance. Si le concepteur s'intéresse uniquement au rapport du courant avec la tension appliquée sur cet élément, la loi d'Ohm $i = v / z$ suffit pour le décrire. Cependant, si l'on est intéressé aussi par l'influence de l'effet Joule et de la température sur le courant, il est nécessaire d'inclure ce phénomène et de rendre le modèle plus complexe. Il en va de même pour le bruit thermique, etc. De manière générale, un modèle idéal de transistors **MOS** adapté pour la conception de circuits intégrés numériques, analogiques ou mixtes, doit satisfaire les points suivants :

1- Le modèle doit donner une bonne précision sur les caractéristiques de courant **I-V** dans une large gamme de polarisation.

2- Il doit prédire, de façon rigoureuse, les caractéristiques dynamiques en régime petit et grand signal, même pour des fréquences de fonctionnement proches de la fréquence de transition du composant.

3- Il doit donner une bonne prédiction du bruit blanc et du bruit basse fréquence.

4- Les recommandations 1 à 3 doivent être vérifiées sur tous les régimes de polarisation et pour diverses valeurs de potentiel de substrat V_b .

5- Toutes les exigences précédentes doivent être satisfaites pour une large gamme de températures.

6- Le modèle doit être valable pour une large gamme de largeur **W** et de longueur **L_g** de la grille (paramétrable en **W**, **L_g**).

7- Il doit avoir le strict minimum possible de paramètres. Ceux-ci doivent être reliés directement à la structure du composant et au procédé de fabrication technologique.

8- Le modèle doit être facile à intégrer (implémenter) dans un simulateur. Pour le calcul numérique, il doit être robuste et continu entre les régimes de fonctionnement.

9- La méthode d'extraction des paramètres du modèle doit être la plus simple possible. Le nombre de composants-test ainsi que le nombre de mesures requis pour l'extraction des paramètres doit être le plus petit possible.

Tous les points énoncés précédemment représentent évidemment le cas d'un modèle idéal. Il n'existe pas de modèle pouvant satisfaire la totalité de ces exigences. Cependant, l'approche et le type de modélisation font apparaître divers avantages et inconvénients. Ainsi, le choix d'un modèle ou d'une approche de modélisation doit s'effectuer en fonction des besoins comme des moyens offerts [15].

4. Type de modélisation :

Il existe diverses approches de modélisation des transistors à effet de champ telles que la modélisation physique, la modélisation numérique ainsi que la modélisation électrique. Le premier modèle peut être obtenu à partir de simulations physiques, mais il reste inexploitable en conception **CAO** car il est soit trop lourd en coût de simulation, soit trop simplifié pour être fiable. Le modèle numérique constitue une limitation des informations disponibles puisque le concepteur n'a pas accès au composant lui-même, ce qui limitera son domaine d'intervention. Le modèle électrique est actuellement le plus utilisé en conception **CAO** ; il représente un coût de simulation et une facilité d'implémentation tout à fait adaptés aux logiciels **CAO** [4]. On peut généralement distinguer trois types de modélisation :

4.1. Modélisation physique :

Elle est basée sur la physique des composants semi-conducteurs. Tous les paramètres ont une signification physique directement liée à la géométrie du composant (la largeur et la longueur de la grille), au procédé technologique et à la physique du composant (dopages, potentiels ...) [15].

Par définition, un modèle physique répond à une majorité d'exigences présentées ci-dessus, ainsi, il est adapté à la simulation statistique en rapport avec les paramètres technologiques, il peut prévoir le comportement du transistor à diverses températures et peut tenir compte de nombreux effets, de manière analytique.

Cependant, le temps de développement d'un modèle physique peut durer plusieurs années et ne jamais prendre fin, car, à chaque nouvelle génération technologique, de nouveaux effets physiques apparaissent et doivent être pris en compte. D'autre part, afin d'assurer une bonne robustesse numérique, les équations doivent être les plus simples possibles et doivent assurer une continuité entre les différents régimes de fonctionnement. Ceci entraîne automatiquement une limitation dans les expressions du modèle physique.

Finalement, d'un point de vue pratique, les désavantages les plus importants sont le nombre de paramètres et les méthodes d'extraction des modèles physiques. Pour certains modèles physiques une grande partie des effets sont décrits par des équations semi-empiriques qui, finalement, ne sont plus vraiment reliées à la physique du composant [15, 4].

4.2. Modélisation phénoménologique :

La modélisation phénoménologique est une approche purement empirique, c'est-à-dire qu'elle se base uniquement sur la représentation des effets observables et mesurables, indépendamment de leur nature. Ainsi, un élément quelconque du composant (par exemple un courant) va être représenté par une équation purement mathématique. Les paramètres d'un modèle empirique n'ont pas de signification physique et servent uniquement à ajuster l'équation sur la grandeur mesurée.

Un modèle empirique peut n'en satisfaire qu'un nombre restreint des exigences déjà citées. Il ne peut être utilisé pour faire une étude statistique sur les composants en fonction des paramètres de fabrication technologiques. Les lois d'échelle sur la géométrie des composants (surtout sur L_g) ne sont pas valables, car le modèle ne tient pas en compte l'évolution de chaque élément physique en fonction des dimensions du composant. D'autre part, les effets de température sur les éléments modélisés empiriquement sont très difficiles à incorporer. Finalement, l'extraction requiert obligatoirement une procédure d'optimisation, la chose qui peut mener à différents ensembles de valeurs de paramètres pour un même composant.

Toutefois, les avantages de la modélisation phénoménologique ne doivent pas être négligés. L'élaboration d'un tel modèle peut s'avérer très rapide ; des équations simples peuvent très bien décrire le comportement électrique du transistor, sur tous les régimes de polarisation et sur la gamme de fréquence de fonctionnement envisagés. Même certaines lois d'échelle peuvent être incluses dans les équations. Une fois le modèle élaboré, l'extraction des paramètres est rapide et les mesures requises sont simples et peu nombreuses.

Par ailleurs, à cause de la nature de la modélisation empirique, le modèle est facilement incorporable dans un simulateur de circuits quelconque. Grâce à la simplicité de tels modèles, le temps de calcul numérique, de la part du simulateur, peut être considérablement réduit [15].

4.3. Modélisation à base de données expérimentales :

-La modélisation à base de données expérimentales est très similaire à la modélisation phénoménologique. La différence majeure est que les éléments non linéaires ne sont pas décrits par des fonctions mathématiques, mais par des matrices de données de mesures. Les points de mesures sont reliés entre eux par des fonctions d'interpolation. Ceci

entraîne certains avantages et inconvénients [15].

Le modèle est valable uniquement dans la plage des mesures effectuées, car, au-delà, les fonctions d'interpolation ne peuvent nullement assurer le comportement du composant. Il en découle que, pour des polarisations proches à la limite des mesures, ces modèles présentent d'énormes problèmes de discontinuité. Ceci est un inconvénient majeur, car il peut entraîner la divergence lors d'un calcul. D'autre part, peu de lois d'échelle peuvent être prises en compte et chaque composant doit être individuellement mesuré. Les avantages sont similaires à ceux des modèles phénoménologiques, avec, de plus, une rapidité d'extraction plus élevée.

5. Choix de la modélisation :

Afin de modéliser les transistors **MOS** en hyperfréquence, nous avons d'abord considéré les besoins et le but de l'étude. Le transistor mis en avant dans cette étude est destiné à des applications de puissance. Le composant est d'abord modélisé puis son modèle est implanté dans le logiciel de simulation **ADS** d'Agilent. Les concepteurs utilisent ces modèles pour concevoir des circuits hyperfréquences (amplificateurs de puissance, mélangeurs, **LNA**, oscillateurs, ...).

Les modèles physiques qui représentent, de façon précise, le comportement physique interne du composant, mais ils exigent un temps de calcul très importants et des ressources informatiques conséquentes. Les modèles par tables constituent un bon compromis : le calcul, la précision et la facilité de mise en œuvre, mais il faut élaborer un modèle pour chaque transistor utilisé, et de plus, le modèle est valide uniquement dans la zone mesurée car l'extrapolation du modèle peut-être inexacte. Nous avons donc fait le choix du modèle phénoménologique qui rendait le travail beaucoup plus flexible et rapide [15].

Par la suite, le modèle phénoménologique utilisé est basé sur un circuit équivalent, ce qui rend le travail beaucoup plus simple et clair, par ce qu'il ne nécessite ni la connaissance approfondie des paramètres technologiques ni celle de la physique des semi-conducteurs. Il est seulement basé sur une approche descriptive des phénomènes observés en mesure [15, 19].

6. Conclusion :

Dans ce chapitre, nous avons défini la modélisation des transistors **MOS** dans le domaine des hyperfréquences. Nous avons décrit et expliqué les exigences d'un modèle idéal en détail.

Ensuite, nous avons argumenté notre choix de modélisation après avoir abordé les aspects théoriques des différents types de modélisation de transistors à savoir la modélisation physique, par table et phénoménologique, ainsi que leurs avantages et inconvénients.

Chapitre III :

**Caractérisation Electrique
du Transistor LDMOS**

1. Introduction :

Un des phénomènes qui interviennent dans le **MOSFET** en haute fréquence provient des éléments parasites qui entourent la partie intrinsèque. Ces éléments correspondent pour le signal à des chemins qu'un modèle intrinsèque ne prend pas en compte. Il en résulte alors l'observation de comportements statiques et dynamiques qui ne peuvent pas être décrits en utilisant uniquement les lois physiques régissant le **MOSFET**. Dans le but d'étudier ces éléments parasites, le **MOSFET** est divisé en trois parties.

La première partie est la partie dite intrinsèque. Elle joue le rôle utile et actif du transistor ; elle est décrite par la physique du **MOSFET**.

La deuxième partie est une partie extrinsèque "intermédiaire". Elle est constituée d'éléments parasites provenant de l'environnement lié à l'architecture et aux procédés technologiques de fabrication du dispositif, sur lesquels un concepteur ne peut pas agir. Ceux-ci incluent par exemple les capacités de recouvrement par la grille ou de jonction et les résistances de diffusions source/drain.

Enfin, il existe une partie extrinsèque liée au layout (par exemple, les résistances de polysilicium de grille, de contact et les capacités d'interconnexions); de ce fait, cette partie peut être optimisée par le concepteur.

2. Méthodologie suivie de notre travail pour l'extraction du modèle électrique :

Tous d'abord, nous présenterons la méthode d'extraction de tous les éléments du modèle. Il est basé sur des mesures statiques et des mesures micro-ondes des paramètres **S** à l'aide d'un analyseur de réseaux vectoriel.

Le processus général d'extraction est illustré à la **Figure III.1** [15].

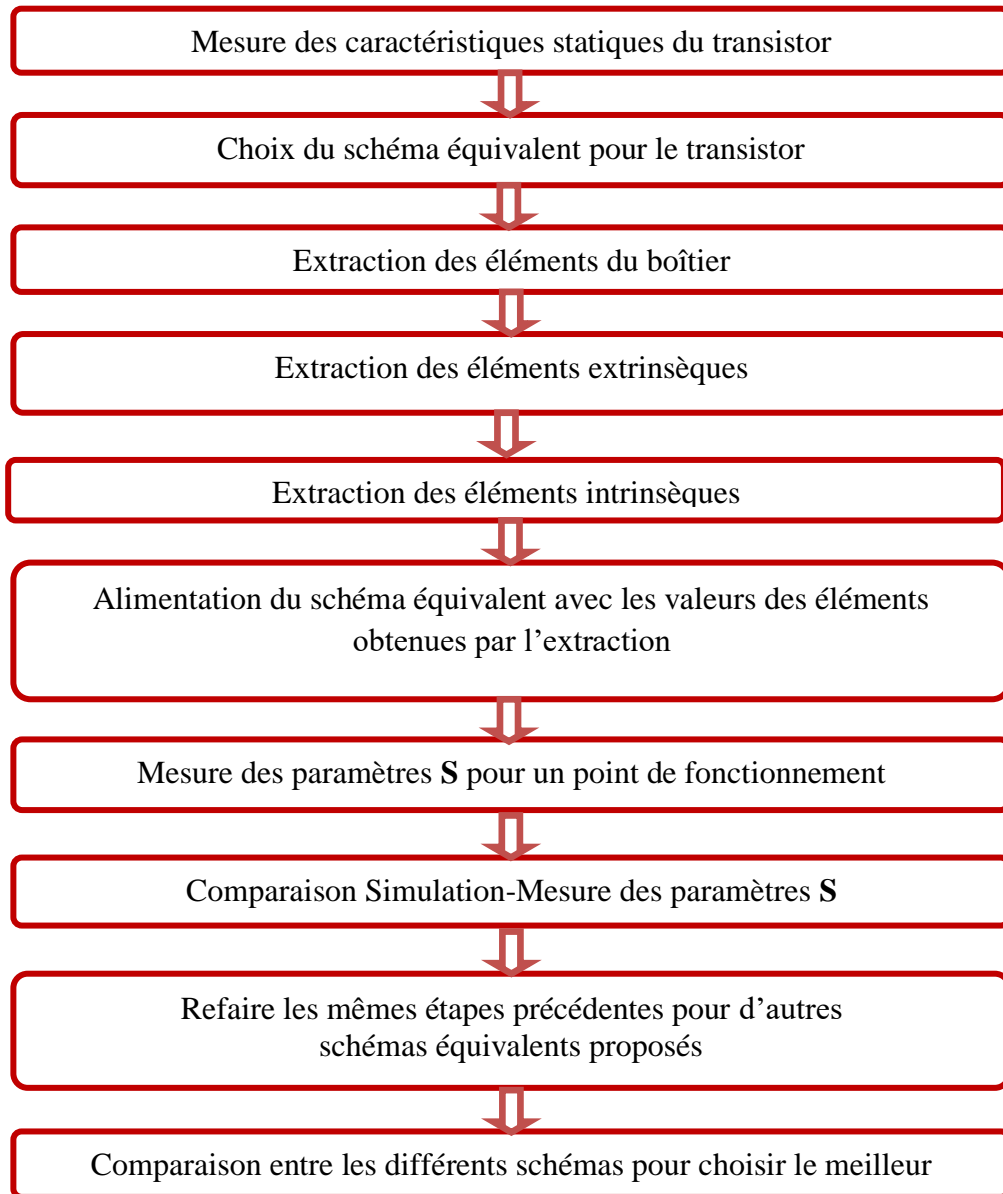


Figure III.1 : Diagramme du plan de travail de notre projet

Le processus de la modélisation **Figure III.2** est complété par une validation du modèle établi par la mesure. Les composants **RF** peuvent être extraits à partir des mesures hyperfréquence (paramètres **S**). La topologie du modèle est basée sur la définition des schémas équivalents électriques et des équations analytiques qui modélisent les différents effets. Ainsi, après l'application d'une méthode d'épluchage et la correction des différents paramètres **Y** vis-à-vis des impédances d'accès, la modélisation des effets physiques et l'extraction des lois analytiques peuvent commencer [6].

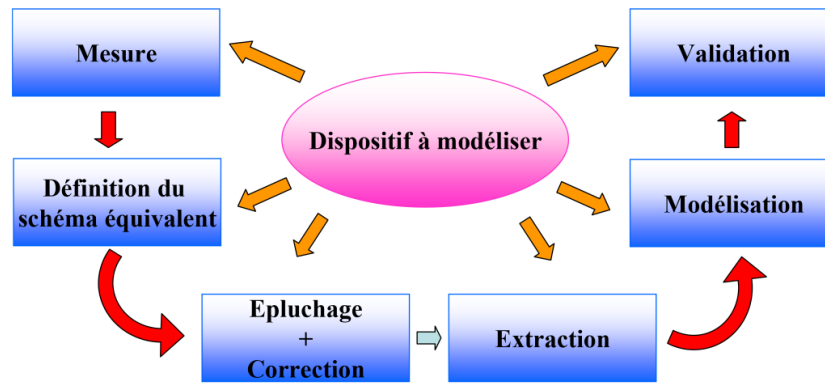


Figure III.2 : Schéma résumant les étapes de la modélisation des paramètres **RF** du transistor

3. Mesure des paramètres **S** :

Les paramètres **S** permettent de déterminer différents critères dynamiques du transistor. La première représentation électrique équivalente des composants hyperfréquences a été réalisée au milieu des années 80. Cette représentation avait pour objectif d'évaluer les caractéristiques hyperfréquences des composants avec des paramètres **S**.

Pour déterminer les éléments parasites, le transistor est assimilé à un quadripôle (**Figure III.3**) avec une entrée et une sortie. En régime hyperfréquence, les courants et les tensions sont difficiles à utiliser. Pour cela, le quadripôle est caractérisé par ses paramètres **S** [20, 21, 22]. Ensuite, à partir des paramètres **S**, on peut calculer les différents éléments du schéma équivalent du transistor (**Figure III.4**).

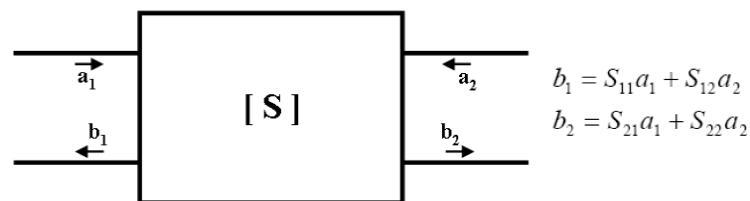


Figure III.3 : Présentation du transistor par un quadripôle

La mesure des paramètres **S** consiste en la détermination des rapports d'onde aux accès du transistor pour un point de fonctionnement linéaire (petit signal) autour du point de polarisation. Les paramètres **S** sont définis en petit signal par des équations reliant les ondes réfléchies (**b₁** et **b₂**), incidentes (**a₁** et **a₂**).

4. Schéma équivalent électrique :

Nous nous sommes basés sur un schéma équivalent (**SE**), largement utilisé dans la littérature [15, 16, 23], hérité de la culture des transistors **FET** en **III-V** [16,15]. Il est défini pour une topologie à source commune et un potentiel de substrat nul (connecté à la source). Les différents éléments électriques constituant le schéma équivalent représentent les diverses parties du transistor et leurs mécanismes physiques. D'après sa structure et son fonctionnement physique, le transistor (sans boîtier) est divisé en deux parties : sa partie intrinsèque et sa partie extrinsèque [24]. La partie intrinsèque correspond à la partie active du transistor, c'est-à-dire au canal. La partie extrinsèque correspond aux zones reliant la partie active du composant avec les métallisations de contact. De même, le schéma équivalent est constitué par ses éléments extrinsèques et ses éléments intrinsèques. Dans la littérature [25, 26, 27], on parle souvent de ces deux parties (intrinsèque et extrinsèque) pour la modélisation des transistors de type **FET** sans prendre en considération l'effet du boîtier. Or, on peut distinguer les applications où les circuits intégrés ne peuvent pas assurer toutes les performances demandées et, par conséquent, les composants discrets se révèlent indispensables. Il s'agit la plupart du temps de fonctions de commande qui demandent des puissances ou des tensions élevées tels que les amplificateurs de puissance [28, 29].

Les enjeux du packaging sont principalement [30] :

- La tenue mécanique, le package doit supporter les contraintes dues aux variations de température, et offrir une protection contre les chocs et la corrosion qui conduisent à une altération du scellement entre le substrat et le capot.
- La protection thermique.
- L'herméticité.
- La transmission de l'information et de l'énergie avec le **MEMS**, et donc les questions de connectique, électrique ou optique.

Dans ce travail, nous allons prendre en considération l'effet du boîtier du transistor, puisque le composant utilisé est de type **MOSFET** discret. Quelle que soit la partie, le circuit équivalent repose sur l'hypothèse que ses composants sont indépendants de la fréquence jusqu'à la fréquence de coupure du transistor [15]. En d'autres termes, le schéma équivalent utilisé suffit à décrire le comportement d'un transistor tant que ses composantes sont constantes en fonction de la fréquence.

Cette hypothèse est primordiale pour l'extraction des éléments du schéma équivalent à partir des mesures [15, 31].

Le schéma équivalent tel qu'il est usuellement utilisé est illustré sur la **Figure III.4** :

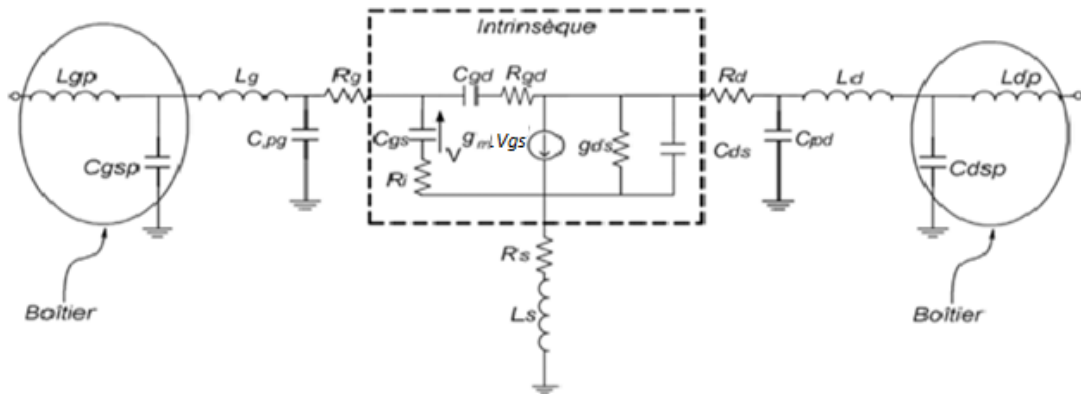


Figure III.4 : Modèle du transistor **MOS** en source commune incluant les éléments du boîtier

4.1. Eléments du boîtier :

Le transistor **LDMOSFET** utilisé est le **BLF2043F** de **NXP** Semi-conductors. C'est un transistor encapsulé dans un boîtier en céramique de type **SOT467C** (**Figure III.5**).

La source commune est connectée au support de fixation [15]. Pour cela, nous avons modélisé l'effet du boîtier en ajoutant les inductances L_{gp} et L_{dp} et les capacités C_{gsp} et C_{dsp} comme sur la **Figure III.6**.

L_{gp} et L_{dp} modélisent les inductances équivalentes des pattes (languettes) grille et drain du boîtier. C_{gsp} et C_{dsp} modélisent les capacités parasites entre les pattes grille et drain respectivement et celle de la source.

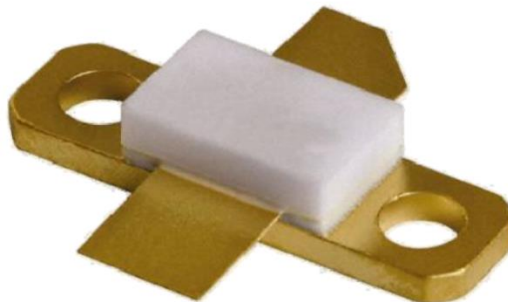


Figure III.5 : Photo du boîtier **SOT467C** utilisé pour les transistors **BLF2043F**

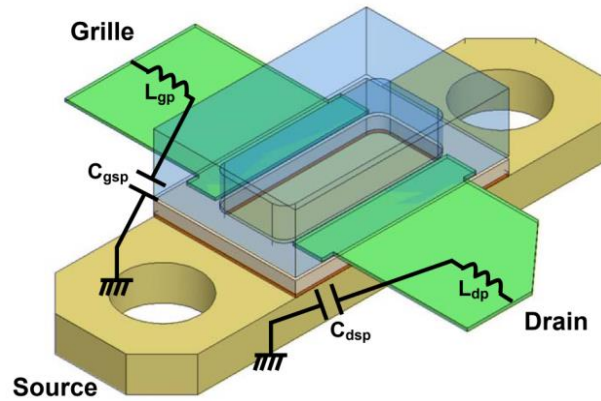


Figure III.6 : Origine physique des éléments du boîtier

4.2. Eléments Extrinsèques :

Les éléments extrinsèques du schéma équivalent sont illustrés sur la **Figure III.7**. Ils sont supposés indépendants des polarisations et du régime de fonctionnement du composant [20, 15].

Les résistances R_s et R_d modélisent la résistivité des caissons fortement dopés, respectivement, de source et de drain. La résistance R_g est due principalement à la résistance de la siliciuration de la grille, ainsi qu'aux pertes métalliques [15]. Ces résistances sont distribuées sur toute la largeur de la grille.

Il est important de noter que R_d et R_s sont inversement proportionnels à la largeur du transistor, alors que R_g est proportionnelle à la largeur totale. Les deux inductances L_g et L_d appelées aussi selfs parasites de connexion, modélisent les fils de connexion aux électrodes du composant. Le comportement inductif des fils de contact « bonding », peut être pris en compte par ces éléments [19]. L'inductance L_s modélise essentiellement les effets inductifs dus aux trous de contact afin de joindre le plan de masse de la puce « via-hole » [19]. Les capacités C_{pg} et C_{pd} sont des capacités électrostatiques parasites des plots de métallisation de grille et de drain par rapport au substrat [19].

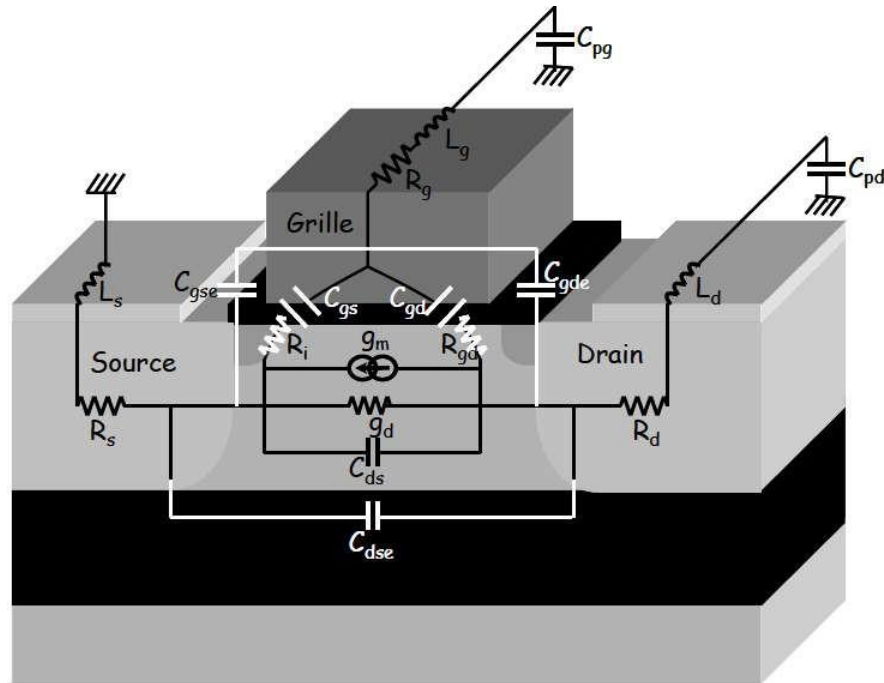


Figure III.7 : Eléments intrinsèques et extrinsèques d’un transistor MOS

4.3. Eléments Intrinsèques :

La **Figure III.8** montre le schéma équivalent de la partie intrinsèque. Chaque élément du schéma équivalent intrinsèque reflète un mécanisme physique ou une propriété électrique du transistor. Ces éléments sont des fonctions de la polarisation et de la longueur de grille. L’extraction de la partie intrinsèque du transistor se fait ensuite lorsque celui-ci est polarisé [6].

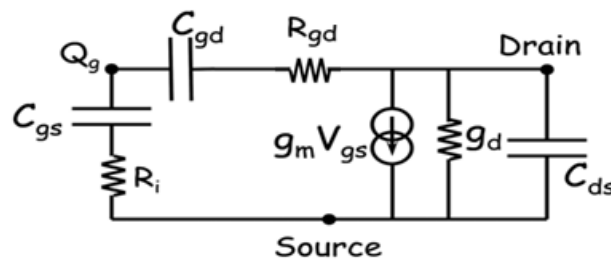


Figure III.8 : Schéma équivalent électrique de la partie intrinsèque d’un transistor MOS

L’effet transistor est modélisé par une source de courant donnée par $g_m V_{gs}$, g_m étant la transconductance et traduisant la commande du canal par la tension V_{gs} , V_{gs} est le signal appliqué aux bornes de la capacité C_{gs} . La transconductance est définie par [19] :

$$g_m = \frac{\partial I_{ds}(V_{gs}, V_{ds})}{\partial V_{gs}} \tag{III.1}$$

L'élément g_d représente la conductance de drain du transistor qui est définie par :

$$g_d = \frac{\partial I_{ds}(V_{gs}, V_{ds})}{\partial V_{ds}} \quad (\text{III.2})$$

Dans les équations (III.1) et (III.2), I_{ds} est le courant circulant entre le drain et la source du transistor et dépend des potentiels V_{gs} , V_{ds} et C_{ds} correspond aux capacités en série des jonctions de source et de drain. Elle est définie par la relation suivante :

$$C_{ds} = \frac{\partial Q_d(V_{gs}, V_{ds})}{\partial V_{ds}} \quad (\text{III.3})$$

Q_d est la charge accumulée sous l'électrode de drain.

Les capacités C_{gs} et C_{gd} sont les charges qui fluctuent en fonction du champ électrique émanant de la grille vers les métallisations, les régions N^+ de drain et de source. L'estimation de ces capacités dans un dispositif **MOSFET** est très importante, et cela particulièrement pour la simulation des circuits **RF** [6].

Ces capacités représentent la commande de la charge stockée sous l'effet des tensions V_{gs} et V_{gd} . Les équations décrivant leur évolution reposent sur le principe de la conservation de la charge. Ce principe assure la convergence des simulations en grand-signal et correspond à une réalité physique [19] :

$$C_{gs} = \frac{\partial Q_g(V_{gs}, V_{gd})}{\partial V_{gs}} \quad (\text{III.4})$$

$$C_{gd} = \frac{\partial Q_g(V_{gs}, V_{gd})}{\partial V_{gd}} \quad (\text{III.5})$$

Q_g est la charge totale stockée dans la grille et dépend aussi des potentiels V_{gs} et V_{ds} . Dans les équations (III.4) et (III.5), C_{gs} et C_{gd} sont définies par rapport aux potentiels V_{gs} et V_{gd} . Néanmoins, dans la topologie source commune, les potentiels de contrôle usuels sont V_{gs} et V_{ds} . A partir de la relation entre les trois potentiels ($V_{gd} = V_{gs} - V_{ds}$), C_{gs} et C_{gd} peuvent être exprimées sous la forme :

$$C_{gs} = \frac{\partial Q_g(V_{gs}, V_{ds})}{\partial V_{gs}} + \frac{\partial Q_g(V_{gs}, V_{ds})}{\partial V_{ds}} \quad (\text{III.6})$$

$$C_{gd} = \frac{\partial Q_g(V_{gs}, V_{ds})}{\partial V_{ds}} \quad (\text{III.7})$$

L'élément R_i est associé à des effets non quasi-statiques. La nature distribuée de la capacité de grille et de la résistance du canal entraîne la visualisation de la partie du canal sous la grille comme une ligne de transmission "R-C" non uniforme. L'impédance d'entrée de cette ligne est équivalente à la capacité grille-source en série avec la résistance R_i [19]. La détermination de cette résistance est encore difficile, surtout dans le domaine ohmique et les domaines très étroits. Cela dépend généralement de la tension de commande du composant. Cependant, elle montre sa limite lorsqu'on augmente la fréquence des composantes [19].

5. Détermination des éléments électriques du modèle :

Les éléments du schéma équivalent électrique petit signal sont déterminés en fonction des caractéristiques du transistor **MOS**, qui dépendent du mécanisme de polarisation et de la fréquence de fonctionnement. Elle se fait par étapes selon la méthode de dénuda gé «de-embedding», qui consiste à déterminer d'abord les éléments de l'enveloppe externe puis à déterminer les éléments extrinsèques pour se rapprocher progressivement de la région interne [15].

5.1. Extraction des éléments du boîtier :

Les transistors **LDMOSFET** de puissance sont disponibles généralement encapsulés en boîtier. Pour rendre possible l'extraction des éléments extrinsèques, il est nécessaire de commencer par déterminer leurs valeurs [15].

Le boîtier peut être modélisé en entrée par une inductance L_{gp} en série avec une capacité C_{gsp} . De même, en sortie il est modélisé par une inductance L_{dp} et une capacité C_{dsp} la **Figure III.7**. Pour les éléments du boîtier, nous allons prendre les valeurs obtenues par : **M. TAMOUM (Tableau III.2)** [15].

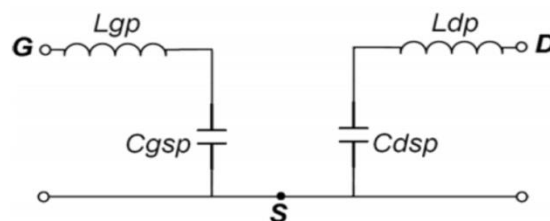


Figure III.9 : Schéma équivalent du boîtier du **LDMOS**

Eléments de boîtier	C_{gsp}	C_{dsp}	L_{gp}	L_{dp}
Unité	pF	pF	pH	pH
Valeur	4	3.9	0.1	0.1

Tableau III.1 : Eléments du boîtier LDMOS extraits

5.2. Extraction des éléments extrinsèques :

Les éléments extrinsèques sont la matérialisation des phénomènes que l'on qualifie de parasites. Ils ne participent pas à l'effet transistor qui se produit dans le canal. Ils sont engendrés le plus souvent par les métallisations d'accès à la zone active. Il est nécessaire de déterminer leurs valeurs pour rendre possible l'extraction des éléments intrinsèques et donc des données principales et primordiales du modèle. Plusieurs méthodes nous sont proposées pour leur extraction [19] :

a. Calcul analytique :

Cette méthode se base sur les simples lois ohmiques, elle utilise soit des équations empiriques dans le but de s'approcher le plus précisément possible des valeurs des composants du modèle, soit des équations de la physique des semi-conducteurs, qui se base sur les bonnes connaissances des propriétés physiques et géométriques du transistor. Cette technique est trop complexe et nécessite un temps de modélisation très grand. Le calcul analytique peut être considéré dans certains cas comme un point de départ pour d'autres techniques d'extraction telles que l'optimisation [19].

b. Optimisation :

Cette méthode consiste à trouver un algorithme qui minimise la fonction d'erreur entre les mesures et les valeurs simulées. D'une autre façon, on cherche pratiquement à optimiser les valeurs extrinsèques des composants du circuit équivalent pour qu'elles aient une réponse la plus identique possible à celle des mesures. Malgré la performance et la rapidité de cette méthode, elle nécessite cependant de connaître l'ordre de grandeur des valeurs recherchées, pour éviter de commettre des erreurs flagrantes [19].

c. Simulation électromagnétique :

Cette technique consiste à matérialiser les métallisations d'accès à la zone active du transistor, et simuler les paramètres **S** associés sur une bande de fréquences données. De ces paramètres **S** on en déduit des éléments extrinsèques localisés. Malgré que cette technique soit rapide et relativement précise [15], il faut bien noter qu'elle devra être associée à d'autres méthodes, car les paramètres **S** simulés à cette étape sont insuffisants pour déterminer les valeurs des éléments du circuit équivalent [19].

d. Méthode statistique :

Elle est basée sur une technique de régression linéaire. Elle permet, à partir d'une mesure de paramètres **S** à un point de polarisation donnée, de faire coïncider une expression analytique avec les paramètres **Z**, puis de faire une régression linéaire pour obtenir les paramètres **Z** à une fréquence hypothétique infinie et en déduire ainsi les éléments extrinsèques [15, 19].

e. Le FET « froid » (Cold FET) :

La technique de polarisation à froid (cold **FET**) a été introduite par **DIAMANT**. Elle permet de déterminer les résistances et les inductances parasites à partir des paramètres-S mesurés à une tension de drain nulle ($V_{ds} = 0 \text{ V}$). En 1988, **DAMBRINE** a publié une méthode qui permet d'obtenir les éléments parasites du **TEC** à partir des paramètres-S mesurés à ($V_{gs} > 0 \text{ V}$ et $V_{ds} = 0 \text{ V}$). La méthode d'extraction de **DAMBRINE** nécessite l'application d'un fort courant au niveau de la grille pour éliminer l'effet de la résistance différentielle de la diode de **Schottky**, ce qui conduit à un calcul direct de la résistance et de l'inductance parasites de grille [15]. Le schéma équivalent des **TEC** est subdivisé en deux parties : une partie intrinsèque qui représente le canal et une partie extrinsèque qui représente des éléments parasites. Le principe de la méthode est de polariser le transistor à froid pour pouvoir déterminer les éléments parasites [15]. Les états de polarisations sont :

$V_{ds} = 0 \text{ V}$ et $V_{gs} \gg V_{th}$: Le canal du transistor est en « Conduction », dans cet état on peut déterminer les valeurs des composants séries des éléments extrinsèques.

$V_{ds} = 0 \text{ V}$ et $V_{gs} \ll V_{gsh}$: Le canal du transistor est déplétif, on a alors accès aux valeurs des composants parallèles des éléments extrinsèques.

C'est une méthode fiable et largement utilisée dans la littérature scientifique [15]. Dans ce travail, on utilise la méthode du **FET** froid, l'extraction des éléments extrinsèques

du schéma équivalent se fait alors en polarisant la grille en directe, c'est-à dire en appliquant une tension $V_{gs} = 14V$ et $V_{ds} = 0V$. Ceci a pour effet de court-circuiter les éléments parallèles du schéma équivalent **MOSFET**, seuls les éléments séries sont pris en compte [15].

On note que les mesures sont faites par **M. TAMOUM**.

Les parties réelles et imaginaires des éléments de la matrice **Z** extraites des mesures permettent alors, par identification, de déterminer les éléments résistifs et les réactances de ce quadripôle, à savoir les résistances et inductances extrinsèques du transistor. Nous utilisons le principe d'extraction des éléments du schéma équivalent à polarisation froide, à savoir la méthode basée sur des transformations successives des paramètres **S** en paramètres **Z** ou **Y** selon la procédure d'épluchage [15] décrit dans le schéma de la **Figure III.10** :

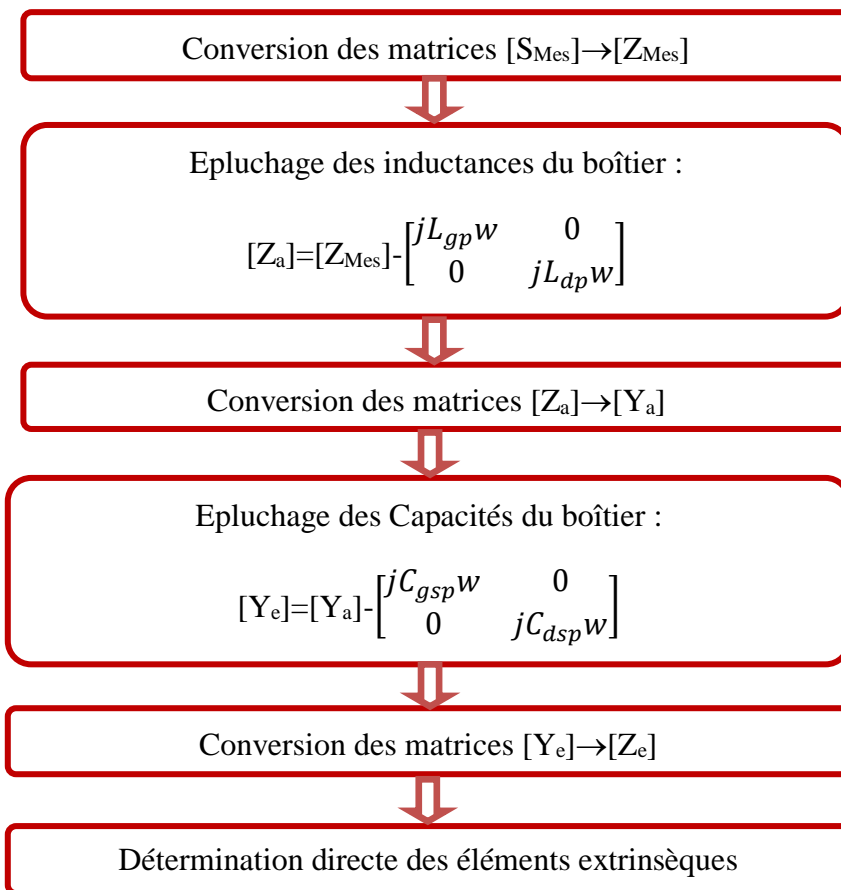


Figure III.10 : Procédure d'extraction des éléments extrinsèques du transistor **LDMOS** en boîtier

On en déduit les éléments extrinsèques en fonction des éléments de la matrice **[Ze]**.

A partir de la **Figure III.11**, la matrice $[Z_e]$ du quadripôle est exprimée comme suite [15] :

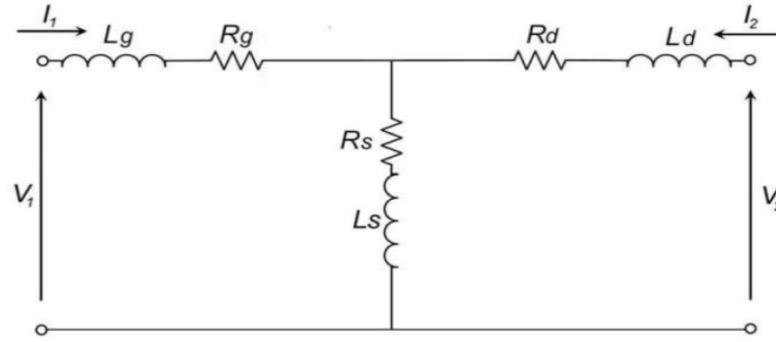


Figure III.11 : Schéma équivalent à polarisation froide sans boîtier

$$\begin{pmatrix} V_1 \\ V_2 \end{pmatrix} = \begin{pmatrix} I_1 \\ I_2 \end{pmatrix} \begin{pmatrix} Z_{11e} & Z_{12e} \\ Z_{21e} & Z_{22e} \end{pmatrix} \Rightarrow \begin{cases} V_1 = Z_{11e}I_1 + Z_{12e}I_2 \\ V_2 = Z_{21e}I_1 + Z_{22e}I_2 \end{cases} \quad (\text{III.8})$$

$$Z_{11e} = \left. \frac{V_1}{I_1} \right|_{I_2=0} = (R_g + R_s) + j\omega(L_g + L_s) \quad (\text{III.9})$$

$$Z_{12e} = \left. \frac{V_1}{I_2} \right|_{I_1=0} = R_s + j\omega L_s \quad (\text{III.10})$$

$$Z_{21e} = \left. \frac{V_2}{I_1} \right|_{I_2=0} = R_s + j\omega L_s \quad (\text{III.11})$$

$$Z_{22e} = \left. \frac{V_2}{I_2} \right|_{I_1=0} = (R_d + R_s) + j\omega(L_d + L_s) \quad (\text{III.12})$$

$$[Z_e] = \begin{bmatrix} (R_g + R_s) + j\omega(L_g + L_s) & R_s + j\omega L_s \\ R_s + j\omega L_s & (R_d + R_s) + j\omega(L_d + L_s) \end{bmatrix} \quad (\text{III.13})$$

Les éléments électriques extrinsèques sont donc exprimés comme suit [15] :

$$R_g = R_e(Z_{11e}) - R_e(Z_{12e}) \quad (\text{III.14})$$

$$R_d = R_e(Z_{22e}) - R_e(Z_{12e}) \quad (\text{III.15})$$

$$R_s = R_e(Z_{12e}) \quad (\text{III.16})$$

$$L_g = \frac{[\text{Im}(Z_{11e}) - \text{Im}(Z_{12e})]}{2. \pi. f} \quad (\text{III.17})$$

$$L_d = \frac{[\text{Im}(Z_{22e}) - \text{Im}(Z_{12e})]}{2. \pi. f} \quad (\text{III.18})$$

$$L_s = \frac{[\text{Im}(Z_{12e})]}{2. \pi. f} \quad (\text{III.19})$$

La **Figure III.12** illustre les graphes des éléments extrinsèques en fonction de la fréquence à $V_{ds} = 0V$ et $V_{gs} = 14V$:

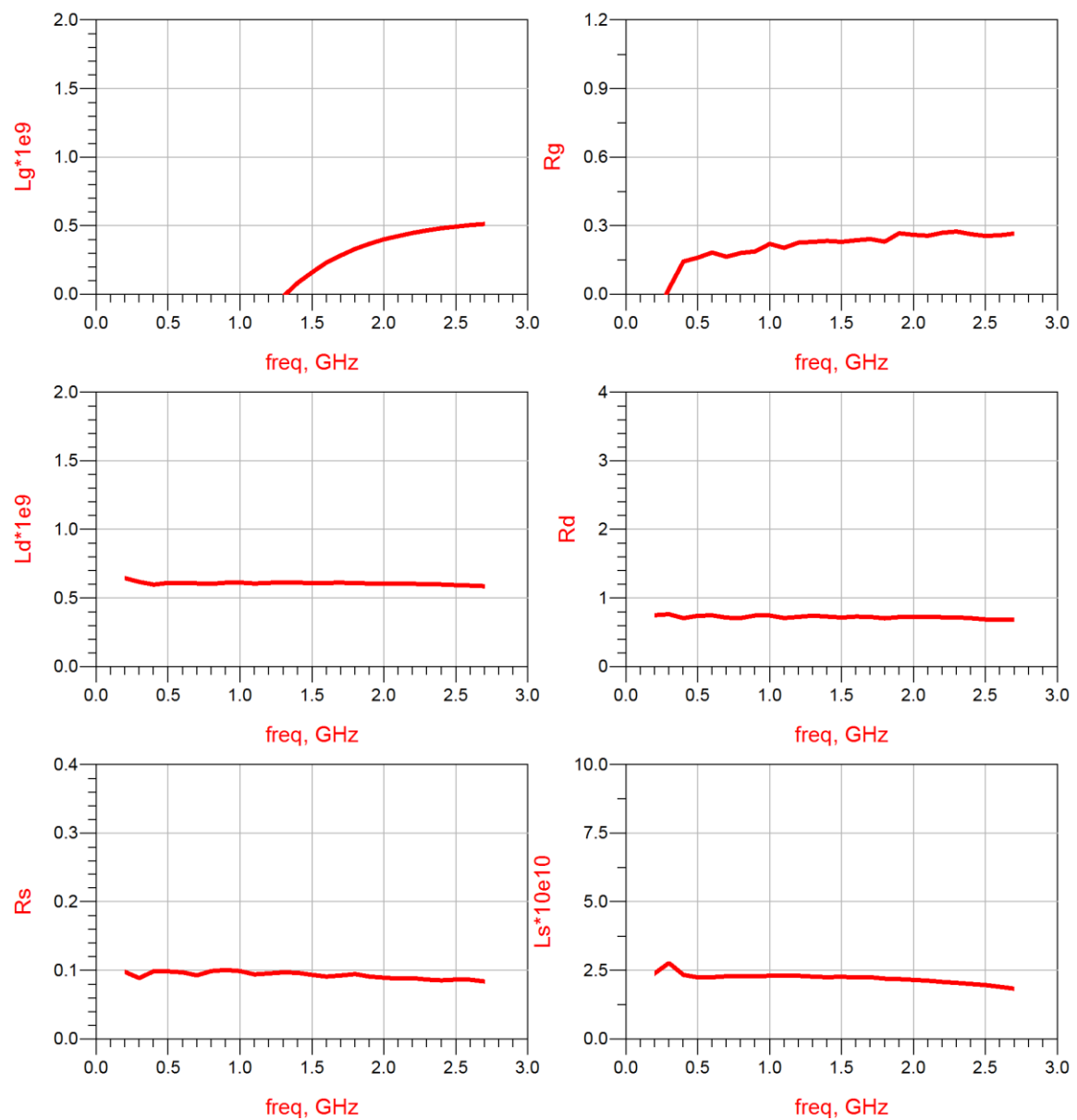


Figure III.12 : Eléments extrinsèques L_g , L_d , L_s , R_g , R_d et R_s extrait en fonction de la fréquences pour $V_{ds} = 0V$ et $V_{gs} = 14V$

On remarque que les graphiques des éléments extrinsèques R_g , R_d , R_s , L_d et L_s sont très plats, ce qui signifie que leurs valeurs sont indépendantes de la fréquence.

Pour l'inductance L_g , on remarque que la courbe n'est pas plate, ce qui s'explique par la sensibilité de l'inductance L_g aux erreurs de mesure de l'analyseur de réseau.

On utilise des valeurs positives de L_g pour les hautes fréquences, on constate une convergence de valeurs stables. Cette valeur a une signification physique, comme nous le verrons plus loin dans ce chapitre. Les valeurs des éléments extrinsèques extraits sont données dans le **tableau III.2** :

Eléments extrinsèques extraits	L_g	L_d	L_s	R_g	R_d	R_s
Unité	nH	nH	pH	Ω	Ω	Ω
Valeur	0.68	0.61	22.4	0.25	0.75	0.09

Tableau III.2 : Valeurs des éléments extrinsèques extraites

5.3. Extraction des éléments intrinsèques :

Une fois tous les éléments extrinsèques sont déterminés, nous pouvons directement extraire les éléments intrinsèques à partir de la matrice Y_i calculée selon la procédure présentée par l'organigramme de la **Figure III.13**. Les paramètres intrinsèques vont être déterminés à partir des mesures des paramètres de dispersion pour une polarisation donnée. Connaissant tous les paramètres extrinsèques, nous allons calculer la matrice admittance intrinsèque du schéma équivalent en utilisant une procédure d'épluchage dite de « **deembedding** » qui consistent plusieurs transformations de matrice S vers une matrice impédance par élimination de l'élément série ou vers une matrice admittance par suppression de l'élément parasite parallèle [15].

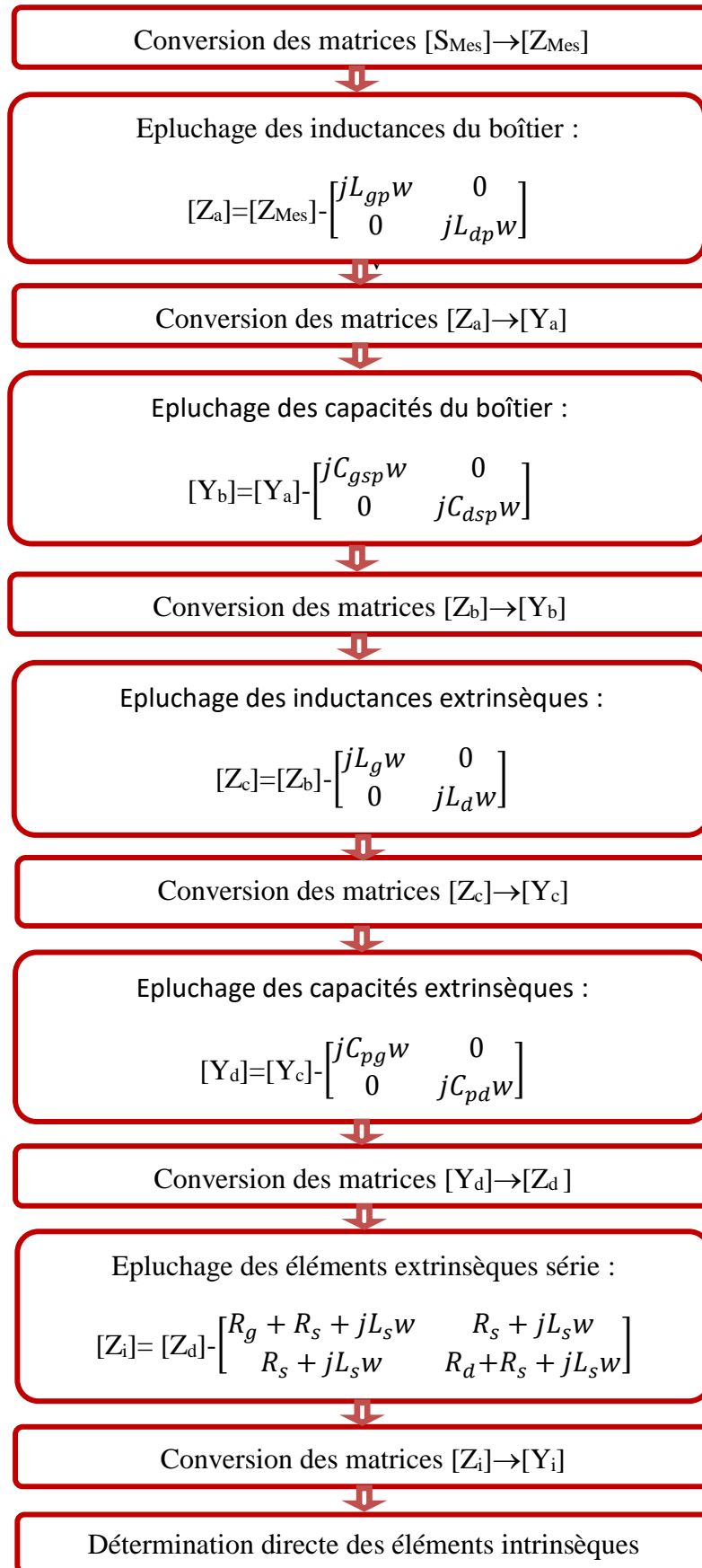


Figure III.13 : Procédure d'extraction des éléments intrinsèques du composant

La matrice $[Y_i]$ est donnée comme suit [15] :

$$[Y_i] = \begin{bmatrix} Y_{11i} & Y_{12i} \\ Y_{21i} & Y_{22i} \end{bmatrix} = \begin{bmatrix} \frac{jC_{gs}w}{1 + jR_{ij}C_{gs}w} + jC_{gd}w & -jC_{gd}w \\ \frac{g_m}{1 + jR_{ij}C_{gs}w} - jC_{gd}w & g_d + jw(C_{ds} + C_{gd}) \end{bmatrix} \quad (III.20)$$

$$C_{gs} = \left[\frac{\text{Im}(Y_{11i}) + \text{Im}(Y_{12i})}{w} \left[1 + \frac{(\text{Re}(Y_{11i}) + \text{Re}(Y_{12i}))^2}{(\text{Im}(Y_{11i}) + \text{Im}(Y_{12i}))^2} \right] \right] \quad (III.21)$$

$$C_{gd} = \left[\frac{-\text{Im}(Y_{12i})}{w} \left[1 + \frac{\text{Re}(Y_{12i})^2}{\text{Im}(Y_{12i})^2} \right] \right] \quad (III.22)$$

$$g_d = \text{Re}(Z_{22i}) - \text{Re}(Z_{12i}) \quad (III.23)$$

$$C_{ds} = \frac{[\text{Im}(Z_{22i}) - \text{Im}(Z_{12i})]}{w} \quad (III.24)$$

$$g_m = \sqrt{(1 + ((R_i C_{gs} w)^2)) [[\text{Re}(Y_{21i}) - \text{Re}(Y_{12i})]^2 + [\text{Im}(Y_{21i}) - \text{Im}(Y_{12i})]^2]} \quad (III.25)$$

$$R_i = \frac{\text{Re}(Y_{11i}) + \text{Re}(Y_{12i})}{C_{gs}w[\text{Im}(Y_{11i}) - \text{Im}(Y_{12i})]} \quad (III.26)$$

$$R_{gd} = \frac{\text{Re}(Y_{12i})}{C_{gd}w[\text{Im}(Y_{12i})]} \quad (III.27)$$

La **Figure III.14** illustre les graphes des éléments intrinsèques en fonction de la fréquence à $V_{ds} = 4.8V$ et $V_{gs} = 26V$:

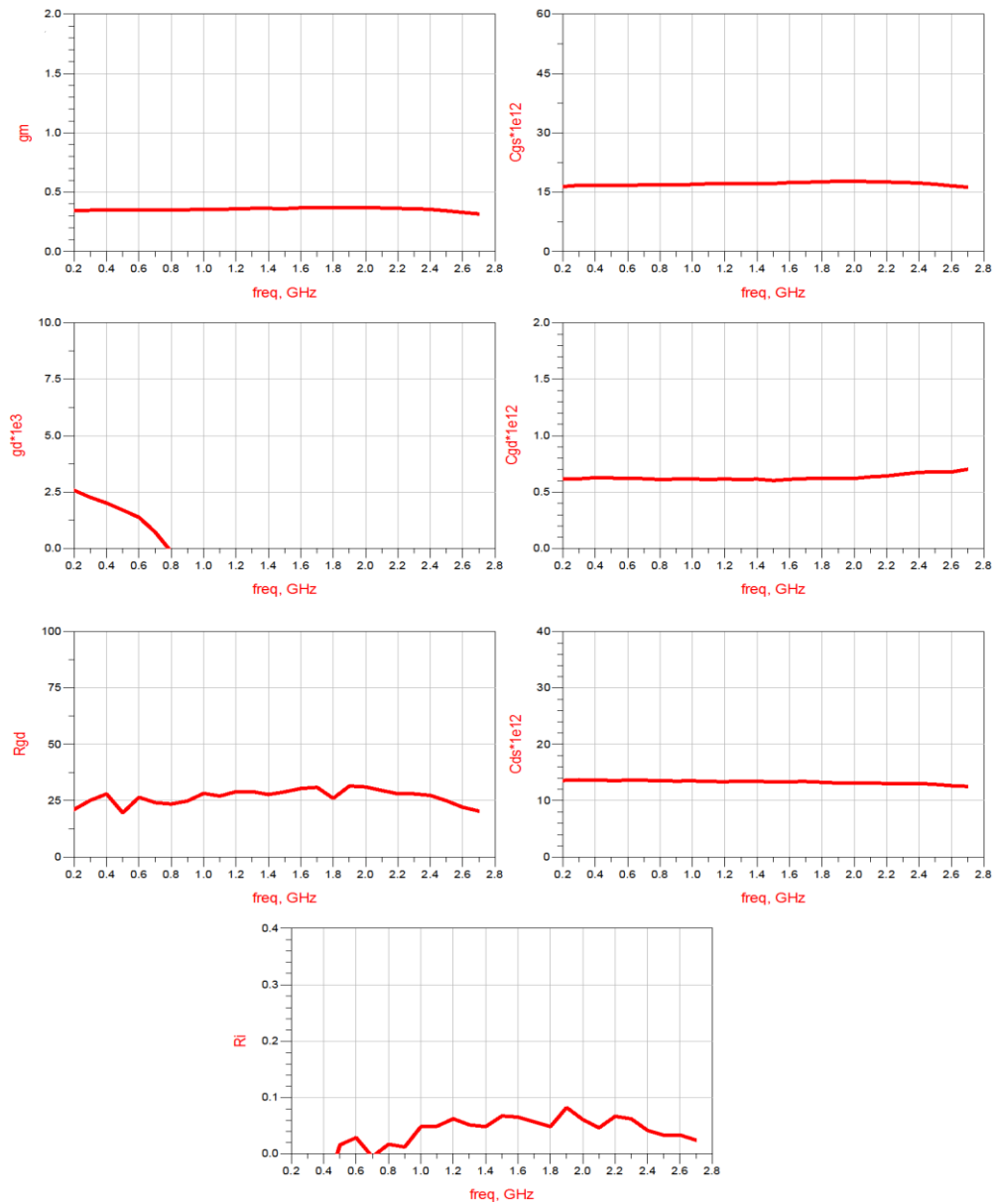


Figure III.14 : Eléments intrinsèques g_m , g_d , R_{gd} , C_{gs} , C_{gd} , C_{ds} et R_i extraits à $V_{ds} = 26V$ et $V_{gs} = 4.8V$

A partir des résultats obtenus, on note les valeurs des éléments suivants : (C_{gs} , C_{gd} , C_{ds} , R_{gd} et g_m) et nous remarquons qu'ils sont constants dans la bande **0,2-2,7 GHz**.

La conductance g_d varie significativement avec la fréquence, c'est-à-dire plus la fréquence augmente, plus la valeur de g_d est devient très faible, ce qui n'a aucune signification physique. Cette variation est due à l'erreur de mesure des paramètres S . Nous prenons comme valeur de g_d celle de la fréquence minimale.

D'autre part, la valeur de la résistance R_i n'est pas stable et est très faible (environ $0,06\Omega$).

Le **Tableau III.3** donne les valeurs des éléments intrinsèques ainsi obtenus pour le transistor **BLF2043F** à $V_{ds} = 26V$ et $V_{gs} = 4.8V$:

Eléments intrinsèques extraits	C_{gs}	C_{gd}	C_{ds}	R_i	R_{gd}	g_d	g_m
Unité	pF	pF	pF	Ω	Ω	mS	mS
Valeur	17.2	0.62	13.5	0.06	28	2.57	360

Tableau III.3 : Eléments intrinsèques extraits à $V_{ds} = 26V$ et $V_{gs} = 4.8V$

6. Conclusion :

A travers ce chapitre, nous avons utilisé la simulation des transistors **LDMOS** dans le domaine des hyperfréquences. Nous avons abordé la modélisation empirique comme solutions, et nous nous sommes basés sur un schéma équivalent choisi. Pour extraire les éléments de ce dernier, nous avons utilisé la méthode d'épluchage élaborée et développée par **G. DAMBRINE** à l'aide du simulateur **ADS** d'Agilent Technologies, qui est largement utilisé par les concepteurs de circuits intégrés en micro-ondes.

Tout d'abord, nous décrivons le circuit équivalent du transistor **LDMOSFET** en donnant une signification physique à chaque élément.

Par la suite, nous illustrons le processus d'extraction des différents éléments (intrinsèque, extrinsèque et du boîtier) basé sur des mesures hyperfréquences des paramètres **S**.

Dans le chapitre qui suit, nous allons appliquer la méthode d'extraction expliquée précédemment pour d'autres schémas équivalents afin de les comparer et de choisir parmi eux le meilleur schéma pour modéliser ce transistor en termes de précision et/ou simplicité.

Chapitre IV :

**Comparaison des Résultats
et Interprétations**

1. Introduction :

Dans le chapitre précédent, nous avons étudié en détail la technique d'extraction des éléments électriques du modèle, basée sur des mesures hyperfréquences des paramètres **S**.

Concernant ce chapitre, tout d'abord, nous allons valider notre modèle en faisant une comparaison entre les paramètres **S** mesurés et ceux calculés du premier schéma utilisé, qui est le schéma qui contient le plus d'éléments. Puis, nous allons introduire d'autres schémas équivalents et nous les étudierons de la même façon précédente. Nous allons commencer par le schéma global, ensuite, nous éliminerons à chaque fois un ou deux éléments jusqu'à atteindre le schéma le plus simple possible.

Enfin, nous confrontons les résultats de chaque schéma avec la mesure afin de choisir le meilleur d'entre eux en se basant sur la précision et la simplicité.

2. Nécessité de la simulation :

Les dispositifs hyperfréquences sont de plus en plus utilisés de nos jours. Il devient primordial de pouvoir les simuler avec précision avant la réalisation. Le but final est d'avoir un circuit qui une fois réalisé, fonctionne du premier coup tout en respectant les contraintes du cahier de charge et cela avec la moindre retouche possible. Nous évitons ainsi un surcoût inutile lié à la réalisation d'un grand nombre de maquette de tests tout en réduisant considérablement le temps de conception. Il est alors possible de maîtriser et réduire le coût final du produit [19]. Pour atteindre ces objectifs, il est nécessaire de disposer d'outils adéquats tels que des logiciels commerciaux de **CAO**. Afin de tenir compte de tous les éléments du modèle équivalent du transistor, nous avons eu recours au simulateur **ADS** qui est largement utilisé dans l'industrie et la recherche [19].

3. Logiciel de simulation ADS :

Le logiciel **ADS** est un logiciel de simulation des systèmes électroniques pour les **RF** et les hyperfréquences. Les applications visées sont très vastes et comprennent le domaine de la téléphonie mobile, les réseaux sans fil, et les systèmes de communications radar et satellite. Il offre des possibilités de conception et de simulation pour les domaines des radiofréquences et des micro-ondes et se divise en 2 modules « **Analog RF Designer** » et « **Digital Signal Processing Designer** » pouvant interagir entre eux :

- La conception de circuits intégrés monolithiques (**MMICs**) ou hybrides (avec des Composants Montés en Surface : **CMS**).
- La conception de nouvelles architectures pour les futures normes de télécommunications sans fils [33, 34].

Sous sa plus simple forme, **ADS** a la même fonctionnalité que d'autres programmes **SPICE** comme **PSPICE**. Il a une interface utilisateur graphique pour tracer le schéma du circuit (entrée schématique). Comme beaucoup de programmes commerciaux **SPICE**, le logiciel vient avec un nombre considérable des bibliothèques prédéfinies. Puisque le logiciel **ADS** est destiné aux applications radiofréquences, la majorité des dispositifs dans sa bibliothèque sont des dispositifs **RF** et micro-ondes. Cependant, il y'a peu de **FETs** et de **BJTs** basse fréquences [35].

4. Techniques de simulation :

Il existe plusieurs techniques de simulation dans **ADS** telles que [19, 33] :

- **Simulation DC** : Elle détermine le comportement en régime statique du système.
- **Simulation AC** : Elle effectue essentiellement une analyse du circuit en petit signal.
- **Simulation des paramètres S** : Elle assure la détermination des rapports d'onde aux accès du système pour un point de fonctionnement linéarisé autour d'un point de polarisation.
- **Simulation temporelle (transitoire)** : Elle permet la détermination de l'évolution temporelle des signaux du système.
- **Simulation en équilibrage harmonique** : Elle détermine le régime établi dans le domaine fréquentiel.
- **Simulation d'enveloppe** : Elle détermine le régime transitoire des enveloppes des signaux.

Dans notre projet nous avons utilisé la technique de simulation des paramètres **S** à l'aide du simulateur **ADS**.

5. Intégration du schéma équivalent dans le simulateur :

Nous avons implanté les paramètres **S** mesurés par **M. TAMOUM** sur la gamme de fréquences de travail (**0.2 à 2.7GHz**) à l'aide d'un analyseur de réseau vectoriel (**VNA**) dans un fichier (**.S2P**) pour ($V_{gs} = 4.8V$, $V_{ds} = 26V$). La **Figure IV.1** montre le design utilisé pour la visualisation des paramètres **S** mesurés sous **ADS**. Notons que :

- **S2P** est un composant dans le simulateur **ADS** à deux ports, le **port 1** supposé port d'entrée est relié au **term 1**, et le **port 2** de la sortie reliée au **term 2**.
- Le fichier des mesures **S2P** (dans notre cas « **ALM22010.S2P** ») doit être copié dans le dossier **data** du projet.
- **S-PARAMETERS** dans lequel on peut indiquer les fréquences de début, de fin et le pas est le simulateur utilisé pour afficher les paramètres **S**.

Par conséquent, nous pouvons visualiser les différents résultats sous forme d'abaque de Smith, de courbes de module et de phase, ou encore sous forme de tableaux de valeurs.

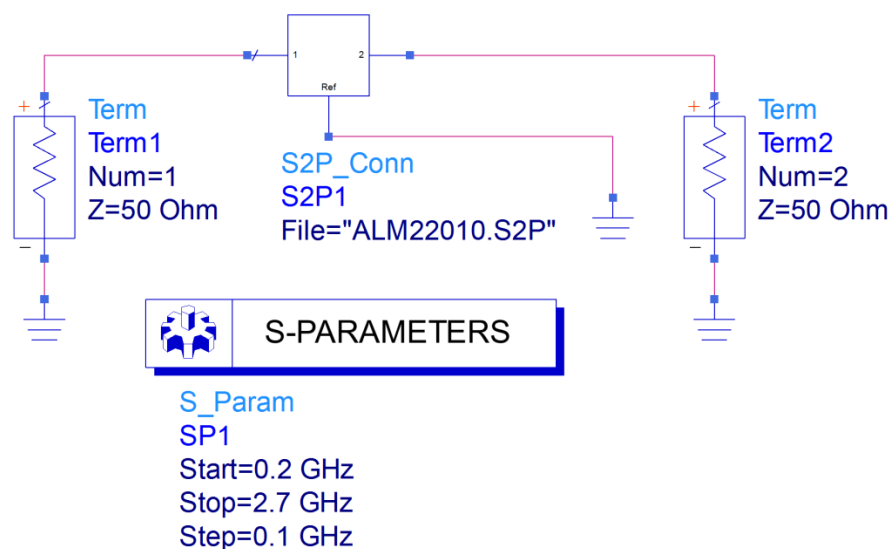


Figure IV.1 : Design utilisé pour la visualisation des paramètres **S** mesurés sous **ADS**

Un bon avantage d'**ADS** c'est qu'il permet de visualiser les résultats de plusieurs designs en même temps, et donc la possibilité de comparer les résultats des mesures avec ceux des calculs. Après la simulation en rajoutant dans **ADS** les équations décrivant les différentes transformations des paramètres **S** en paramètres **Z** ou **Y** ainsi que les équations décrivant les éléments intrinsèques afin d'extraire leurs valeurs.

5.1. Paramètres S mesurés :

Les paramètres S mesurés sont représentés sur d'abaque de Smith de la **Figure IV.2** :

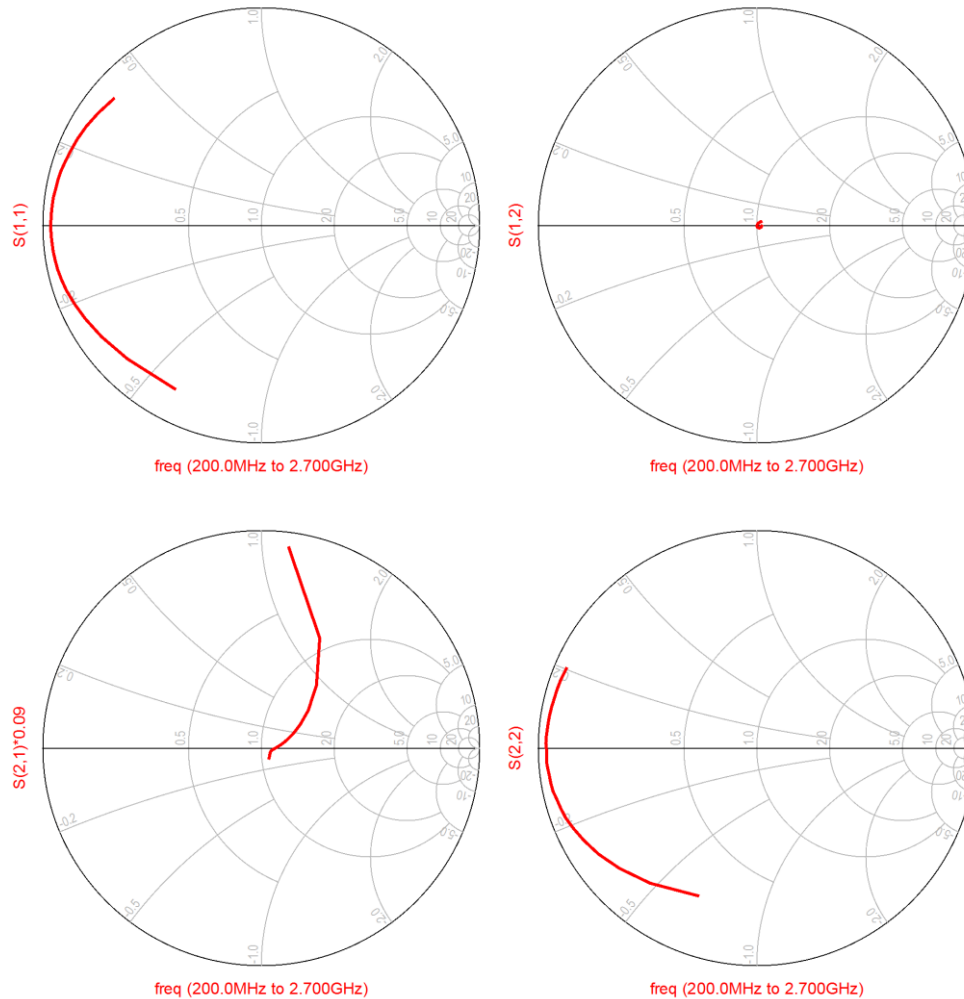


Figure IV.2 : Paramètres S mesurés pour $V_{ds} = 26V$ et $V_{gs} = 4.8V$

5.2. Paramètres S simulés :

Le modèle implémenté sur ADS qui concerne notre premier schéma équivalent, alimenté par les valeurs des éléments extraits dans le **Chapitre III** (boîtier, extrinsèques et intrinsèques) est illustré sur la **Figure IV.3** :

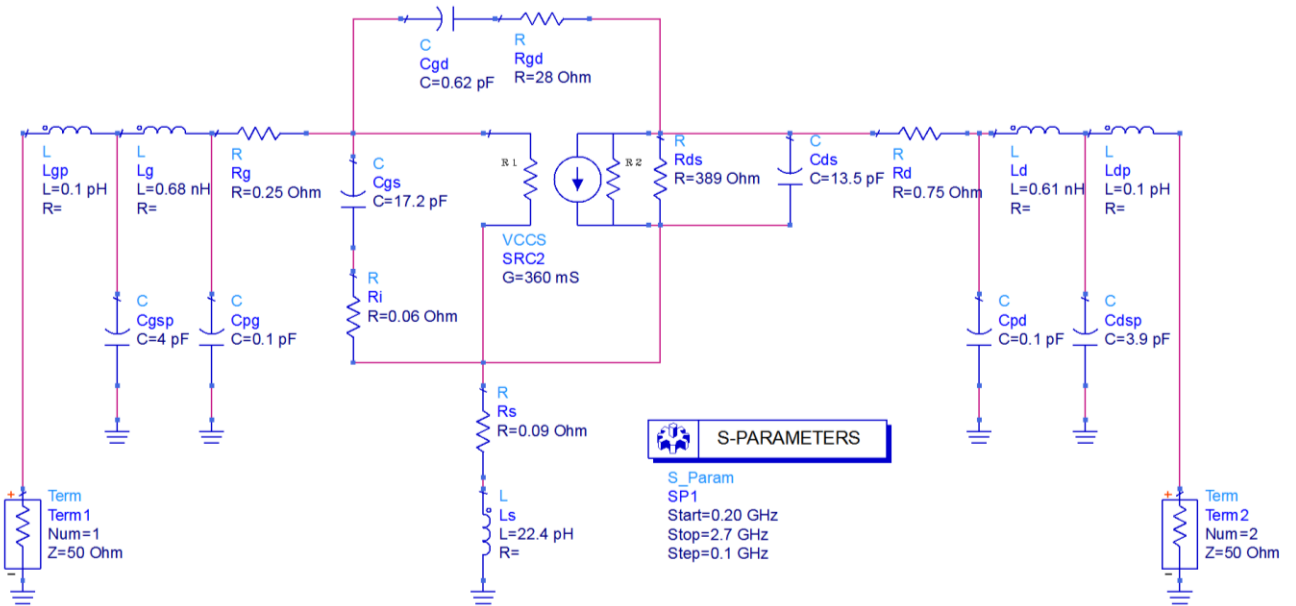


Figure IV.3 : Schéma équivalent introduit dans le simulateur ADS

Les paramètres **S** simulés sont représentés sur la **Figure IV.4 :**

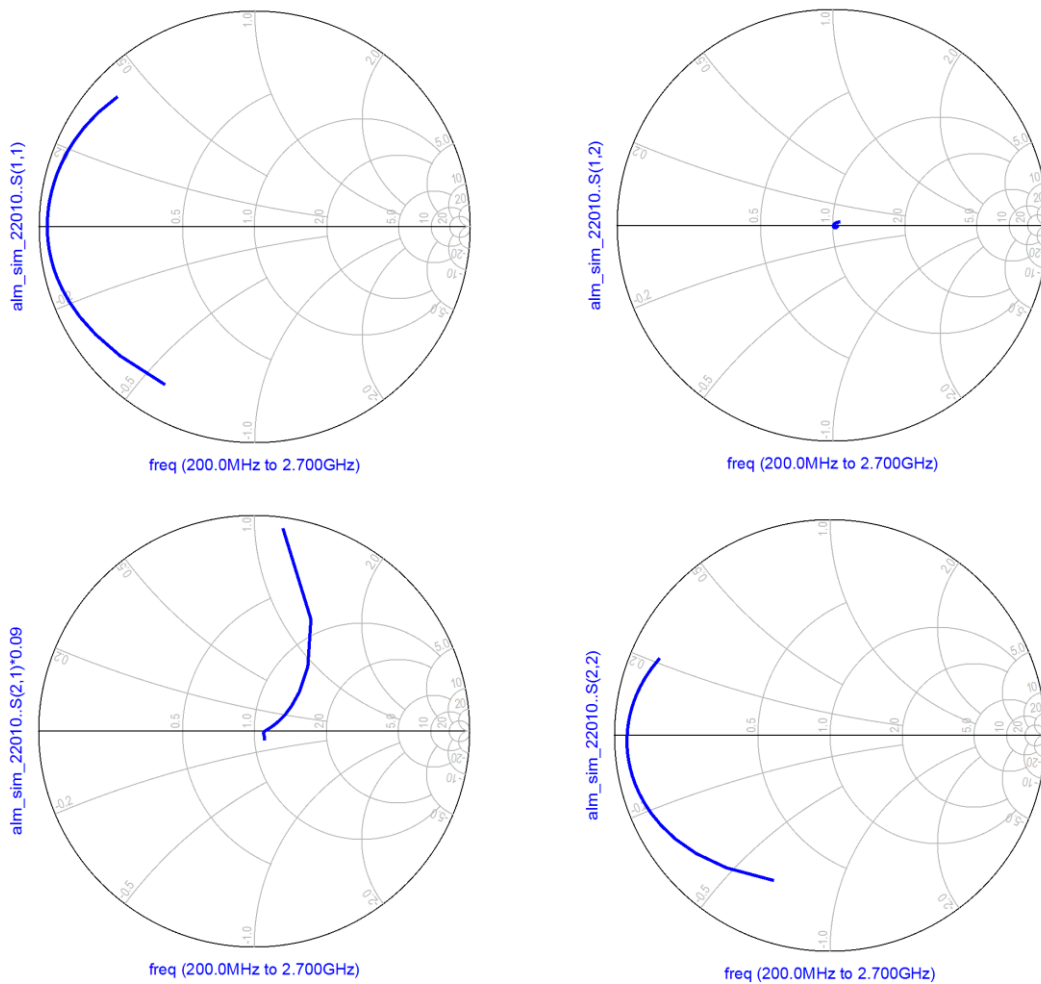


Figure IV.4 : Paramètres **S** simulés pour $V_{ds} = 26V$ et $V_{gs} = 4.8V$

6. Validation du model :

La validation du modèle consiste en une comparaison entre les paramètres **S** simulés et ceux mesurés. La **Figure IV.5** illustre les paramètres **S** mesurés et simulés du premier schéma équivalent sur la gamme de fréquence **0.2GHz-2.7GHz** :

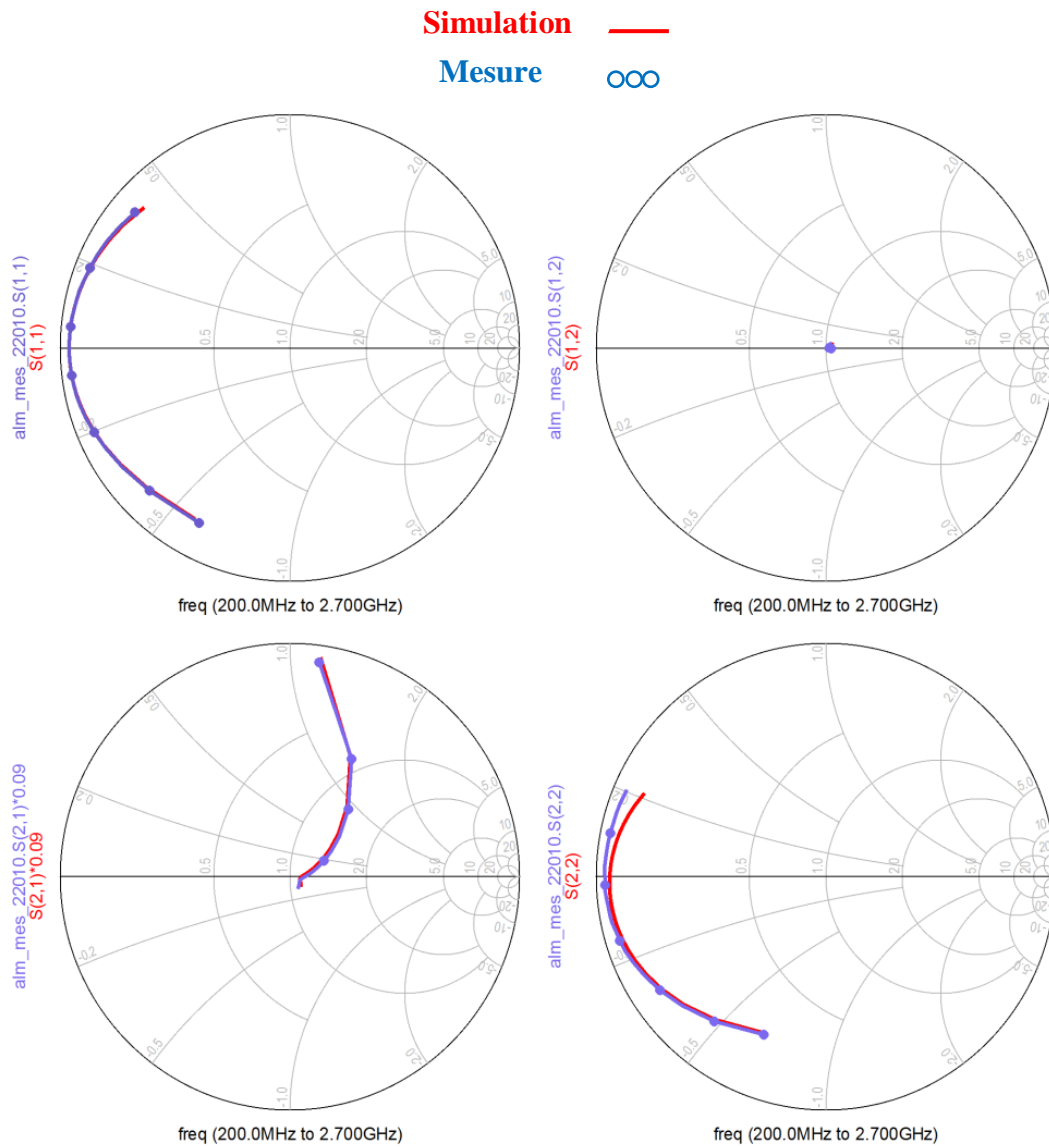


Figure IV.5 : Comparaison entre les paramètres **S** mesurés et simulés pour $V_{ds} = 26V$ et $V_{gs} = 4.8V$ pour le schéma 1

Les résultats donnés par la simulation se rapprochent bien de la mesure. Nous observons une excellente concordance de ces évolutions, ce qui traduit une reproduction satisfaisante du fonctionnement du composant et une bonne prédiction de ses performances.

7. Présentations des modèles à étudier et intégration des schémas dans le logiciel ADS après extraction de leurs éléments :

Jusqu'à présent, nous étions entrain d'examiner un schéma d'une manière globale qui contient le plus possible d'éléments, appelé le schéma équivalent 1. Dans la suite, nous présenterons d'autres schémas équivalents en supprimant à chaque fois un ou deux éléments du circuit étudiée pour le simplifier, et nous les étudierons de la même manière expliquée précédemment.

7.1. Schéma équivalent 2 :

Pour le deuxième schéma proposé dans notre étude, on enlève la résistance R_{gd} comme est-il illustré sur la **Figure IV.6**. Un schéma similaire a été utilisé dans la référence [15, 19].

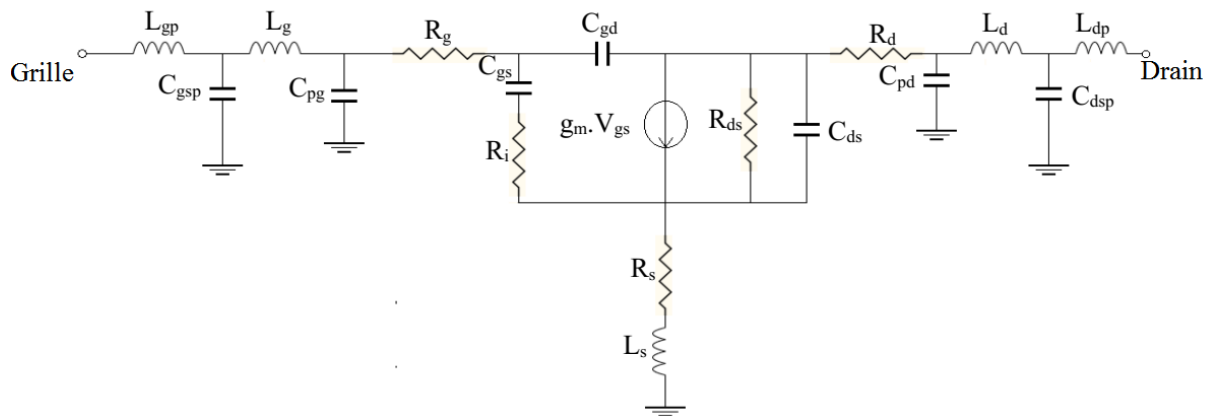


Figure IV.6 : Modèle électrique 2 du transistor LDMOS

L'organigramme d'extraction est le même que celui du premier schéma équivalent du troisième chapitre (la **Figure III.13**). On supprime l'équation concernant la détermination de la valeur de R_{gd} du programme.

Les éléments intrinsèques extraits du transistor à $V_{ds} = 26V$ et $V_{gs} = 4.8V$ sont illustrés sur la **Figure IV.7** :

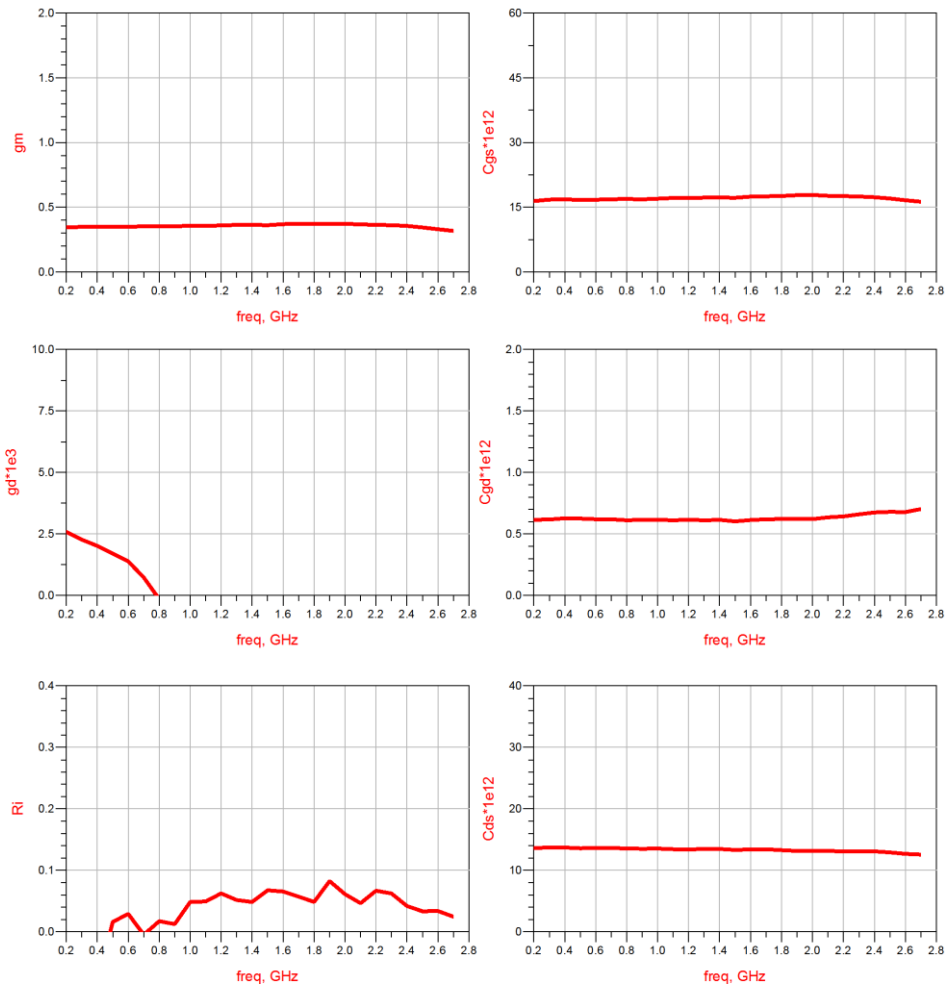


Figure IV.7 : Eléments intrinsèques g_d , g_m , C_{gs} , C_{gd} , C_{ds} et R_i extraits du schéma 2

Le **Tableau IV.1** donne les valeurs des éléments intrinsèques pour le schéma 2 :

Eléments intrinsèques extrait	C_{gs}	C_{gd}	C_{ds}	g_m	g_d	R_i
Unité	pF	pF	pF	Ω	mS	mS
Valeur	17.19	0.62	13.6	364	2.57	0.07

Tableau IV.1 : Eléments intrinsèques extraits à $V_{ds} = 26V$ et $V_{gs} = 4.8V$ pour le schéma 2

A partir des résultats obtenus, on remarque que : les paramètres C_{gd} , g_d ne changent pas par rapport au premier essai par contre nous avons noté un léger changement des éléments suivants : C_{gs} , C_{ds} , g_m et R_i .

Le design implémenté sur ADS de notre deuxième modèle électrique alimenté par les valeurs des éléments extraites est illustré sur la **Figure IV.8** :

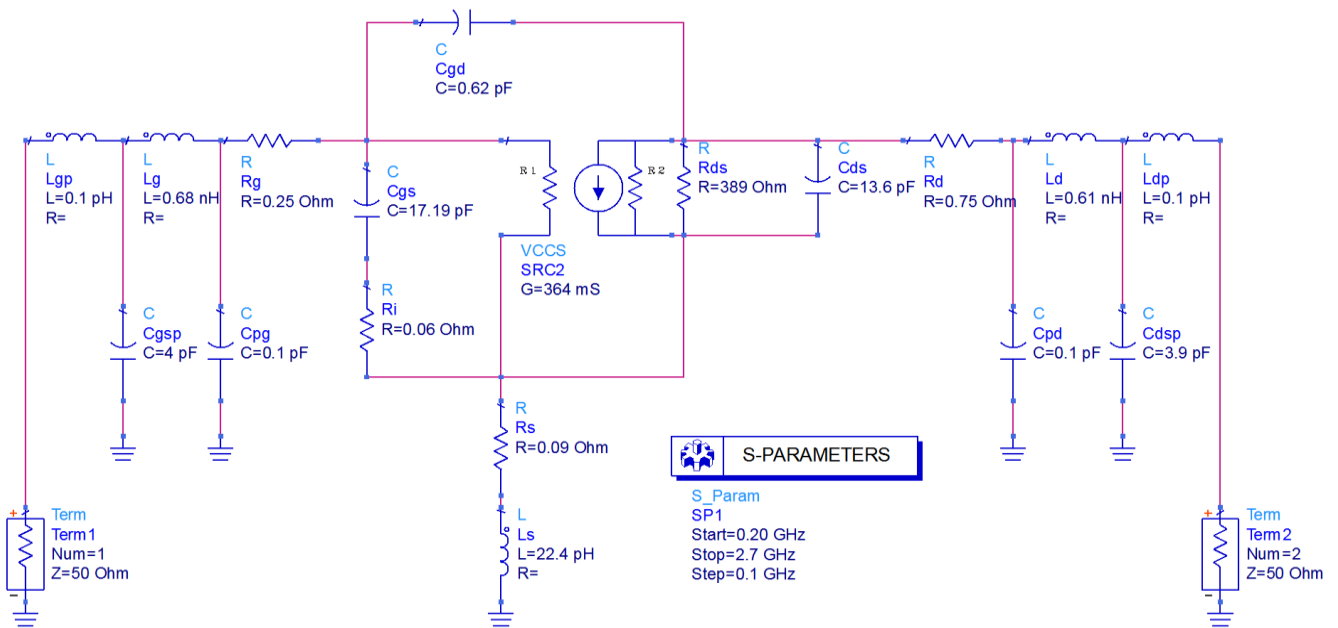


Figure IV.8 : Schéma équivalent 2 introduit dans le simulateur ADS

7.2. Schéma équivalent 3 :

Pour le troisième schéma étudié dans notre travail, on enlève encore la résistance R_i comme dans la **Figure IV.9**. Il a été inspiré des références, [19, 15].

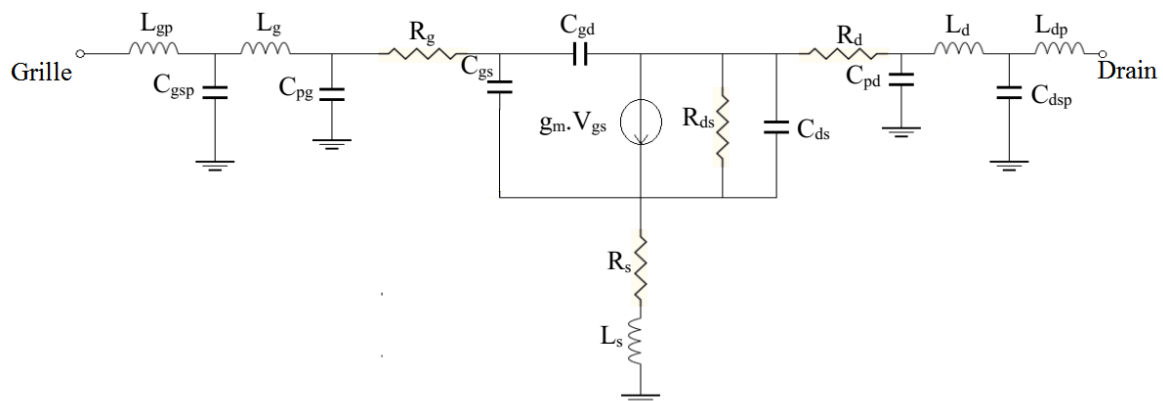


Figure IV.9 : Modèle électrique 3 du transistor LDMOS

L'organigramme d'extraction est le même que celui du premier schéma équivalent du troisième chapitre (la **Figure III.13**). On supprime aussi l'équation concernant la détermination de la valeur de R_i de notre programme.

Les éléments intrinsèques extraits sont illustrés dans la **Figure IV.10** :

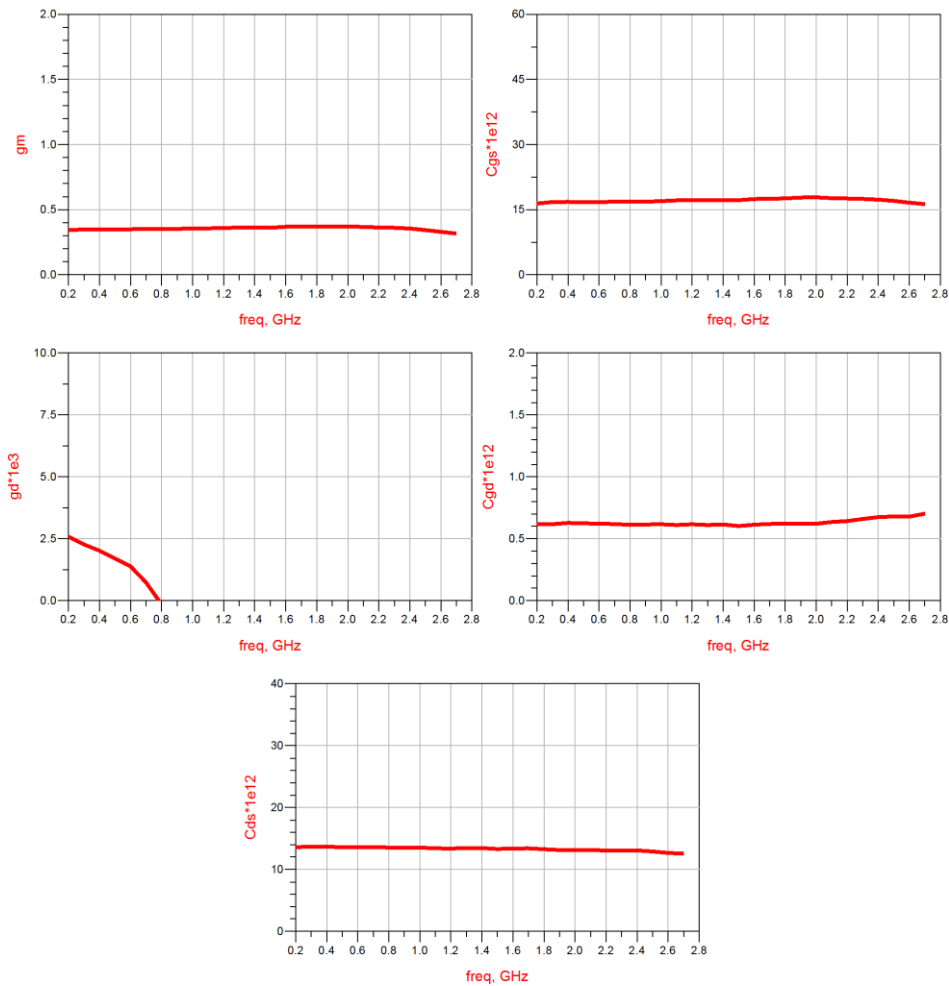


Figure IV.10 : Eléments intrinsèques g_d , g_m , C_{gs} , C_{gd} , et C_{ds} extraits du schéma 3

Nous avons remarqué que les valeurs des éléments intrinsèques sont restées les mêmes que pour le schéma 2 sauf un changement léger pour C_{gs} et C_{ds} .

Le **Tableau IV.2** donne les valeurs des éléments intrinsèques pour le schéma 3 :

Eléments intrinsèques extraits	C_{gs}	C_{gd}	C_{ds}	g_m	g_d
Unité	pF	pF	pF	mS	mS
Valeur	17.2	0.62	13.2	364	2.57

Tableau IV.2 : Eléments intrinsèques extraits à $V_{ds} = 26V$ et $V_{gs} = 4.8V$ pour le schéma 3

Le design implémenté sur **ADS** de notre troisième modèle électrique alimenté par les valeurs des éléments extraits est illustré sur la **Figure IV.12** :

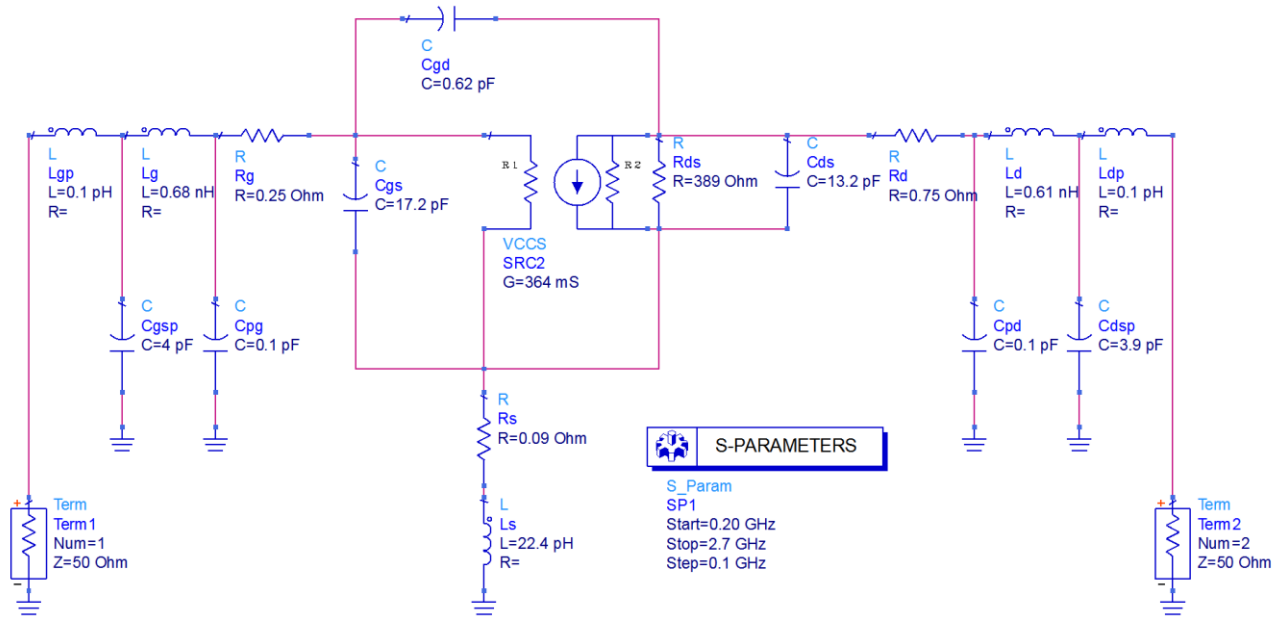


Figure IV.12 : Schéma équivalent 3 introduit dans le simulateur ADS

7.3. Schéma équivalent 4 :

Pour le schéma 4, on enlève les capacités extrinsèques (C_{pg} et C_{pd}) comme est-il illustré sur la Figure IV.13 puisque leurs valeurs sont très faibles (**0.1pF**).

Un schéma similaire a été utilisé dans les références [15, 19].

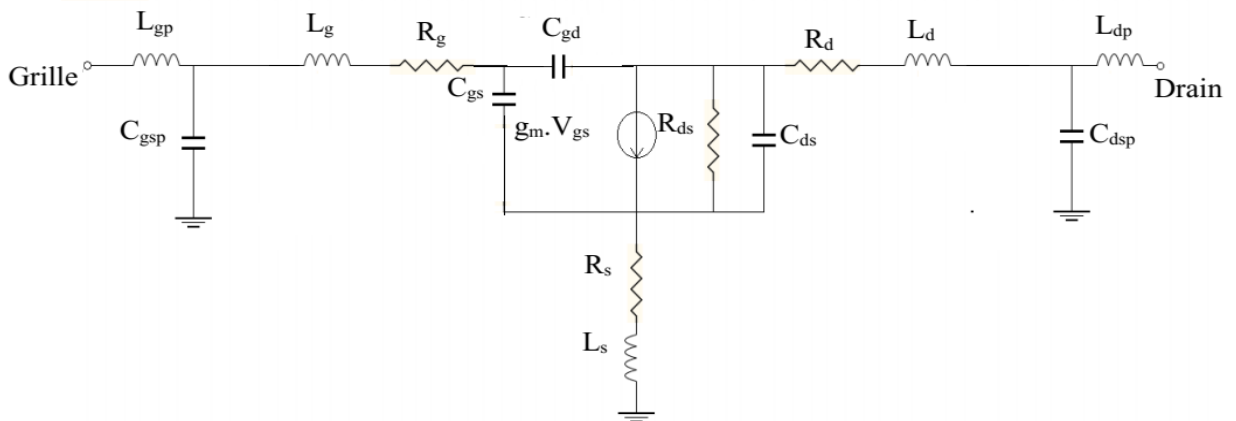


Figure IV.13 : Modèle électrique 4 des transistors LDMOS

L'extraction des éléments intrinsèques se fait suivant l'organigramme de la **Figure IV.14** :

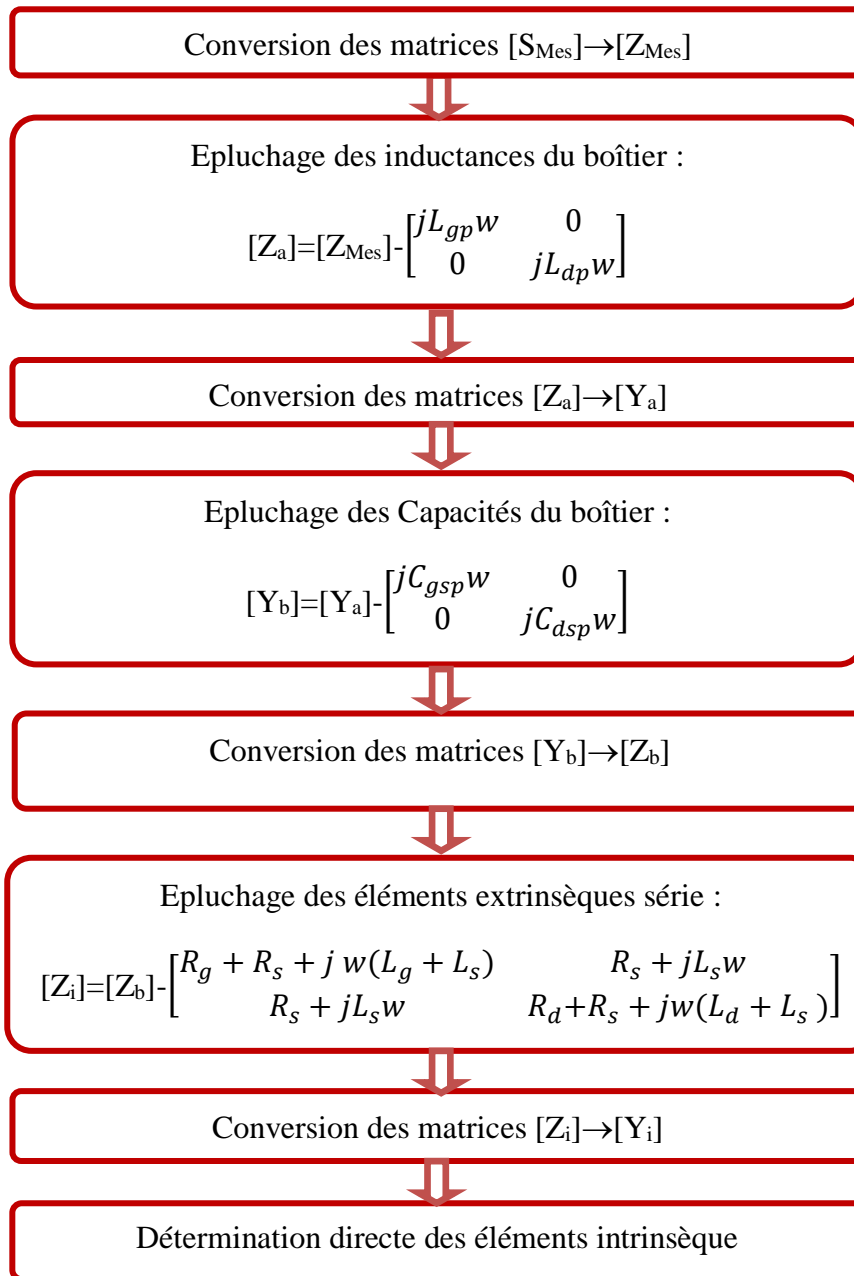


Figure IV.14 : Procédure d'extraction des éléments intrinsèques pour le schéma 4

La **Figure IV.15** illustre les résultats d'extraction des éléments intrinsèques :

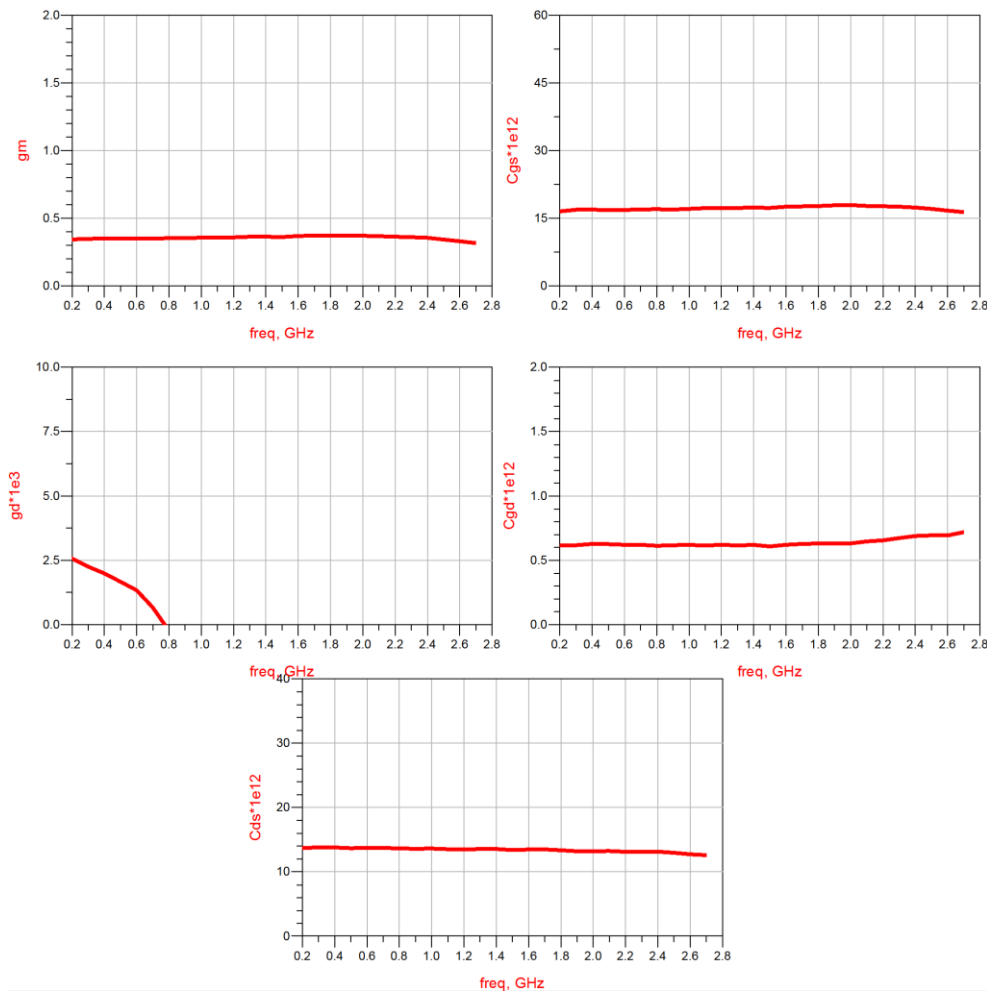


Figure IV.15 : Eléments intrinsèques g_m , g_d , R_{gd} , C_{gs} et C_{gd} extraits du schéma 4

Pour le quatrième schéma équivalent, on observe une petite augmentation des valeurs des capacités C_{gs} , C_{gd} et C_{ds} , par contre pour la transconductance g_m et la conductance de drain g_d on remarque une légère diminution.

Les valeurs des éléments intrinsèques extraits sont regroupées dans le **Tableau IV.3** :

Eléments intrinsèques extraits	C_{gs}	C_{gd}	C_{ds}	g_m	g_d
Unité	pF	pF	pF	mS	mS
Valeur	17.3	0.63	13.5	363	2.567

Tableau IV.3 : Eléments intrinsèques extraits à $V_{ds} = 26V$ et $V_{gs} = 4.8V$ pour le schéma 4

Nous disposons à présent de tous les éléments du schéma équivalent. Le modèle 4 implémenté sous ADS est représenté sur la **Figure IV.16** :

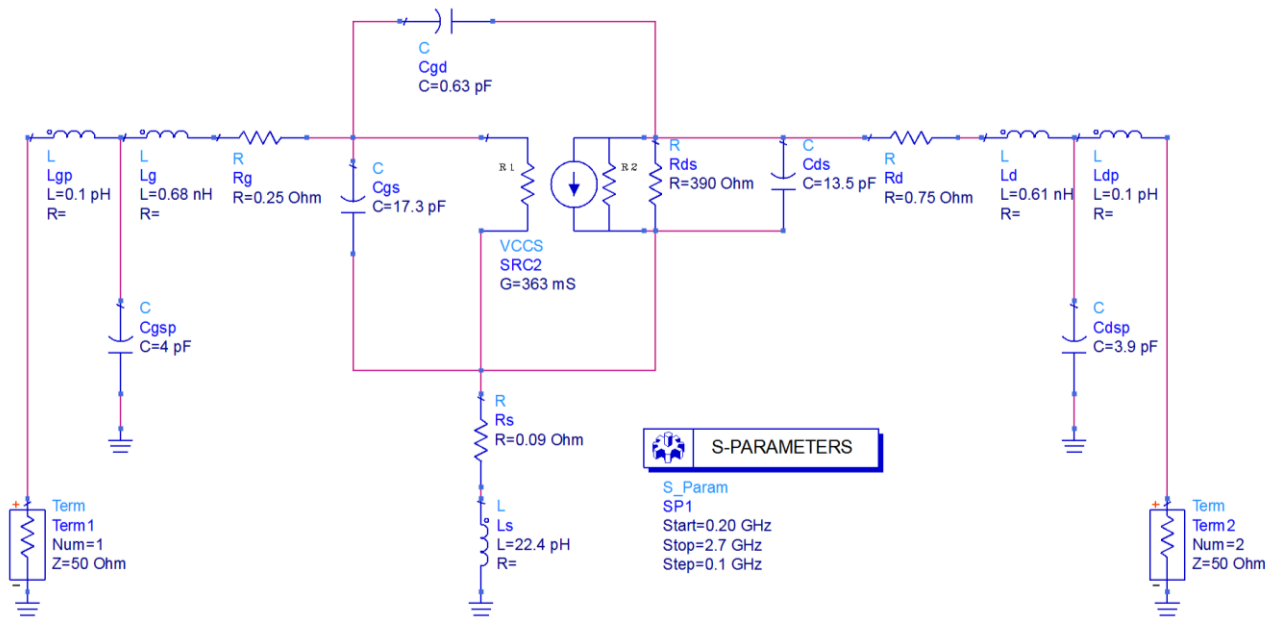


Figure IV.16 : Schéma équivalents 4 introduit dans le simulateur ADS

7.4. Schéma équivalent 5 :

Pour le cinquième modèle, nous avons éliminé les éléments (L_{gp} et L_{dp}) du schéma équivalent sur lequel nous avons fait notre étude, leurs valeurs sont très petites, donc on peut les négliger.

Un schéma similaire a été utilisé dans les références [19].

Le schéma équivalent tel qu'il est usuellement utilisé est illustré sur la Figure IV.17 :

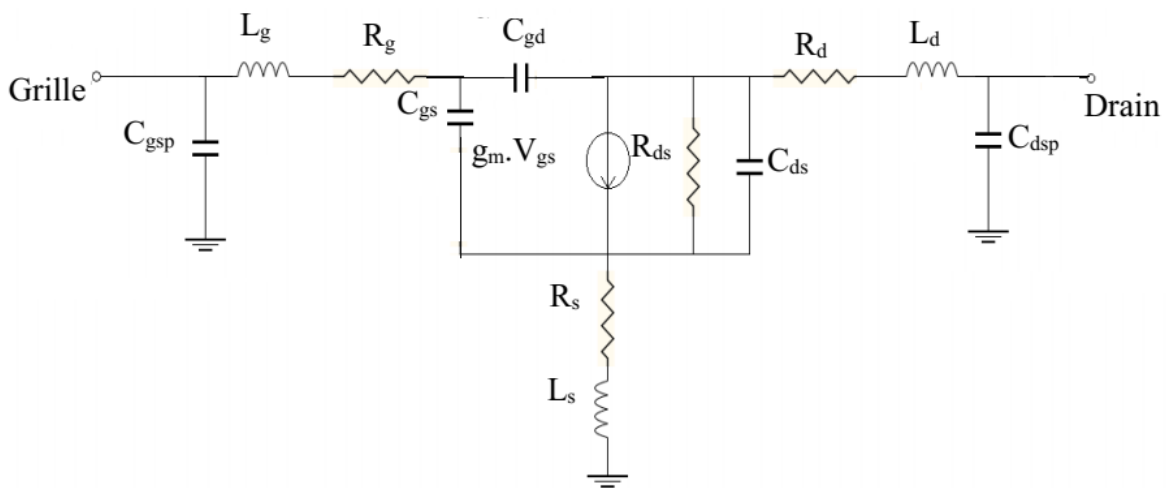


Figure IV.17 : Modèle électrique 5 du transistor LDMOS

L'extraction des éléments intrinsèques est représentée sur l'organigramme de la **Figure IV.18** :

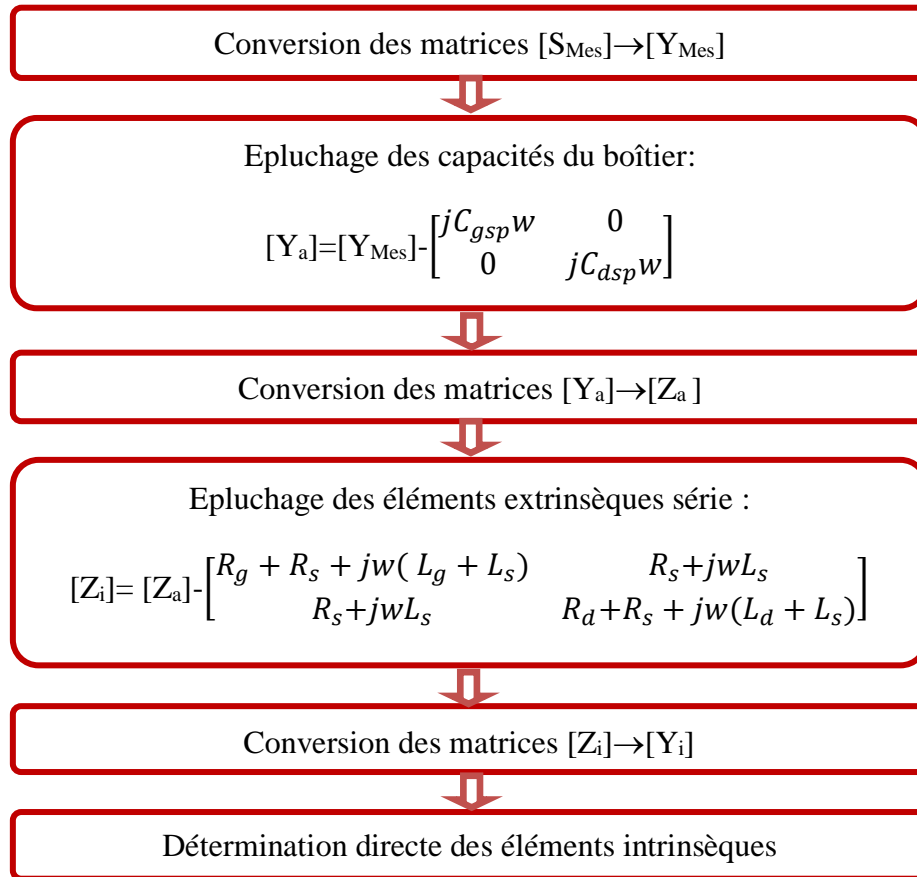


Figure IV.18 : Procédure d'extraction des éléments intrinsèques pour le schéma 5

Les éléments intrinsèques extraits sont illustrés dans la **Figure IV.19** :

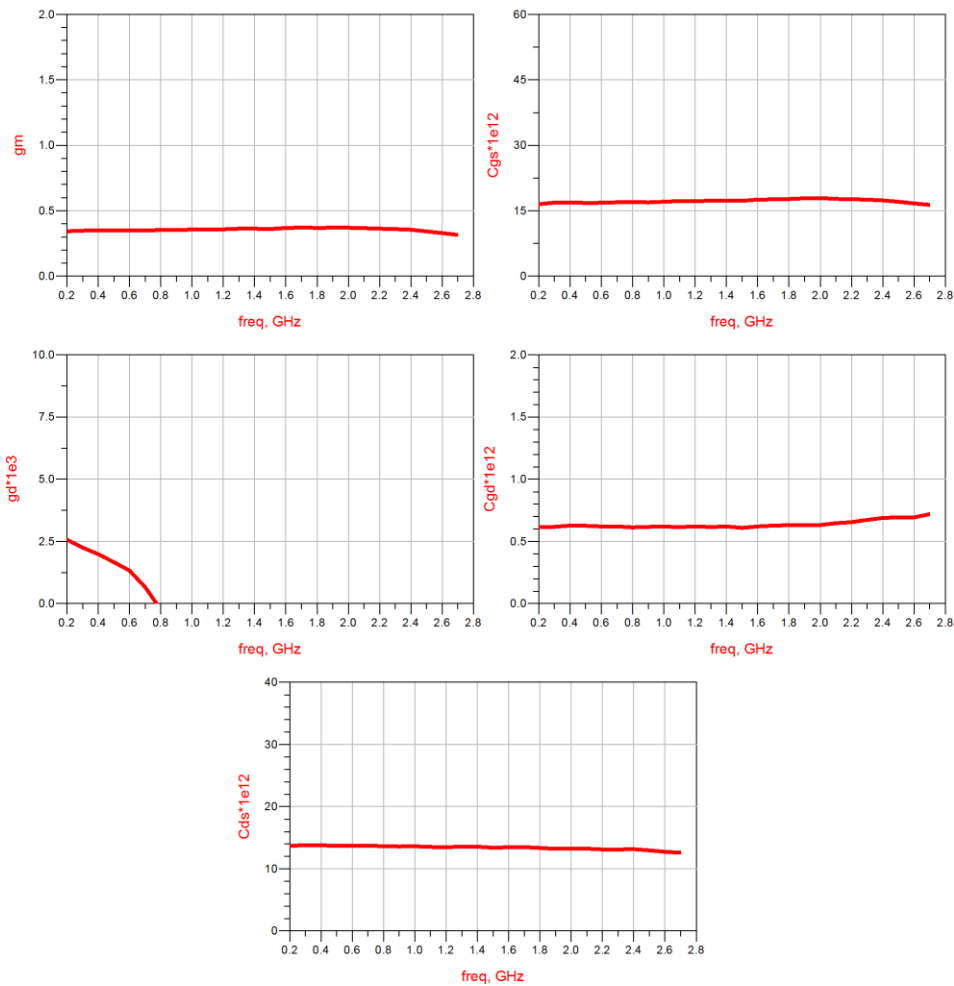


Figure IV 19 : Eléments intrinsèques g_d , g_m , C_{gs} , C_{gd} et C_{ds} extraits du schéma 5

Pour le cinquième schéma équivalent, les courbes des éléments intrinsèques extraits sont pratiquement les mêmes par rapport aux résultats du schéma étudié précédemment.

Les valeurs des éléments intrinsèques extraits sont regroupées dans le **Tableau IV.4** :

Eléments intrinsèques extraits	C_{gs}	C_{gd}	C_{ds}	g_m	g_d
Unité	pF	pF	pF	mS	mS
Valeur	17.3	0.63	13.5	363	2.567

Tableau IV.4 : Eléments intrinsèques extraits à $V_{ds} = 26V$ et $V_{gs} = 4.8V$ pour le schéma 5

Le modèle 5 implémenté sous ADS est représenté sur la **Figure IV.20** :

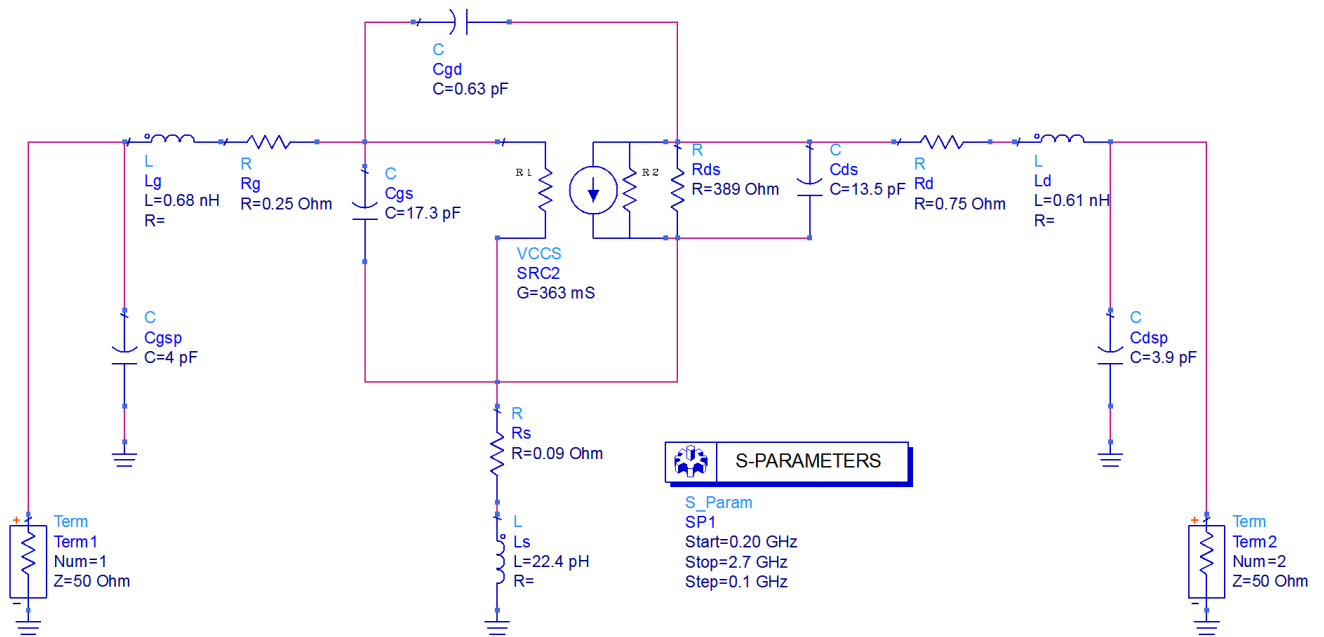


Figure IV.20 : Schéma équivalent 5 introduit dans le simulateur ADS

8. Comparaison entre les paramètres S mesurés et simulés des différents schémas équivalents :

Pour le **design 2**, les résultats de la simulation sous forme d'abaque de Smith dans la bande de fréquence **200MHz-2.7GHz** sont illustrés sur la **Figure IV.21** :

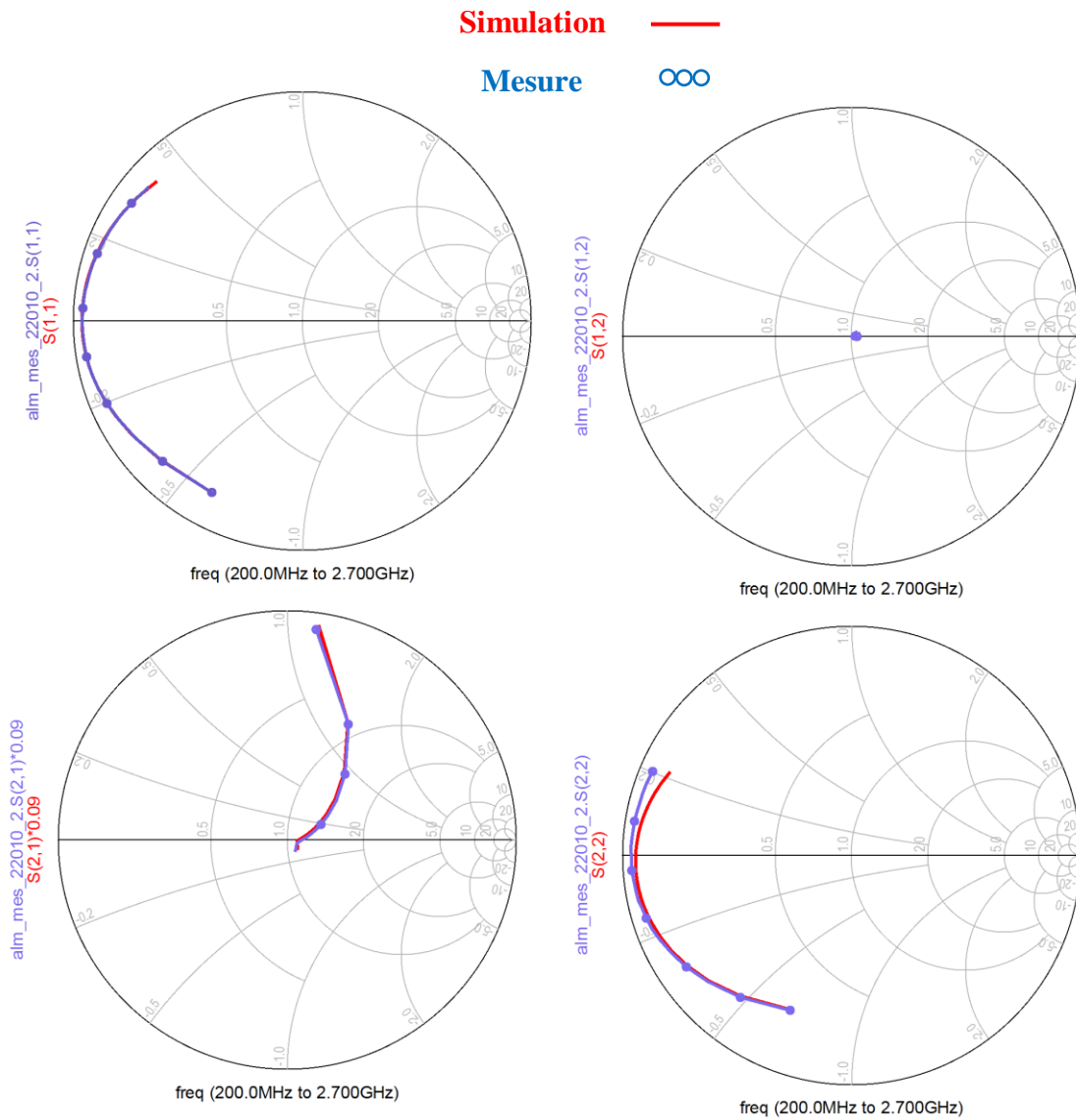


Figure IV.21 : Comparaison entre les paramètres **S** mesurés et simulés du schéma 2

Concernant le **design 3**, la **Figure IV.22** représente les résultats de la simulation sous forme d’abaque de Smith dans la bande de fréquence **200MHz-2.7GHz**.

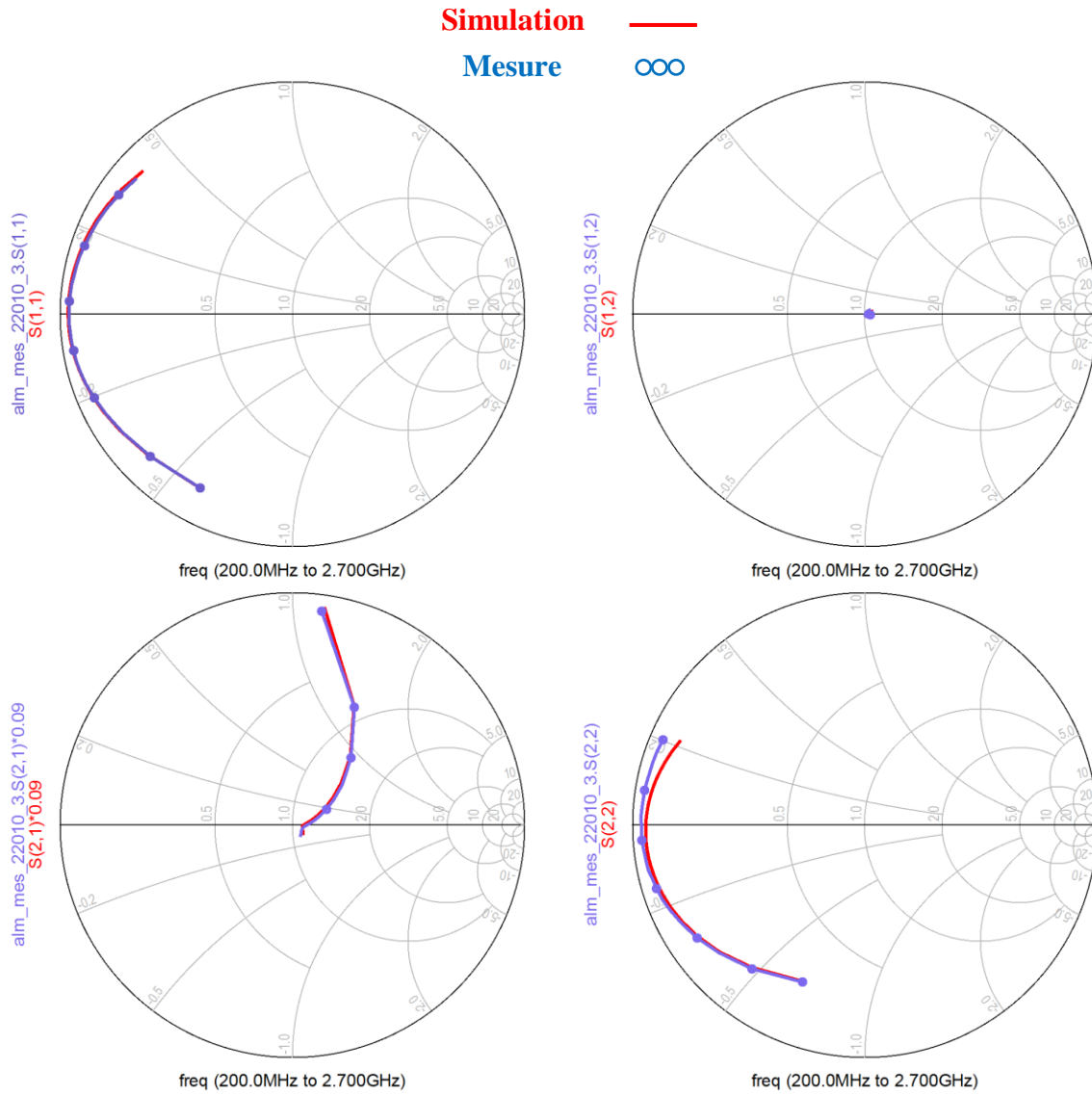


Figure IV.22 : Comparaison entre les paramètres **S** mesurés et simulés du schéma 3

Pour le **design 4**, la **Figure IV.23** montre la comparaison entre les paramètres **S** mesurés et ceux calculés :

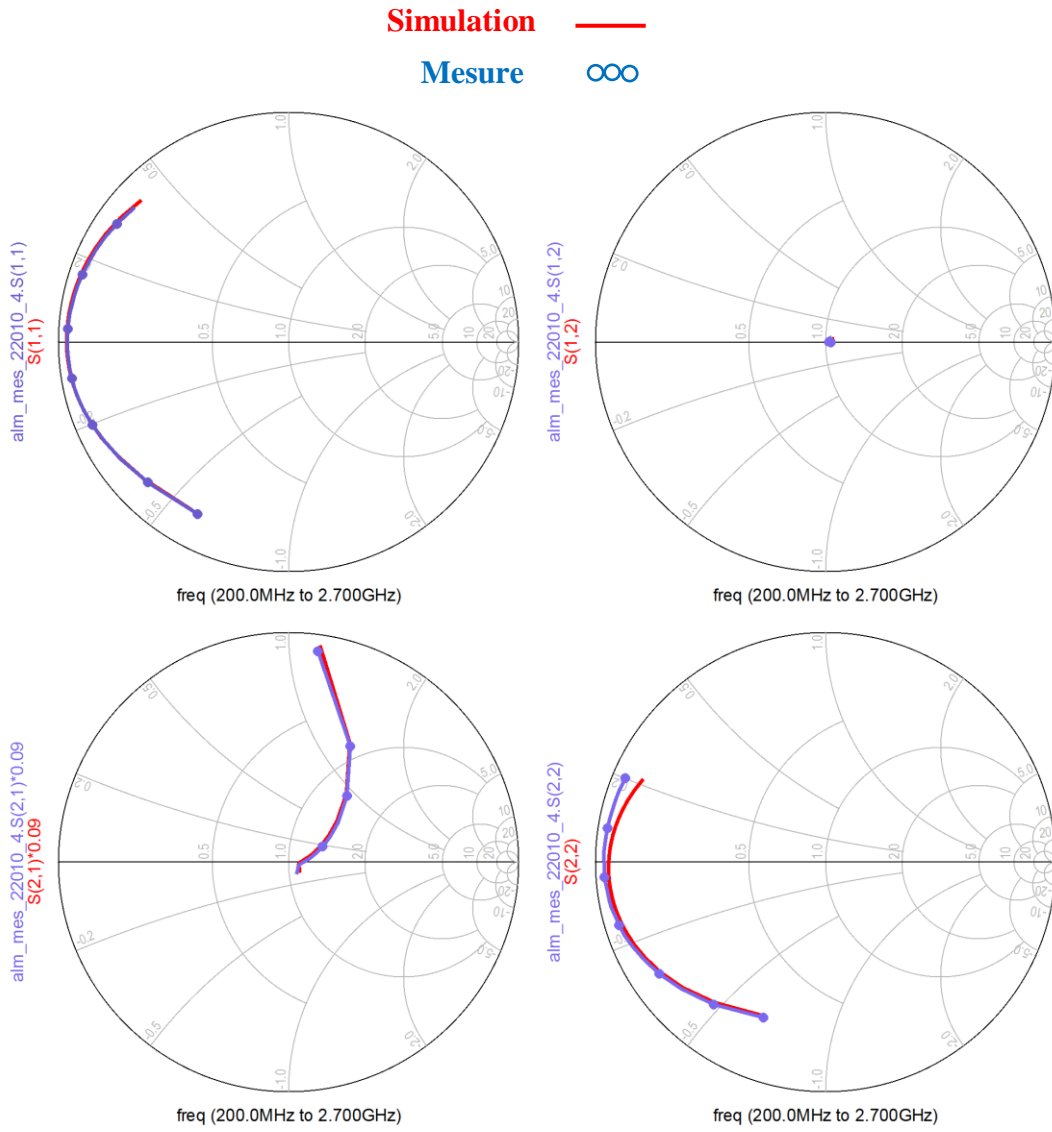


Figure IV.23 : Comparaison entre les paramètres **S** mesurés et simulés du schéma 4

Pour le **design 5**, les résultats de comparaison sont illustrés sur la **Figure IV.24** :

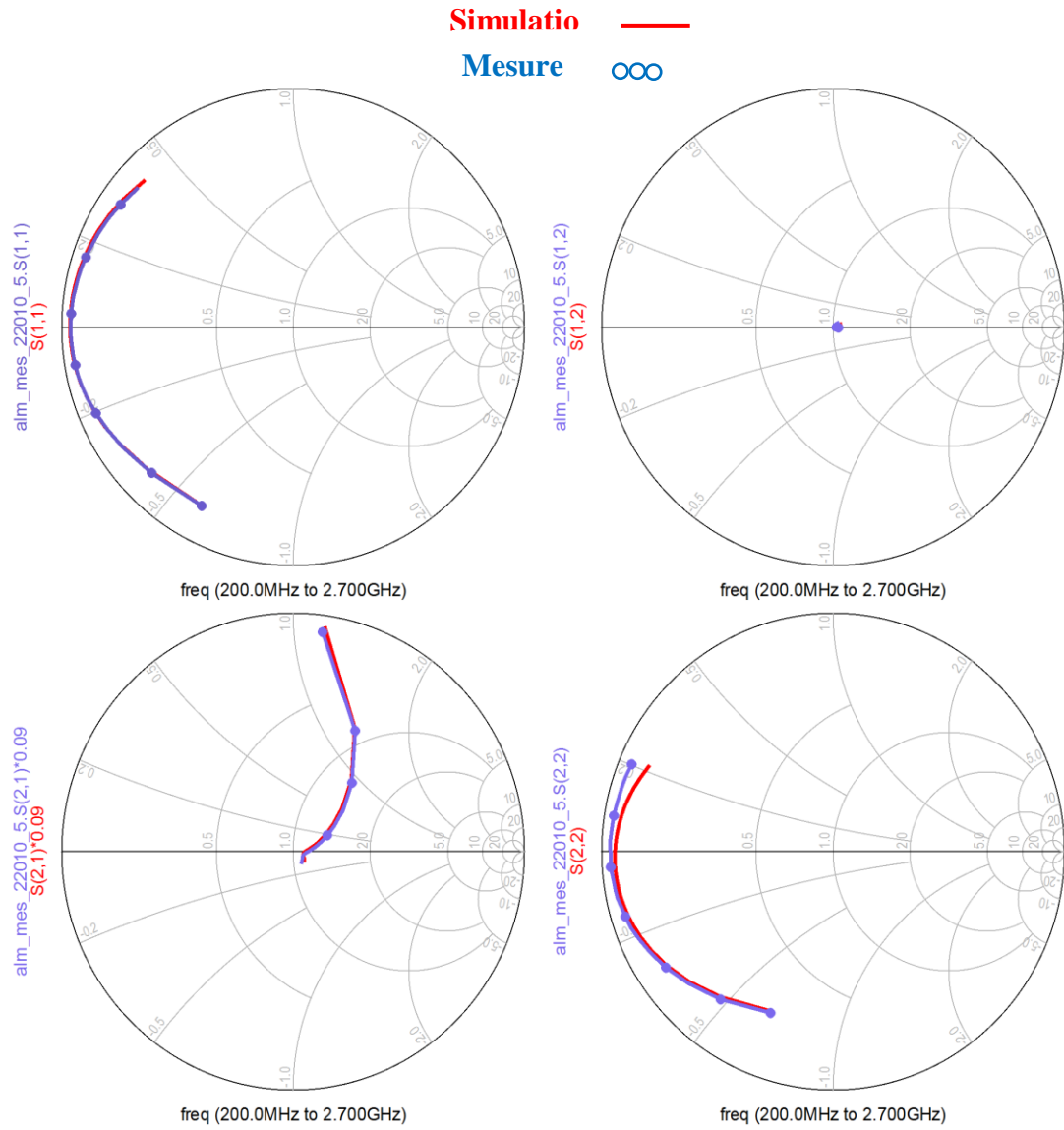


Figure IV.24 : Comparaison entre les paramètres **S** mesurés et simulés du schéma 5

La **Figure IV.25**, regroupe les résultats de comparaison (**S** mesurés et simulés) de tous les schémas équivalents sous forme d'abaques de Smith :

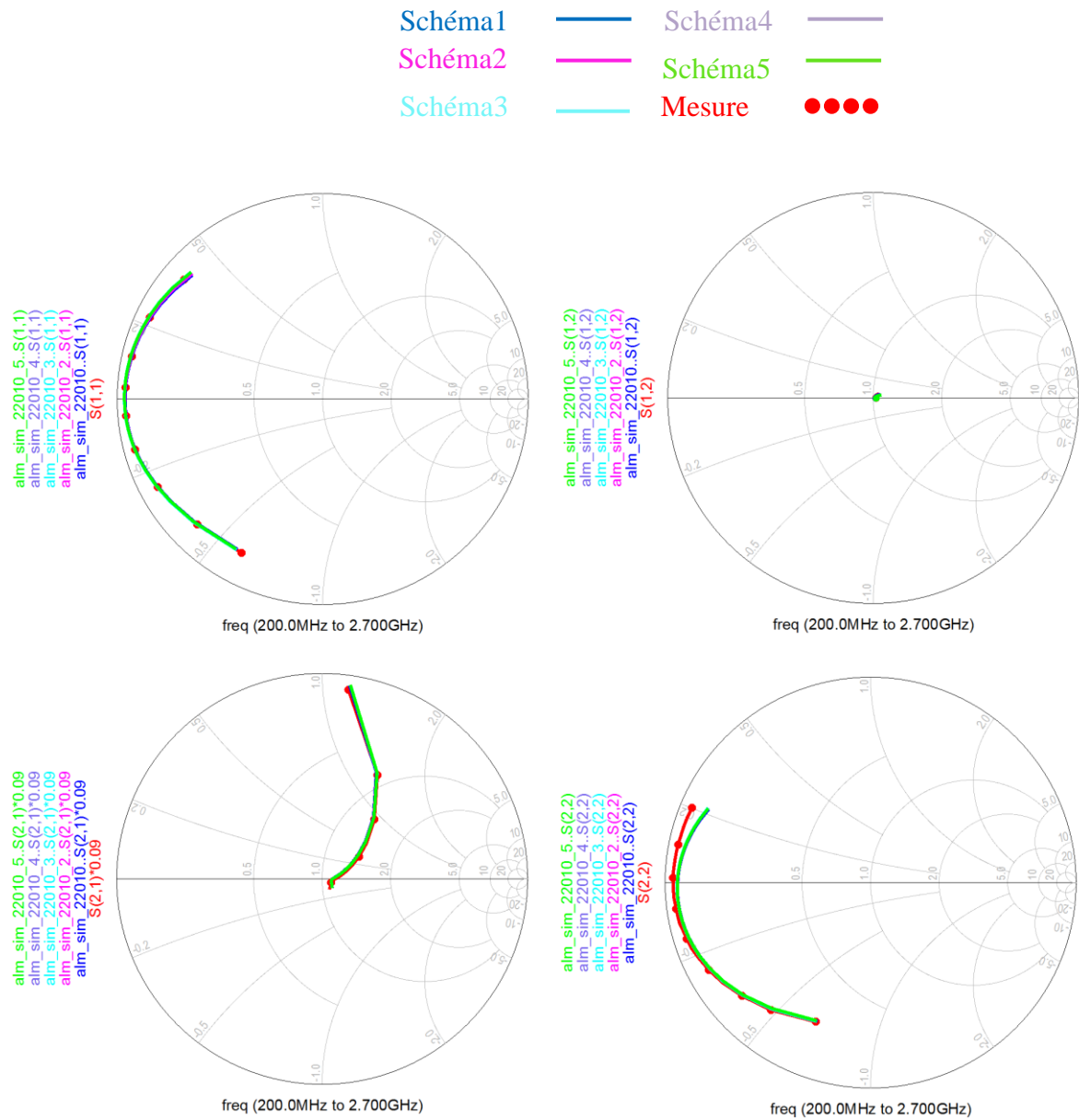


Figure IV.25 : Comparaison entre les paramètres **S** mesurés et simulés de tous les schémas équivalents étudiés

Après avoir parfaitement fait le plan de travail, qui se représente par des exclusions successives des éléments de schéma global équivalent numéro un Nous observons une excellente concordance de ces évolutions, ce qui traduit une reproduction satisfaisante du fonctionnement du composant et un bon accord.

D'après la comparaison des résultats obtenus de simulation et de mesure, on note qu'ils sont remarquables et fiables pour tous les schémas équivalents proposés précédemment. Nous pouvons dire que tous les schémas choisis pour notre étude sont valables pour la modélisation et la caractérisation du transistor **LDMOS** pour une bande de fréquence de **0.2 à 2.7GHz**.

Aussi, nous pouvons conclure, que la méthode d'extraction des éléments des schémas équivalents utilisée est assez précise.

Après chaque simplification des modèles électriques, les étapes d'épluchage deviennent réduites et plus simples, de même pour le programme d'extraction, alors que les résultats des différents schémas sont pratiquement identiques et assez précises.

Ce résultat est très intéressant car il nous permet de simplifier au maximum le modèle du transistor **LDMOS**.

9. Conclusion :

Dans le dernier chapitre, nous avons choisi d'adopter la technique de modélisation phénoménologique, largement utilisée pour les technologies III-V, à cause de sa simplicité et sa rapidité d'extraction des paramètres. Nous avons reporté le principe de la modélisation électrique des transistors en hyperfréquences, en exposant le schéma équivalent électrique utilisé pour ce dernier.

Ensuite, nous avons décrit l'approche fondamentale adoptée dans notre démarche, pour la modélisation en utilisant le logiciel **ADS**. Nous représentons d'abord les paramètres **S** mesurés et ceux simulés, puis nous avons fait une simplification successive par rapport aux 5 schémas équivalents afin de faire une comparaison entre eux.

Enfin, après avoir comparé les différents modèles proposés, nous remarquons que les résultats sont assez précis et très satisfaisants. Nous avons choisi parmi tous les schémas que nous avons déjà étudiés le cinquième car il est le plus simple, le plus facile et qu'il contient le minimum d'éléments.

Conclusion générale

Conclusion générale

Les **MOSFET** sont aujourd'hui les transistors les plus exploités en microélectronique. Alors qu'ils sont principalement utilisés pour la conception de circuits numériques, leur faible coût et leurs performances en font un composant de plus en plus intéressant dans les applications **RF**. La conception du circuit à base de ces transistors doit être prise en charge par un modèle robuste et rapide à extraire. Les modèles existants de transistors **MOS** dans les simulateurs sont spécifiquement basés sur la physique des composants et ils sont destinés à être utilisés pour les applications numériques, il est presque impossible d'utiliser de tels modèles en raison de leur complexité, notamment le temps d'extraction des paramètres. Pour en tenir compte, il s'avère qu'une élaboration complète du modèle empirique attendu est nécessaire pour les applications **RF**.

Tous d'abord, le transistor **MOSFET** est considéré comme la technologie prometteuse pour ces applications, car elle présente une faible consommation de tension de polarisation, et ses performances sont suffisamment élevées. Une nouvelle génération du transistor **MOS** est apparue sur la scène : le **LDMOS** qui est largement utilisé dans le marché d'électronique.

L'objectif principal de ce travail est porté sur la caractérisation et la modélisation électrique de transistor **MOS**, dans le domaine des hyperfréquences à base de différents schémas équivalents, et faire une étude comparative pour objectif de simplifier et minimiser le modèle électrique sans dégrader sa précision. Nous avons choisi le modèle empirique grâce à sa simplicité et rapidité d'extraction des paramètres basés sur des schémas équivalents. Par la suite, nous présentons la démarche suivie dans notre travail.

Dans une première tâche de ce projet, nous avons décrit le transistor en détails, pour les applications hautes fréquences. Par la suite, nous avons commencé par citer les différents types de modélisation, puis, nous avons choisi d'adopter la technique de modélisation phénoménologique, largement utilisée pour les technologies III-V, pour sa simplicité et sa rapidité d'extraction des paramètres. En outre, nous avons choisi un schéma équivalent. C'est un schéma qui comprend une partie boîtier, une partie extrinsèque et une partie intrinsèque. Nous avons expliqué la technique d'extraction des éléments électriques, basée sur des mesures hyperfréquences de paramètres **S**. Cette méthode

d'extraction est efficace pour les éléments intrinsèques et extrinsèques du modèle électrique.

Après, l'implantation du modèle dans le logiciel **ADS**, nous avons démontré sa validité en comparant les paramètres **S** mesurés avec ceux simulés, ce qui est également vrai pour les 5 différents schémas équivalents que nous avons utilisé. Cela nous a permis donc, de choisir le meilleur schéma électrique équivalent pour modéliser ce type de transistor.

Selon les résultats obtenus de cette tâche, nous pouvons conclure que :

- Un très bon accord entre les résultats de la simulation et ceux de la mesure des paramètres **S** pour les différents schémas électriques étudiés.
- Les schémas équivalents que nous avons utilisés sont très acceptables et bien adaptés pour ce genre de transistor.
- La méthode utilisée pour l'extraction des éléments du schéma équivalent est assez précise et rapide de plus en plus que le schéma est simplifié.
- Avec une précision pratiquement identique pour tous les schémas équivalents que nous avons proposés, le dernier en particulier (schéma 5 qui contient le moins d'éléments possible) permet de simplifier le modèle et de diminuer le temps d'extraction de ses éléments, ce qui est un résultat très intéressant pour les concepteurs de circuits électroniques.

Pour terminer, nous pouvons dire que l'objectif visé a été largement atteint. En effet, les divers résultats de comparaison entre les mesures et celles de simulations montrent d'une manière générale que le modèle décrit très bien les propriétés des transistors **LDMOS**.

Notons aussi, que notre modèle électrique du transistor **LDMOS** constitue une avancée dans ce domaine, et devrait maintenant, inciter les fabricants à utiliser ce composant avec moins de réticence.

Finalement, pour une éventuelle poursuite de ce travail, nous proposons les perspectives suivantes :

- Essayer d'utiliser cette technique de modélisation pour d'autres types de transistor.
- Développer un modèle non-linéaire à base de ces schémas équivalents.
- Une étude de la sensibilité des éléments du schéma équivalent aux paramètres **S** donnera plus d'information sur la précision du modèle.

Références bibliographiques

- [1] **Julio C. TINOCO and Jean-Pierre RASKIN**, « Advanced **RF MOSFET**'s for Microwave and Millimeter Wave Applications: **RF** Characterization Issues », Microwave and Millimeter Wave Technologies from Photonic Bandgap Devices to Antenna and Applications, Igor Minin (Ed.), ISBN: 978-953-7619 66-4, InTech, Available from: <http://www.intechopen.com/books/microwave-and-millimeter-wave-technologies-from-photonic-bandgapdevices-to-antenna-and-applications/advanced-rf-mosfet-s-for>, 2010.
- [2] **François ANDRIEU, Olivier WEBER, Sophie BAUDOT, Claire FENOUILLE TBERANGER** « Fully Depleted Silicon-On Insulator with Back Bias and Strain for Low Power and High Performance Application », IC Design & Technology (ICICDT-10), pp. 59-62, July 2010.
- [3] **Edward J. NOWAK**, « Maintaining the Benefits of **CMOS** Scaling When Scaling Bogs Down », **IBM Journal of Research and Development**, Vol. 46, No. 2/3, pp. 169-180, 2002.
- [4] **Gilles PETIT**, « Etude des Structures Radiofréquence en Bande **X** sur Technologies **CMOS-SOS** », Thèse de Doctorat, Université Paris XI École Supérieure d'Électricité, Centre d'Orsay SUPÉLEC, France, Septembre 2005.
- [5] **Emmanuel BOUHANA**, « Analyse du Comportement Petit Signal du Transistor **MOS** : Contribution à une Nouvelle Approche d'Extraction et de Modélisation pour des Applications **RF** », Thèse de Doctorat, Université Lille, France, 2007.
- [6] **Saadia HNIKI**, « Contribution à la Modélisation des Dispositifs **MOS** à Haute Tension pour les Circuits Intégrés de Puissance (Smart Power) », Thèse de Doctorat, Université Paul Sabatier de Toulouse III, France, Décembre 2010.
- [7] **Toufik BENDIB**, « Modélisation et Simulation du Transistor **DG-MOSFET** en Utilisant les Algorithmes Génétiques » Mémoire de Magister en Microélectronique, Université de Batna, 2008.

- [8] **Marion CARMONA**, « Fiabilité des Transistors **MOS** des Technologies à Mémoires non Volatiles Embarquées » Thèse de Doctorat, Université d'Aix-Marseille, France 2015.
- [9] **Yahia BENHAMIDA**, « Etude des Caractéristiques Physiques et Electriques d'un **MOSFET** Nanométrique » Mémoire de Magistère, Université Abou-Bakr Belkaïd-Tlemcen, Juin 2012.
- [10] **Abdelaziz KEBIB**, « Etude et Simulations d'un Transistor **MOS** Vertical », Mémoire de Magister, Université Abou-Bekr Belkaïd, Tlemcen, Janvier 2013.
- [11] **Fatiha TALEB**, « Modélisation Compact du Transistor **MOSFET** », Mémoire de MASTER de l'Université Mouloud Mammeri de Tizi-Ouzou, juillet 2015.
- [12] **Sidi Mohamed ZIANI CHERIF**, « Influence de la Température sur le Comportement Physique et Electronique des Transistors **MOS** », Mémoire de Magister, Université Abou-Bakr Belkaid, Tlemcen, Juillet 2010.
- [13] **Dorothee MULLER**, « Optimisation des Potentialité d'un Transistor **LDMOS** Pour l'Intégration d'Amplificateur de Puissance **RF** sur Silicium », Thèse de Doctorat, Université de Limoges, France, Octobre 2006.
- [14] **Olivier BON**, « Conception de Transistors Haute Tension Complémentaires en Technologie 65nm sur Substrat Silicium sur Isolant Fin pour Applications **RF** et Conversion de Puissance », Thèse de Doctorat de l'Université de Toulouse III, Paul Sabatier, France, Mars 2008.
- [15] **Mohammed TAMOUM**, « Caractérisation Fine et Modalisation Non-linéaire des Transistors **MOSFET** », Thèse de Doctorat de l'Université Ferhat Abbas, Sétif, Février 2013.
- [16] **Juin J. LIOU, Frank SCHWIERZ**, « **RF MOSFET**: Recent Advances, Current Status and Future Trends », Solid-State Electronics, Vol. 47, pp. 1881-1895, 2003.
- [17] **Salim TOUATI**, « Conception, Réalisation et Caractérisation de Composants de Puissance Hyperfréquence de la Filière Nitrure de Gallium », Thèse de Doctorat de l'Université de Lille, France, Décembre 2007.

- [18] **El Mehdi BAZIZI**, « Modélisation Physique et Simulation de Défauts Étendus et Diffusion des Dopants Dans le **Si**, **SOI** et **SiGe** Pour les **MOS** Avancés », Thèse de Doctorat de l'Université de Toulouse, France, Juin 2010.
- [19] **Messaouda BOUDOUDA, Madina BENAZIZA** « Modélisation Hyperfréquence des Transistors **MOS** : Utilisation de Différents Schémas Electriques Equivalents », Mémoire de Master, Université de Jijel, 2021
- [20] **J. K. HUNTON**, « Analysis of Microwave Measurement by Means of Signals Flow Graphs », IEEE Transactions on Microwave Theory and Techniques, vol.8, pp.206-212, 1 March 1960.
- [21] **D. C. YOULA**, « On Scattering Matrices Normalized to Complex Port Numbers », Proceeding of the IRE, vol.49, 7, pp 1221, july.1961.
- [22] **Kishō KUROKAWA**, « Power Waves and the Scattering Matrix », IEEE Transactions on Microwave Theory and Techniques, vol. 13. pp. 194-202, March1965.
- [23] **Lars VESTLING**, « Design and Modeling of High-Frequency **LDMOS** Transistors », Thèse de PhD de l'Université d'Uppsala, Suède, 2002.
- [24] **Yannis TSIVIDIS**, « Operation and Modeling of the **MOS** Transistor », Oxford University Press, Second Edition, 1999.
- [25] **Francis M. ROTELLA, Gordon MA, Zhiping YU & Robert W. DUTTON**, « Modeling, Analysis, and Design of **RF LDMOS** Devices Using Harmonic Balance Device Simulation », IEEE Tran. on MTT, Vol. 48, No. 6, pp. 991- 999, June 2000.
- [26] **Charlotte E. BIBER, Martin L. SCHMATZ & Thomas MORF**, « A Nonlinear Microwave **MOSFET** Model for **Spice** Simulators », IEEE Transactions on Microwave Theory and Techniques, Vol. 46, No. 5, pp. 604-610, May 1998.
- [27] **E. P. VANDAMME, Dominique SCHREURS, Clemens van DINTHER, Goncal BADENES, L. DEFERM**, « Development of a **RF** Large Signal **MOSFET** Model, Based on an Equivalent Circuit, and Comparison With the **BSIM3v3** Compact Model », Solid-State Electronics, Vol. 46, pp. 353-360, 2002.

- [28] **Jean ENCINAS** « Diodes et Transistors Bipolaires Discrets », Techniques de l'Ingénieur, Traité Électronique, E 2465, 01 déc. 1993.
- [29] **Siraj AKHTAR, Patrick ROBLIN, Sunyoung LEE, Xiaohui DING, Shuang YU, Julie KASICK & Jeffrey STRAHLER**, « RF Electro-Thermal Modeling of LDMOSFETs for Power-Amplifier Design », IEEE Transactions on Microwave Theory and Techniques, Vol. 50, No. 6, pp. 1561-1570, June 2002.
- [30] **Willy LUDURCZAK** « Capteur d'Humidité en Si Poreux pour la Fiabilité des Systems in Package », Thèse de Doctorat de l'Université Bordeaux 1, France, Novembre 2008.
- [31] **Jing LU, Yan WANG, Long MA & Zhiping YU**, « A new Small-Signal Modeling and Extraction Method in AlGaIn/GaN HEMTs », Solid-State Electronics, Vol. 52, pp. 115-120, 2008.
- [32] **Mike GOLIO**, « Commercial Wireless Circuits and Components Handbook », CRC Press LLC, 2003.
- [33] **Mohamed Amine ELAJI**, « Etude et Modélisation d'un Système de Transmission Radio-Sur-Fibre », Mémoire d'Ingénieur d'Etat, Telecom Bretagne, Brest, France, 2009.
- [34] **Hakim TAKHEDMIT**, « Modélisation et Conception de Circuits de Réception Complexes pour la Transmission d'Energie sans Fil à 2.45 GHz » Thèse de Doctorat, École Centrale de Lyon, France, Octobre 2010.
- [35] **Sid-Ali BENCHARIF, Hocine ROULA**, « Caractérisation Electrique et Modélisation du Transistor LDMOSFET pour Les Applications RF », Mémoire d'Ingénieur, Université de Jijel, 2011.

Résumé

Le travail présenté dans ce projet porte sur la caractérisation et la modélisation du transistor **LDMOS** encapsulé en boîtier dans le domaine des hyperfréquences à base de différents schémas équivalents. L'extraction des éléments du modèle se fait par la méthode d'épluchage élaborée par **G. DAMBRINE**. Après l'extraction des valeurs des éléments, nous avons implémenté les modèles dans le logiciel de simulation **ADS**, par la suite, nous avons fait une étude comparative des paramètres **S** mesurés et ceux simulés. Nous avons obtenu un bon accord pour tous les schémas, ce qui veut dire que les schémas équivalents utilisés sont très acceptables et bien adaptés pour ce genre de transistors. A la fin, nous avons simplifié le schéma du modèle pour réduire et améliorer le programme d'extraction de ses éléments.

Abstract

The work presented in this project concerns the characterization and modeling of packaged **LDMOS** transistors in the microwave domain based on different equivalent circuits. The extraction of the model's elements is done by a deembedding method developed by **G. DAMBRINE**. After extracting the values of the elements, we implemented the models on the **ADS** simulation software and made a comparative study of the measured **S** parameters and those calculated. We got a good agreement for all the schemes, which mean that the equivalent schemes used are very acceptable and well adapted for this kind of transistors. At the end, we have simplified the scheme of the model to reduce and improve the extraction program of its elements.

ملخص

يركز العمل المقدم في هذا المشروع على توصيف ونمذجة ترانزستور **LDMOS** المغلف في علبة والمعبأة في مجال الميكروويف بناءً على مخططات مكافئة مختلفة. يتم استخلاص عناصر النموذج باستخدام طريقة التقشير التي طورها **G. DAMBRINE**. بعد استخراج قيم العناصر، قمنا بتنفيذ النماذج على برنامج محاكاة **ADS** وإجراء دراسة مقارنة بين العوامل **S** المقاسة وتلك المحسوبة. لقد حصلنا على توافق جيد لجميع المخططات، مما يعني أن المخططات المكافئة المستخدمة مقبولة جداً ومناسبة جيداً لهذا النوع من الترانزستورات. في النهاية، تمكنا من تبسيط مخطط النموذج لتقليل وتحسين برنامج استخراج عناصره.