

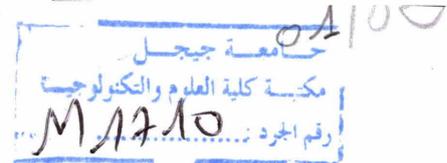
REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE

**MINISTRE DE L'ENSEIGNEMENT SUPERIEUR
ET DE LA RECHERCHE SCIENTIFIQUE**

Université de Jijel

Faculté des Sciences & de la Tech

Département d'Électronique



Mémoire de fin d'études

En vue de l'obtention du diplôme

Master : en électronique

Option

ELECTRONIQUE & OPTOELECTRONIQUE

Thème

**Etude de la distorsion harmonique dans
un transistor SOI**

Encadré par :

Dr. C, ZIGHA

Réalisé par :

Mr. KHELLAFI CHAKIB

Mr. BOUDJARANE ABD

KARIM

Juin 2014

بِسْمِ اللَّهِ الرَّحْمَنِ الرَّحِيمِ

وَقَدْ عَلِمْنَا

Remerciement

Nous remercions Dieu le tout puissant qui nous a donné la force et courage pour accomplir ce modeste travail.

*Nous tenons à formuler notre profond reconnaissance
à notre promoteur*

Mr. Zigha Chemseddine pour ses orientations et ses conseils et ses aides.

Nos remerciements aux membres de jury qui ont accepté de jurer notre travail.

Enfin nous exprimons notre profonde Reconnaissance à tous les enseignants de la faculté des sciences de l'ingénieur qui ont contribué à notre formation.

Krimo et Chakib

Dédicaces

Rien n'est aussi beau à offrir que le fruit d'un labeur qu'on dédie du fond du cœur à ceux qu'on aime.

Je dédie ce lapidaire travail :

A mes très chers parents qui m'ont guidés durant les moments les plus pénibles de ce long chemin, ma **Mère** celle qu'a servi de ces plus ambles intentions pour me permettre de goûter la fadeur de ce monde sans lisières, qui a été à mes côtés et ma soutenu durant toute ma vie. Et mon **Père** qui a sacrifier toute sa vie afin de me voir devenir ce qui je suis, merci mes parents.

A mes très chers frères et sœurs.

A toute la famille **Boudjarane** sans exception.

A tous mes amis de la promotion 2014.

Sans oublier mes chers pots:

**Brahim, Sifo, Ali, Chakib, Samir, Hicham, Imed
,Raziko ,Ahmed, Brahim zima ,Soufiane**

Et mes proches voisent sur tout :

Maliko,Bilel ,Amino,Walid

إن الذين نحبهم ونعزهم مكاتهم ليست بين الأسطر والصفحات، لأن مقامهم أجل وأعلى
فالقلب سكناهم والذكرى ذكراهم، والقلب لن ينساهم

Dédicaces

Rien n'est aussi beau à offrir que le fruit d'un labeur qu'on dédie du fond du cœur à ceux qu'on aime.

Je dédie ce lapidaire travail :

A mes très chers parents qui m'ont guidés durant les moments les plus pénibles de ce long chemin, ma **Mère** celle qu'a servi de ces plus ambles intentions pour me permettre de goûter la fadeur de ce monde sans lisières, qui a été à mes côtés et ma soutenu durant toute ma vie. Et mon **Père** qui a sacrifier toute sa vie afin de me voir devenir ce qui je suis, merci mes parents.

A mes très chers frères.

A toute ma famille **KHELLAFI** sans exception.

A tous mes amis de la promotion 2014.

Sans oublier mes chères pots :

**Sid Ali, Zaky ,Adile, Souto, Mouh, Okba ,Hakim
Brahim, Sifo, Ali, Krimo, Hicham, Imed**

Et a tous qui a contribué à la réalisation de ce modeste travail ; de près ou de loin.

Surtout notre encadreur et nos enseignants.

إن الذين نجبهم ونعزهم مكاتهم ليست بين الأسطر والصفحات، لأن مقامهم أجل وأعلى
فالقلب سكناهم والذكرى ذكراهم، والقلب لن ينساهم

Table des matières

Liste des notations.....	i
Liste des symboles.....	ii
Liste des figures.....	iii
Introduction générale.....	(01)
I. Le transistor MOS la base de la microélectronique.....	(03)
I. Le transistor MOS.....	(03)
1) Introduction.....	(03)
2) Principe de fonctionnement d'un transistor MOS	(03)
3) Capacité MOS : diagramme de bande d'énergie	(05)
4) Les régimes de fonctionnement	(07)
II. Etude des caractéristiques du transistor et équations de base	(09)
1) Tension de seuil : Définition	(10)
2) Temps de commutation	(10)
3) Pente sous le seuil	(11)
III. Les limitations dues à la miniaturisation.....	(13)
1) Courant de fuite	(13)
2) Epaisseur effective du diélectrique	(14)
3) L'adoption du High-k	(14)
4) Effets canaux court (Short Channel Effet SCE)	(16)
1. Effet de partage de charge (Charge Sharing ou Roll-Off)	(16)
2. L'abaissement de la barrière du au drain (DIBL)	(18)
3. Effet de perçage	(18)
5) Courant de fuite du drain induit par la grille (GIDL)	(19)
6) Résistance d'accès	(19)
7) Problèmes liés au dopage du canal	(20)
IV. Solutions alternatives.....	(21)
1) Dispositif PD SOI et FD SOI	(22)
2) Dispositifs Multi grilles.....	(23)
V. Conclusion.....	(24)

II. Dispositif MOSFET SOI	(25)
I. Introduction	(26)
II. Technologie silicium sur isolant /SOI (Silicon On Insulator)	(26)
1) Idée du SOI	(26)
2) Substrat SOI	(27)
3) MOSFET sur SOI	(27)
1. MOSFET PD SOI (partiellement deserte)	(30)
a. Effet Kink	(30)
b. Effet bipolaire parasite	(31)
c. Effet latch up	(31)
d. Effet transitoire	(32)
2. Transistors MOS Complètement Désertes (FD SOI)	(33)
III. Conclusion	(33)

III. Description et comparaison de modèles développés pour la simulation des circuits MOS SOI.....(34)

1. Introduction.....	(35)
I. Potentiel de surface.....	(35)
a) Modèle m11.....	(40)
b) Modèle Tsividis.....	(41)
II. Densités de charges	(42)
a) Modèle m11.....	(43)
b) Modèle Tsividis.....	(44)
III. Courant de canal (drain) i_{ds}	(45)
a) Modèle m11.....	(47)
b) modèle Tsividis.....	(48)
IV. La mobilité effective	(48)
a) Modèle M11.....	(50)

b) Modèle Tsvividis.....	(53)
VI. Non linéarités dans les composants.....	(55)
VI.1. Distorsion harmonique.....	(55)
V. Conclusion.....	(57)
IV. Résultats et simulation.....	(58)
I. Introduction.....	(59)
II. Description générale des modèles base sur le potentiel de surface.....	(59)
III. Approximation de model charge –sheet	(61)
IV. Modèle M11 du MOS	(66)
V. Comparaison graphique entre les modelés	(75)
VI. Description de la transductance et la conductance.....	(77)
VI.a. Généralité de modèle charge sheet.....	(78)
VI.b. Comparaison de rapprochement de la transductance avec le dérivé numérique de courant du drain.....	(79)
VI.c. Caractéristique g_m/I_D	(81)
VI.d. Altération de modélisation.....	(83)
VII. Description de FFT.....	(85)
VIII. Conclusion.....	(89)
V. Conclusion générale.....	(90)
Référence.....	(91)
Annexe.....	(96)

LISTE DES NOTATIONS

SYMBOLES	UNITE	DEFINITION
A	m^2	L'aire de la grille
C_i, C_{ox}	$F.m^{-2}$	La capacité de l'isolant par unité de surface
C_{ox}	F	La capacité de l'oxyde
C_{inv}	F	La capacité en régime d'inversion
D_n	m^{-3}	Constante de diffusion des électrons
e	m	L'épaisseur de la couche d'inversion
e_i, x_i, t_{ox}, e_{ox}	m	L'épaisseur de l'isolant (l'oxyde)
E	V/m	Le champ électrique
E_0	$e.V$	L'énergie minimale d'un électron dans le vide
E_c	$e.V$	Le niveau d'énergie dans la bande de conduction
E_{ci}	$e.V$	L'énergie de niveau le plus bas de la bande de conduction de l'oxyde
E_{vi}	$e.V$	L'énergie de niveau le plus bas de la bande de valence de l'oxyde
E_F	$e.V$	Le niveau de fermi
E_{FI}	$e.V$	Le niveau de fermi intrinsèque
F_S	$e.V$	L'énergie du niveau de fermi dans le semi-conducteur
E_S	V/m	Le niveau électrique surfacique
E_V	$e.V$	Le niveau d'énergie dans la bande de valence
J_D	A/m^2	La densité du courant de drain
I	A	Le courant
I_B	A	Le courant du substrat
I_D	A	Le courant drain source
I_{diff}	A	Le courant de diffusion
I_{drift}	A	Le courant de conduction
I_{DS}	A	Le courant entre le drain et la source
I_G	A	Le courant de la grille
I_S	A	Le courant de la source
K_B	$e.V/k$	Constante de Boltzman
L	m	Longueur de canal dessiné
L'	m	La distance entre la source et le point de pincement
L_D	m	La longueur de debye du semi-conducteur
L_G	m	La longueur de la grille
L_{MAX}	m	La longueur maximale du canal
n	m^{-3}	Le nombre de porteur par unité de volume
N_0	m^{-3}	Densité des électrons dans la région neutre du semi-conducteur
N	m^{-3}	La densité surfacique de porteurs
N_A	m^{-3}	Concentration en atomes accepteurs
N_D	m^{-3}	Concentration en atomes donneurs

LISTE DES NOTATIONS

n_{drain}	m^{-3}	La concentration des électrons coté drain
n_i	m^{-3}	Concentration intrinsèque
n_s	m^{-3}	La densité des électrons à l'interface

n_{source}	m^{-3}	La concentration des électrons coté source
P_0	m^{-3}	Densités des dans la région neutre du semi-conducteur
P_s	m^{-3}	Densité des trous à l'interface
q	m^{-3}	Valeur absolue de la charge de l'électron ($q=1.0602e-19$)
Q	C	La charge par unité de surface
Q_c	$c.m^{-2}$	La charge totale par unité de surface dans le semi-conducteur
Q_i'	$c.m^{-2}$	La charge de la couche d'inversion par unité de surface
Q_{inv}, q^i	$c.m^{-2}$	La charge de la couche d'inversion
Q_m	Ω	Charge de métal par unité de surface
Q_s	m^2	Charge de semi-conducteur par unité de surface
Q_w, q_{zd}	S	La charge de la zone désertée
R	$^{\circ}k$	La résistance dans le canal
S_{diff}	V	La surface de diffusion
t	V	Le temps
T	V	La température
V	V	La tension
V_i	V	Tension supportée par l'isolant
V_d	V	La tension de drain
V_{db}, V_{ds}	V	Différence de potentiel drain-substrat
V_{dsat}	V	Différence de potentiel source-drain dans la région de saturation
V_{fb}	V	La tension de bande plate
V_{fb1}	V	La tension de bande plate à l'absence de charge
V_{fb2}	V	La tension de bande plate à la présence de charge
V_g	V	Tension de grille
V_{gb}	V	Différence de potentiel grille-substrat
V_{gb}^*	V	Le potentiel de la grille effectif
V_{gs}	V	Différence de potentiel grille-source
V_s	V	La tension de la source
V_{sb}	V	Différence de potentiel source-substrat
V_{th}, V_t	V	La tension de seuil
W	M	Largeur du canal
$q\Phi_f$	$e.v$	La distance du niveau de fermi intrinsèque au niveau de fermi
$q\Phi_m$	$e.v$	Le travail de sortie du métal
$q\Phi_s$	$e.v$	Le travail de sortie du semi-conducteur

LISTE DES NOTATIONS

$Q\chi_i$	<i>e.v</i>	<i>L'affinité électronique de l'isolant</i>
$Q\chi_s$	<i>e.v</i>	<i>L'affinité électronique de semi-conducteur</i>
Δl	<i>m</i>	<i>Paramètre de modulation de la longueur du canal</i>
ϵ_0	<i>f.m⁻¹</i>	<i>Permittivité du vide</i>
$\epsilon_i, \epsilon_{ox}$	<i>f.m⁻¹</i>	<i>Permittivité relative à l'oxyde</i>
ϵ_r	<i>f.m⁻¹</i>	<i>Permittivité relative</i>
ϵ_{si}	<i>f.m⁻¹</i>	<i>Permittivité du semi-conducteur et l'isolant</i>

Glossaire et symboles

➤ MESFET	MEtal Semiconductor Field Effect Transistor
➤ MOSFET	Metal Oxide Semiconductor Field Effect Transistor
➤ HEMT	High Electron Mobility Transistor
➤ SOI	Silicon On Insulator, Silicium sur isolant
➤ BOX	Burried Oxide, Oxyde enterré
➤ Bulk	Substrat de Silicium massif
➤ PD	Partially Depleted, Transistor Partiellement Déserté
➤ FD	Fully Depleted, Transistor Totalemt Déserté
➤ BC	Body Contacted, Transistor à prises body externs
➤ BT	Body Tied, Transistor à prises body internes
➤ FB	Floating Body, Transistor à potentiel de body flottant
➤ Kink	effet de «overshoot» sur le courant de drain
➤ MM	Modèle physique de transistor MOS de Philips
➤ HD_n	n th order Harmonic Distortion, Distortion harmonique d'ordre n
➤ THD	Total Harmonic Distortion, Distortion harmonique totale
➤ IMD3	3rd Ordre Intermodulation Distorsion, Distorsion d'inter modulation d'ordre 3
➤ I_{ds}	Courant entre le drain et la source (A)
➤ I_{kink}	Courant dû à l'effet kink (A)
➤ I_{dsT}	Courant total entre le drain et la source (A)
➤ I_{dssat}	Courant de saturation (A)
➤ W_t, W_d	Largeur totale du transistor, Largeur unitaire par doigt de grille
➤ Q	Charge électronique (1,6 10 ⁻¹⁹ Cb)
➤ N_A	Concentration des atomes dopant accepteurs (cm ⁻³)
➤ K	Constante de Boltzmann (J/K)
➤ T	Température (K)
➤ N_i	Concentration de dopants intrinsèques du Silicium (cm ⁻³)
➤ E_F	Niveau énergétique de Fermi (eV)
➤ E_v	Niveau énergétique de la bande de valence (eV)
➤ T_{Si}	Epaisseur de la couche active du Silicium d'un substrat SOI (m)
➤ V_{th}	Tension de seuil (V)
➤ C_{ox}	Capacité de l'oxyde de grille (F)
➤ TMOS	Transistor Métal Oxyde Semi-Conducteur

Liste des figures

- Figure I.1 L'effet du champ sur la structure MOS.....(4)
- Figure I.2 Représentation schématique d'un transistor MOS..... (5)
- Figure I.3 Diagrammes de bandes des matériaux constituant la capacité MOS : Métal, Oxyde ,Semi-Conducteur.....(6)
- Figure I.4 thermodynamique Diagramme de bande d'une structure MOS en équilibre..... (7)
- Figure I.5 Diagramme de bande en forte inversion. Définition du potentiel de surface.....(7)
- Figure I.6 Les 3 régimes de modulation de la résistivité du canal par polarisation du drain à trois régimes..... (9)
- Figure I.7 Allure typique de la courbe courant de drain vs tension de grille d'un transistor MOS.....(11)
- Figure I.8 Décalage par rapport au silicium des bandes de conduction et de valence pour différent diélectrique High-k.....(14)
- Figure I.9 Position des matériaux Mid-gap.....(14)
- Figure I.10 Impact de CS et DIBL sur les caractéristiques $\text{Log}(I_d)$ de V_g du transistor... (15)
- Figure I.11 Évolution de la barrière de potentiel avec la réduction d'échelle.....(15)
- Figure I.12 Illustration du phénomène de perçage volumique.....(16)
- Figure I.13 Schéma électrique simplifié des résistances d'accès R_{sd}(17)
- Figure I.14 Courbe de simulation par MASTAR du courant I_{on} vs la longueur de grille pour un CMOS Bulk..... (18)
- Figure I.15 Schéma simplifié d'un transistor double grille planaire.....(19)
- Figure I.16 Coupe TEM d'un transistor double grilles de 50 nm de longueur de grille avec un film de 10 nm d'épaisseur..... (20)

Figure I.17 Image SEM (Microscope électronique) de la structure du dispositif SON après gravure tunnel.....	(21)
Figure I.18 (a) Schéma du transistor DELTA MOS sur silicium massif [Hisa90] - (b) Schéma simplifié de la structure DELTA MOS sur SOI.....	(21)
Figure I.19 GAA SOI MOSFET..... ;.....	(22)
Figure I.20 a) Schéma de la structure simplifier du FinFET- b) Image TEM du FinFET 22 nm de Intel [Auth12]	(23)
Figure I.21 Comparaison entre une simple grille planaire et un Tri-Gate.....	(23)
Figure II.1 Comparaison entre l'architecture d'un MOS sur bulk (a) et sur SOI (b)	(26)
Figure II.2 Processus SMART CUT TM.....	(28)
Figure II.3 Représentation schématique d'un transistor MOS PD SOI.....	(29)
Figure II.4 Mécanisme d'ionisation par impact.....	(30)
Figure II.5 L'effet Kink pour transistor PD SOI.....	(30)
Figure II.6 Représentation schématique d'un transistor MOS FDSOI.....	(31)
FigureIII.1 Schéma équivalent électrique d'un composant hypothétique contenant une source de courant non linéaire.	(53)
FigureIII. 2 Courants statiques, linéaire et non linéaire, en fonction de la tension d'entrée..	(54)
Figure III.3 Formes d'ondes temporelles du potentiel à l'entrée du composant V_{in} et du potentiel sur la charge V_{load}	(55)
FigureIII. 4 Spectre obtenu à la sortie du composant non linéaire excité par une fréquence f_0 ..	

.....	(56)
FigureV. 1 Le potentiel de surface simulé des relations implicites en fonction de la Polarisation de grille V_{Go} dans toutes les régions à $N_a = 2e23m-3$ ($2e17cm-3$) et $V = 0V$	(64)
FigureV. 2 Le potentiel de surface à la source simulée (ψ_{s0}) et le drain (ψ_{sL}) latérale, à $V_{DB} = 1$, $V_{SB} = 0V$ et $N_a = 1e17m-3$	(64)
FigureV. 3 IDS et ses composante en fonction de la tension de grille, $V_{DB} = 1V$, $V_{SB} = 0V$ et $N_a = 1e17m-3$	(65)
FigureV. 4 IDS calculée pour $V_{DS} = 100$ mV (trait plein) et $V_{DS} = 1V$ (lignes pointillées), fonction de la tension de grille, avec $N_a = 1e17m-3$	(66)
FigureV. 5 Le potentiel de surface simulé des relations explicites de MODÈLE 11 fonction de la tension de grille V_{Go} pour toutes les régions à $N_a = 2e23m-3$ et $V = 0V$	(72)
FigureV. 6 Le Potentiel de surface à la source (ψ_{s0}) et le drain (ψ_{sL}) latérale, à $V_{DB} = 1V$, $V_{SB} = 0V$ et $N_a = 2e23m-3$	(73)
FigureV. 7 IDS et ses composantes en fonction de la tension de grille, $V_{DB} = 1V$, $V_{SB} = 0V$ et $N_a = 2e23m-3$	(73-74)
FigureV. 8 IDS pour $V_{DS}=1V$ (trait plein) et $V_{DS}=100$ mV(lignes pointillées), fonction de la tension de grille, avec $N_a=2e23m-3$	(74-75)
FigureV. 9 Une comparaison du potentiel de surface simulé à la source(ψ_{s0}) et le drain(ψ_{sL}) pour le modèle11(trait plein) et charge sheet(lignes pointillées),à $V_{DB}=1V$, $V_{SB}=0V$ et $N_a=2e23m-3$	(76)
FigureV. 10 Une comparaison du potentiel de surface simulée pour le modèleM11(trait plein) et charge sheet (lignes pointillées), $V = 100mV$ et $N_a=2e23m-3$	(76)
FigureV. 11 Une comparaison de courant de drain simulé de la région linéaire a la région de saturation pour le modèle 11 (trait plein) et charge sheet (lignes pointillées), à $V_{DS} = 1V$ et $N_a = 2e23m-3$	(77)
FigureV. 12 Transconductance, et la conductance en fonction de V_{GS} pour $V_{BS}=0V$, $V_{DS}=1V$ et $N_a=2e23m-3$ obtenue à partir du modèle de la feuille de charge précis.....	(80)

FigureV. 13 Transconductance,et conductance en fonction VGS, VBS=0V, VDS=1V et Na=2e23m-3 (2e17cm-3).....(81)

FigureV. 14 MOSFET transconductance calculée en fonctions VGS pour fixe VBS = 0V, VDS = 1V avec (ligne solide pour Na = 2e17cm-3, la ligne en pointillés pour Na = 1e15cm-3)(82)

FigureV. 15 MOSFET transconductance calculé en fonctions normalisées vidange VGS actuel VBS fixe = 0V, VDS = 1V Avec (ligne solide pour Na = 2e17cm-3, la ligne en pointillés pour Na = 1e15cm-3).....(82)

FigureV. 16 Non-linéarité d'un circuit MOS-induit harmoniques d'ordre supérieur dans le signal de sortie S_{out} lorsqu'un signal Sin purement sinusoïdale est appliqué à l'entrée, c'est ce qu'on appelle Distorsion Harmonique.....(83)

FigureV. 17 valeurs modélisées de gm1, gm2, et gm3 en fonction de la tension de grille VGS pour un type n(85)

FigureV. 18 signal de ID.....(86)

FigureV. 19 FFT spectre de fréquence de la fuite de courant ID quand une tension sinusoïdale idéale.....(87)

FigureV. 20 modélisation du premier ordre (HD1), de second ordre (HD2) et de troisième ordre (HD3) de l'amplitude harmonique de ID quand une tension sinusoïdale parfaite Vin = VP sin 2πf0t est appliquée.....(87-88)

Introduction générale

La première brique de la microélectronique a vu le jour aux États-Unis en 1947 lorsque des scientifiques du laboratoire Bell inventent le transistor. Cette découverte a permis à Intel en 1971 d'introduire le premier processeur qui contenait 2300 transistors. En 1974, les ingénieurs du **T.J.IBM Watson Research** dirigé par **Robert Denard** ont décrit comment la réduction de la longueur de grille, l'épaisseur de l'isolant de grille, peuvent simultanément améliorer la vitesse de commutation, réduire la consommation d'énergie et la réduction des dimensions des transistors.

Ensuite, les années 80 ont marqué le domaine des intégrations à large échelle VLSI (**Very Large Scale Integration**) avec l'intégration d'un million de transistor dans un seul circuit. En même temps IBM a introduit le premier ordinateur personnel et a commencé à démocratiser l'usage personnel de l'ordinateur. Ce qui a donné une autre dimension à l'industrie des semi-conducteurs.

Actuellement, les innovations dans le domaine de la microélectronique évoluent rapidement et ce rythme s'est accéléré ces dix dernières années. Ce domaine est devenu très compétitif et forte croissance générant ainsi plus 250 milliards de dollars en 2009 et devenant ainsi un secteur clé et vital pour les économies mondiales.

Avec la réduction rapide des longueurs de grille les ingénieurs se sont trouvés confrontés d'autres problèmes, en particulier relatifs aux performances liées à la difficulté d'augmenter le courant à l'état ON et le courant à l'état OFF qui croît exponentiellement pour les différentes générations technologiques. En 2001 la consommation statique due aux fuites approchait la consommation dynamique des circuits, ce qui devenait un des principaux défis à relever.

Avec le nœud technologique 45 nm, Intel a utilisé le silicium contraint (**StrainSilicon**) pour améliorer la vitesse de commutation des circuits. En 2007 la loi de Moore a été relancée pour quelques années en faisant un très grand changement de matériaux, en remplaçant l'oxyde de silicium entre la grille et le canal par l'oxyde d'hafnium. Avec ce matériau on a pu endiguer une des principales sources de fuite de courant (passage par effets tunnel des électrons entre grille et canal). Par contre la fuite entre source et drain reste très problématique avec les nœuds sub-20 nm. C'est ce qui a poussé les industriels à réfléchir sérieusement aux récents changements d'architecture du transistor !

Introduction générale

Les chercheurs ont en effet trouvé des moyens pour augmenter l'efficacité de la grille. Une des approches est d'introduire une couche d'isolant sous une fine couche de silicium intrinsèque c'est ce qu'on appelle l'UTB SOI (Ultra ThinBody Silicon OnInsulator). Il s'agit d'un produit révolutionnaire qui permet d'abaisser la consommation d'énergie, ce qui très important notamment pour l'électronique portable. Une approche consiste à augmenter le nombre de grilles (2, 3 ou 4) afin d'améliorer le contrôle électrostatique des TMOS.

Le travail présenté dans ce manuscrit a été réalisé comme suit.

Le premier chapitre de ce manuscrit introduit de façon générale le principe de fonctionnement du transistor MOS, sa miniaturisation, les défis qui y sont liés ainsi qu'un état de l'art des options envisageables pour continuer la course à la miniaturisation et/ou l'amélioration des performances : nouvelles architectures ou encore nouveaux matériaux (pour remplacer le silicium).

Le deuxième chapitre est dédié à l'introduction du nouveau dispositif FD SOI, ses équations de base et la façon d'en extraire les paramètres électriques. Nous énumérons aussi les avantages qu'apporte ce type de dispositifs par rapport aux effets de canaux courts.

Le troisième chapitre est consacré à la description du model charge-sheet et model M11, les équations du potentiel de surface et du courant de drain concernant, ainsi que la comparaison entre les deux.

Dans le dernier chapitre nous décrivons et comparons les deux approches de modèles développés pour les simulations de circuits MOS SOI Enfin notre objectif principal est la simulation des propriétés électriques du transistor SOI afin de satisfaire au mieux ses performances en se basant sur les équations données par les deux modèles déjà cité (basé sur le potentiel de surface), principalement le courant ID et la distorsion.

Référence :

Francis Balestra, Nanoscale CMOS: Innovative Materials, Modeling and Characterization.

ISBN: 978-1-84821-180-3. Hardcover. 544 pages. June 2010, Wiley.

A. Nazarov et al. Semiconductor-on-insulator materials for nanoelectronics application

Springer-Verlag Berlin Heidelberg 2011.



***Chapitre I : le transistor MOS
base de la microélectronique***

I. Le transistor MOS.....	(03)
1) Introduction.....	(03)
2) Principe de fonctionnement d'un transistor MOS	(03)
3) Capacité MOS : diagramme de bande d'énergie	(04)
4) Les régimes de fonctionnement	(06)
II. Etude des caractéristiques du transistor et équations de base	(08)
1) Tension de seuil : Définition	(09)
2) Temps de commutation	(09)
3) Pente sous le seuil	(10)
III. Les limitations dues à la miniaturisation.....	(11)
1) Courant de fuite	(11)
2) Epaisseur effective du diélectrique	(12)
3) L'adoption du High-k	(12)
4) Effets canaux court (Short Channel Effet SCE)	(13)
1. Effet de partage de charge (Charge Sharing ou Roll-Off)	(13)
2. L'abaissement de la barrière du au drain (DIBL)	(14)
3. Effet de perçage	(14)
5) Courant de fuite du drain induit par la grille (GIDL)	(15)
6) Résistance d'accès	(15)
7) Problèmes liés au dopage du canal	(16)
IV. Solutions alternatives	(17)
1) Dispositif PD SOI et FD SOI	(21)
2) Dispositifs Multi grilles	(23)
V. Conclusion	(24)

I. Le transistor MOS

1) Introduction

Ce chapitre a pour but d'expliquer brièvement le principe de fonctionnement d'un transistor MOSFET (Métal/Oxyde/Semi-conducteur à effet de champ) ainsi que quelques équations de bases. Il a pour but aussi d'énumérer les limitations et problèmes auxquels s'est heurtée la microélectronique dans sa course à la miniaturisation.

Finalement un état de l'art des différentes solutions proposées pour faire face à ses limitations est exposé.

2) Principe de fonctionnement d'un transistor MOS

D'une manière générale, le transistor MOS est un composant qui joue le rôle d'un interrupteur en passant ou en bloquant le courant dans le canal entre source et drain. La structure MOS (Métal/Oxyde/Semi-conducteur) est un empilement à trois couches, constitué d'une grille, d'un diélectrique et d'un semi-conducteur. Le principe de base de la technologie repose sur ce qu'on appelle l'effet de champ, qui va moduler de façon électrostatique la densité de charges mobiles traversant le semi-conducteur, comme illustré sur la figure I.1

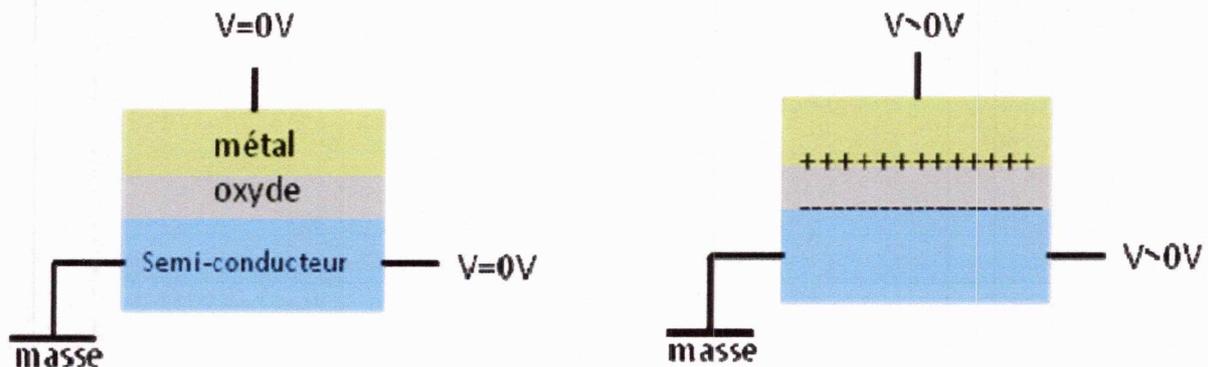


Figure I.1 L'effet du champ sur la structure MOS

La conductivité du silicium, comme tout autre semi-conducteur, va dépendre de la quantité de porteurs libres se trouvant dans la bande de conduction (électrons) ou la bande de valence (trous). Et la tension appliquée sur la grille va permettre de moduler ces quantités, en surface à proximité du diélectrique, obtenant ainsi une capacité MOS.

Pour obtenir un transistor MOS, on ajoute, de chaque côté de la grille, des zones de silicium très fortement dopées, qui font office de réservoirs de porteurs.

Le canal étant du type de dopage opposé à celui de la source et du drain (dans le cas d'un transistor à enrichissement), si aucune polarisation de grille n'est appliquée, sa résistivité est

- $e\Phi_M$ est le travail de la sortie du métal: Correspond à l'énergie qu'il faut fournir à ($T=0K$) pour extraire un électron du métal vers le vide.
- $e\chi_0$, $e\chi_{sc}$ affinité électrique de l'oxyde (resp semi-conducteur) qui représente l'énergie nécessaire pour extraire un électron de la bande de conduction.
- E_{g0} , E_g sont le gap d'énergie qui sépare la bande de valence et la bande de conduction dans l'oxyde (resp. semi-conducteur).
- $e\Phi_{sc}$ est l'énergie nécessaire pour extraire un électron d'un semi-conducteur, cette énergie est plus faible que l'affinité électrique de l'isolant, mais plus forte que le travail de sortie du métal.

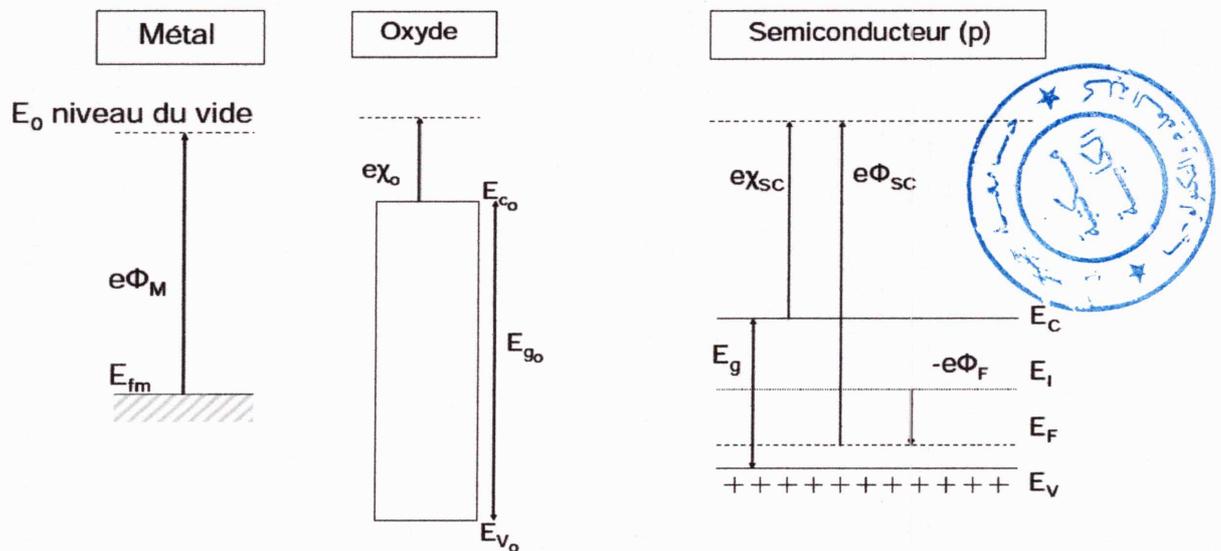


Figure I.3 Diagrammes de bandes des matériaux constituant la capacité MOS : Métal, Oxyde, Semi-conducteur.

En mettant ces trois matériaux en contact, un système d'équilibre thermodynamique va s'établir, et les niveaux de Fermi du métal ainsi que du semi-conducteur vont s'aligner créant une différence de potentiel V_c caractéristique de la différence du travail de sortie entre métal et semi-conducteur. Ce potentiel va déclencher la courbure de bande entre oxyde et semi-conducteur d'une valeur Φ_s dans la zone de déplétion, et une courbure de V_{ox} dans l'oxyde comme illustré sur la figure I.4.

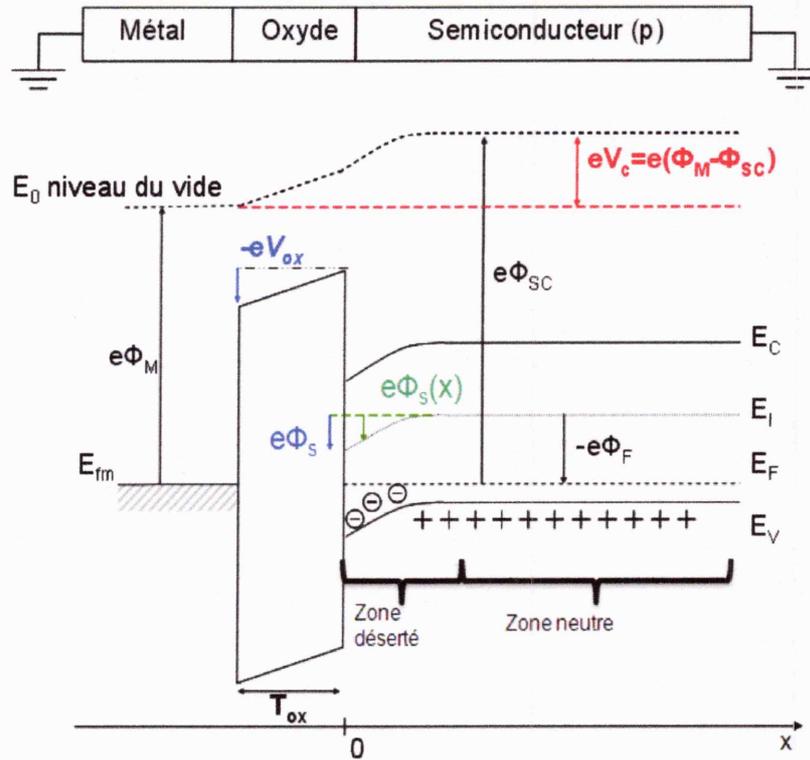


Figure I.4 Diagramme de bande d'une structure MOS en équilibre thermodynamique.

4) Les régimes de fonctionnement

La courbure de bandes dans le semi-conducteur représente la variation de l'énergie potentielle $-eV$ des électrons, c'est à dire au signe près la variation du potentiel. Ce potentiel varie de $V=0$ dans la région neutre du semi-conducteur à $V=\Phi_s$ en $x=0$ à l'interface isolant- semi-conducteur. On appellera, Φ_s , le potentiel de surface.

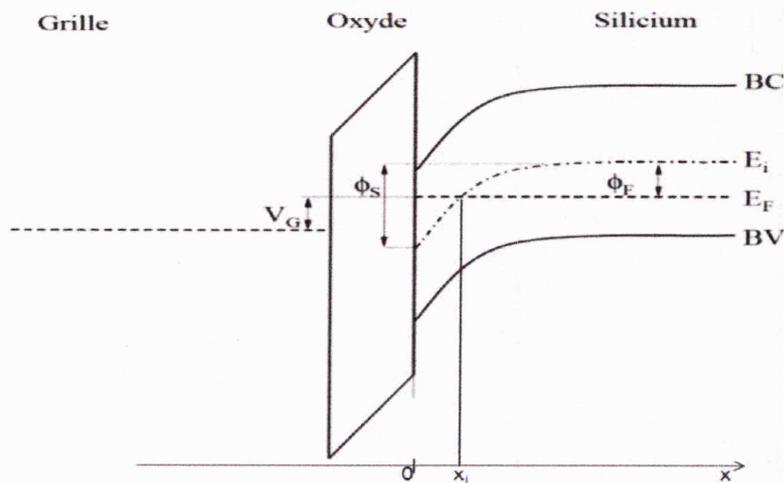


Figure I.5 Diagramme de bande en forte inversion. Définition du potentiel de surface Φ_s .

Un transistor MOS dépend de deux tensions de polarisation : la tension de grille V_g qui contrôle directement le potentiel de surface et la tension de drain V_d , cette dernière va imposer le régime de fonctionnement de notre transistor. Pour des V_d faibles le transistor est en régime linéaire, pour des V_d forts on est régime de saturation.

-Régime d'accumulation

Le canal du transistor est donc enrichi en porteurs majoritaires, du même type que le dopage du canal. Pour un NMOS à canal dopé p, la quantité de trous p est donc supérieure à la quantité de trous naturels du matériau, qui est égale au nombre de dopants accepteurs actifs N_A . Le transistor est donc bloqué. $p > N_A$ (NMOS) ou $n > N_D$ (PMOS)

Et $\Phi_S < 0$ et $V_g < \Phi_M - \Phi_{sc}$

-Régime de désertion

La surface du semi-conducteur est désertée de ses porteurs majoritaires. La quantité de trous en surface est inférieure à la quantité d'ions accepteurs ; cependant, la quantité de trous dans la bande de valence reste supérieure à la quantité d'électrons dans la bande de conduction. En résumé : $n < p < N_A$ (NMOS) ou $p < n < N_D$ (NMOS). Et $\Phi_S > 0$ et $\Phi_S < \Phi_F$

Une zone de déplétion résulte donc du déplacement des trous à travers le semi-conducteur et l'évacuation de ces derniers par le contact ohmique semi-conducteur/électrode.

-Régime d'inversion faible

Dans ce régime il y a une inversion de nature de porteurs $\Phi_S > 0$ et $\Phi_F < \Phi_S < 2\Phi_F$ et $n > p$ (NMOS) ou $p > n$ (PMOS).

La couche d'inversion résulte quant à elle de l'accumulation d'électrons à la surface du semi-conducteur.

-Régime d'inversion forte

Quand $\Phi_S > 2\Phi_F$ la concentration de porteurs minoritaires est grande devant celle de porteurs majoritaires $n \gg p$, pour un NMOS.

$\Phi_S = 2\Phi_F$ représente la condition qui définit la limite entre inversion faible et l'inversion forte. En inversion forte, on distingue plusieurs régimes de fonctionnement, le régime ohmique ou linéaire quand $V_d \ll V_g - V_{th}$, et le régime de saturation quand $V_d \gg V_g - V_{th}$ où le V_{th} est la tension de seuil. Ce paramètre sera explicité plus longuement au paragraphe II.1.

Dans ce qui suit nous allons discuter des deux principaux régimes de fonctionnement pour un transistor :

- *Le Régime linéaire*
- *Le Régime de saturation*

Si $V_d \ll V_{ds} = V_g - V_{th}$ la tension de drain est faible, le courant de drain varie proportionnellement à la tension drain-source, le transistor fonctionne en régime linéaire.

Si $V_d < V_{ds}$ la tension drain-source augmente, la variation de la tension de polarisation de la capacité MOS le long du canal devient importante, la densité d'électrons dans la couche d'inversion diminue, la conductance du canal diminue. Le courant de drain présente alors une variation sous-linéaire avec la tension de drain-source et amorce la saturation. Pour une valeur de $V_d = V_{ds}$, la capacité MOS n'est plus en inversion côté drain, la conductivité du canal est fortement réduite au voisinage du drain, c'est le régime de pincement, la tension drain source correspondante est appelée tension de saturation. $V_d > V_{ds}$ quand la tension source drain augmente au-delà de la tension de saturation, la région voisine du drain n'est plus en inversion, le point de pincement, dont le potentiel reste constant, se déplace vers la source.

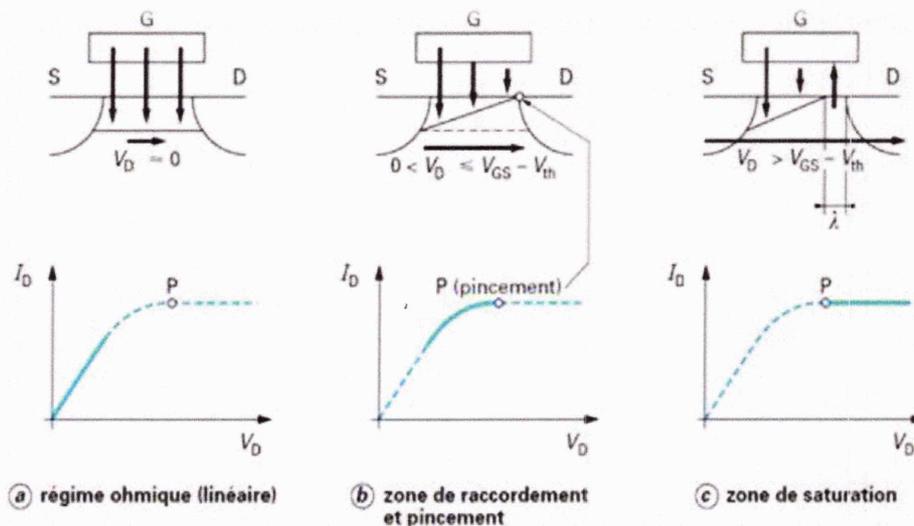


Figure I.6 Les 3 régimes de modulation de la résistivité du canal par polarisation du drain à trois régimes [2].

Le tableau suivant résume les équations de courant qui caractérisent chaque régime de Fonctionnement

Régime linéaire	Zone de raccordement	Régime de saturation
$I_d = \mu_n C_{ox} \frac{W}{L} (V_g - V_{th}) V_d$	$I_d = \mu_n C_{ox} \frac{W}{L} \left[(V_g - V_{th}) V_d - \frac{V_d^2}{2} \right]$	$I_d = I_{Dsat} \frac{L}{L - \lambda V_d}$

II. Etude des caractéristiques du transistor et équations de base

Dans ce paragraphe, nous allons définir quelques paramètres caractéristiques du MOSFET.

1) Tension de seuil : Définition

On définit la tension de seuil V_{th} de la structure comme la tension de grille pour laquelle la densité de charges d'inversion devient égale à la densité de charge de déplétion, le potentiel de surface correspondant est alors $\Phi_S = 2\Phi_F$. Dans ce cas les charges d'inversion sont des porteurs libres et la tension V_{th} correspond à l'apparition d'une couche conductrice dans le semi-conducteur au voisinage de l'interface. Ce paramètre est fondamental, car il va gouverner la mise en conduction du transistor.

Dans le cas d'un NMOS lorsque la tension de grille V_g est suffisamment négative cette polarisation conduit à un appel de trous en surface, on est alors en régime d'accumulation et le transistor est bloqué. En augmentant progressivement la tension V_g , les trous vont faire place aux électrons créant une zone de déplétion (charge surfacique d'atomes accepteurs ionisés) avec une densité surfacique Q_{dep} .

La tension qui a initié l'inversion de porteurs dans le canal est la tension de seuil.

$$V_{th} = V_{fb} + 2\phi_F + \frac{Q_{dep}}{C_{ox}} \quad (I.1)$$

Où V_{fb} est la tension de bande plate et

$$Q_{dep} = \sqrt{4\epsilon_{si} q N_D \phi_F} \quad (I.2)$$

2) Temps de commutation :

Plusieurs paramètres caractérisent les transistors MOS. Le temps de commutation intrinsèque est défini par la relation

$$\tau = \frac{C_{ox} V_{DD}}{I_{ON}} \quad (I.3)$$

Il désigne le temps nécessaire à un transistor pour passer de l'état bloqué à un état passant avec :

$$C_{ox} = C_{ox1} W L \quad (I.4)$$

où C_{ox1} est la capacité de la grille et V_{DD} est la tension d'alimentation définie précédemment.

Il est évident qu'il faut réduire au maximum ce temps de commutation et nous pouvons noter que la diminution de ζ passe notamment par une augmentation du courant ION (I_d) débité par le transistor, ainsi qu'une optimisation du C_{ox} .

3) Pente sous le seuil

La pente sous le seuil est un paramètre caractéristique du régime d'inversion faible. Elle est définie comme :

$$S = \frac{\partial V_g}{\partial \log I_d} = \frac{KT}{q} \ln(10) \left(1 - \frac{1}{C_{ox}} \frac{\partial Q_d}{\partial \phi_s}\right) \quad (I.5)$$

Elle s'exprime en Volts/décade et correspond à la variation de la barrière de potentiel à l'entrée du canal en fonction de la tension de grille ou comme étant la variation de la polarisation de grille nécessaire pour une variation d'une décade du courant de drain. Il s'agit d'un paramètre capital pour l'optimisation du rapport entre courant de fuite et courant de saturation, car à tension de seuil égale, une diminution de la valeur de la pente sous le seuil permet une diminution du courant I_{off} sans dégradation du courant de saturation [3].

La limite théorique de la pente sous le seuil est fixée par le phénomène de diffusion et vaut $\ln(10) \cdot kT/q = 60$ mV/décade à 300 K.

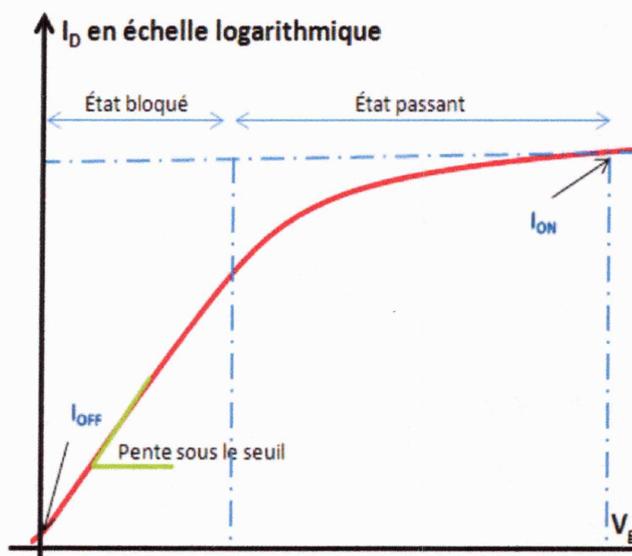


Figure I.7 Allure typique de la courbe courant de drain vs tension de grille d'un transistor MOS.

III. Les limitations dues à la miniaturisation

Avec la réduction des dimensions des dispositifs, plusieurs effets non problématiques jusque-là, deviennent critiques.

1) Courant de fuite

La tension de seuil et la vitesse de commutation ne sont pas les seuls paramètres à optimiser pour un circuit CMOS, il faut également limiter sa consommation électrique. Il s'agira donc de limiter les courants de fuites tant en régime statique qu'en régime dynamique.

Il faut garder à l'esprit que le transistor n'est pas un interrupteur parfait, cela est dû à la résistance totale du transistor entre source et drain en mode bloqué, qui n'est pas infini, et aussi à la résistance de sortie, en mode "on", qui n'est pas nulle. Un des leviers technologiques possibles est la tension de seuil, comme on peut le voir dans les deux équations, (I.6) & (I.8). Ces équations correspondent à l'expression du courant de drain théorique en faible inversion (sous le seuil) donc, dominées par un courant de diffusion.

$$I_d = I_0 \exp\left(\frac{V_g - V_{th}}{S} \ln 10\right) \left(1 - \exp\left(-\frac{qV_D}{k_B T}\right)\right) \quad (I.6)$$

$$I_0 = \mu_0 C_{dep} \frac{W_{eff}}{L_{eff}} \left(\frac{k_B T}{q}\right)^2 \quad (I.7)$$

Où μ_0 est la mobilité à faible champ et C_{dep} est la capacité relative à la charge de déplétion. Et en deuxième lieu à l'expression du courant en forte inversion.

$$I_{dsat} = \frac{W_{eff}}{2L_{eff}} C_{ox} \mu_{eff} (V_g - V_{th})^2 \quad (I.8)$$

Où L , W , sont les longueurs et largeur effective du canal et μ_{eff} est la mobilité effective.

On constate bien, d'après ces équations, l'impact de la valeur de la tension de seuil V_{th} sur les courants en mode passant et en mode bloqué. Une tension de seuil haute privilégie une réduction des courants de fuite et limite la puissance P_s due à la consommation statique des circuits. Avec

$$P_s = V_{dd} I_{off} \quad (I.9)$$

Et une tension de seuil basse privilégie une réduction du temps de commutation. Il faut trouver le juste compromis !

2) Epaisseur effective du diélectrique

L'électrode de grille est constituée par une couche de silicium poly-cristallin dopé, de type inverse à celui du dopage du canal ou par une couche métallique. L'inversion de charge dans le silicium est équilibrée par une inversion opposée dans l'électrode de grille en poly silicium. Cette couche forme une zone de déplétion due par exemple dans le cas d'un NMOS aux charges positives. On peut comparer ce phénomène à un éloignement des Electrodes de la capacité de grille.

Cette couche de déplétion va affaiblir l'action de la grille sur les charges d'inversion dans le canal. Elle réduit le système capacitif grille/diélectrique/silicium et le niveau de courant pour une polarisation donnée. Ce phénomène explique aussi l'augmentation de l'épaisseur du diélectrique équivalent. Avec $e_{dép}$ la zone de déplétion du poly.

$$T_{dép. poly} = e_{dép} \frac{\epsilon_{ox}}{\epsilon_{sl}} \quad (I.10)$$

L'impact de ce phénomène devient important pour les oxydes très minces d'aujourd'hui. La réduction des dimensions au-dessous de 2 nm d'épaisseur d'oxyde induit un passage des porteurs par effet tunnel direct. Ce passage est à l'origine d'un courant tunnel de grille, d'autant plus important que l'épaisseur de l'oxyde est fine. Une solution pour supprimer la poly-déplétion de grille et les fuites tunnel est l'utilisation des high-K avec une grille métallique. Une des conséquences supplémentaires de la miniaturisation est l'effet du confinement quantique sur le canal ce qui rajoute environ 0.2~0.4 nm d'épaisseur réelle du diélectrique dans le cas des électrons.

3) L'adoption du High-k

Pour essayer de réduire les effets décrits précédemment, de nouveaux oxydes avec haute permittivité diélectrique sont donc proposés (Cf. Figure I.8) pour remplacer l'oxyde de silicium SiO₂. Ces nouveaux matériaux permettent la fabrication d'oxydes de grille épais tout en gardant les caractéristiques capacitives de l'oxyde de silicium. Par contre, ces diélectriques doivent être compatibles avec le matériau de grille. L'approche la plus simple est d'utiliser un matériau métallique "Mid-gap", dont le travail de sortie place son niveau de Fermi exactement au milieu du gap du silicium, tel que le TiN (nitrure de titane). Des exemples de matériaux de grille avec leurs travaux de sortie associés sont présentés figure I.9

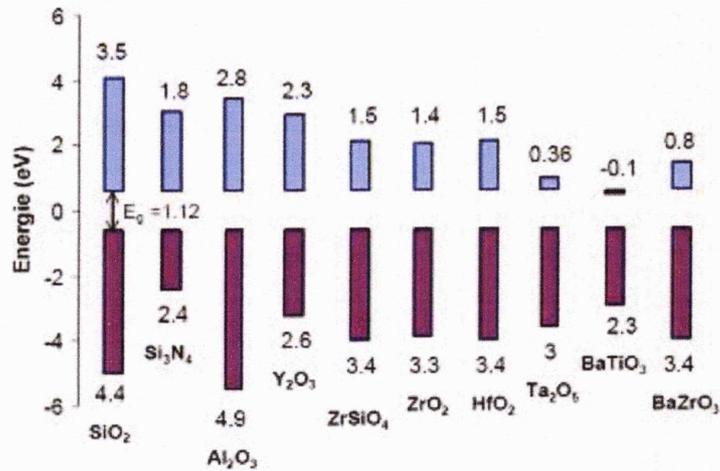


Figure I.8 Décalage par rapport au silicium des bandes de conduction et de valence pour différent diélectrique High-k [3].

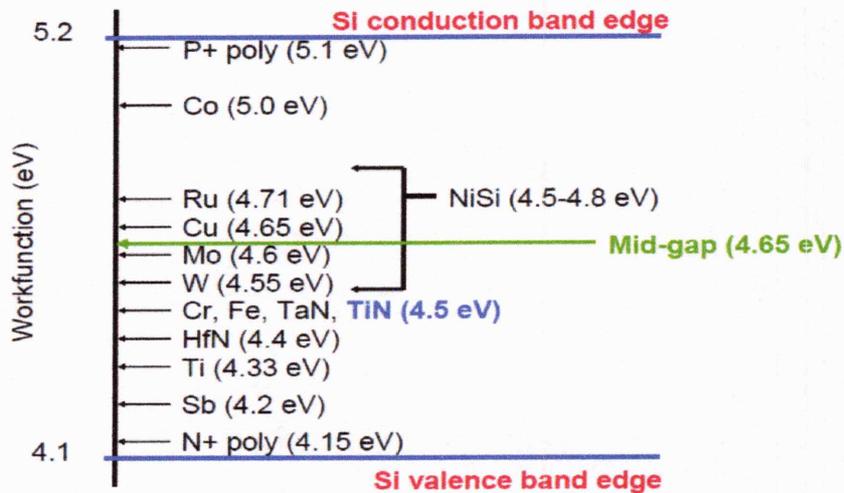


Figure I.9 Position des matériaux Mid-gap [4].

Toutefois, plusieurs études ont montré une dégradation de la mobilité des porteurs dans le canal sous l'effet de l'interaction du diélectrique à base de High-k avec le substrat. [5]

4) Effets canaux court (Short Channel Effect SCE)

Ce phénomène, comme son nom l'indique, est une conséquence directe de la réduction de la longueur au long du canal réduisant ainsi le contrôle de la grille. Dans la figure I.10 est représenté l'effet des deux principales causes de cet effet parasite sur le courant débité par le drain en fonction de V_g , qui sont le partage de charge "Charge Sharing" "CS" et le DIBL pour "Drain Induced Barrier Lowering".

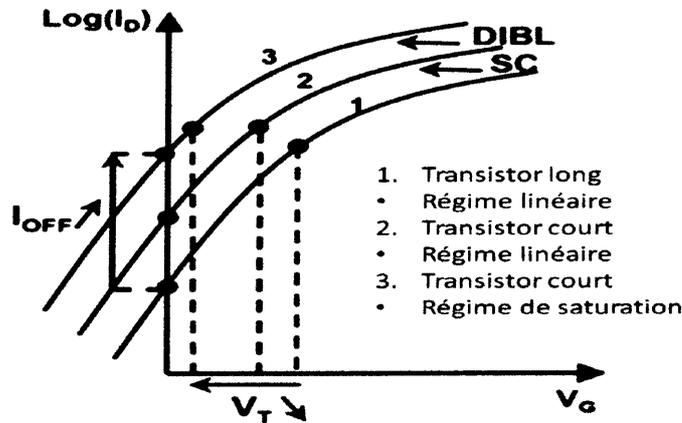


Figure I.10 Impact de CS et DIBL sur les caractéristiques $\text{Log}(I_D)$ de V_G du transistor.

1. Effet de partage de charge (Charge Sharing ou Roll-Off)

Avec la réduction des dimensions, des effets parasites négligeables au départ, deviennent problématiques pour des longueurs de grilles en dessous de 50 nm. Comme son nom l'indique, "le phénomène de partage de charges" ou "Charge Sharing" est un effet parasite lié aux partages de charges contrôlé par la grille d'un côté et par les source-drain de l'autre. Ce phénomène apparaît avec la réduction des longueurs de grilles.

Le contrôle électrostatique de la grille sur le canal n'est alors plus efficace et la barrière de potentiel entre source et drain s'abaisse (figure I.11). Ceci se traduit par une dégradation des paramètres caractéristiques du MOSFET et par la chute de la tension de seuil.

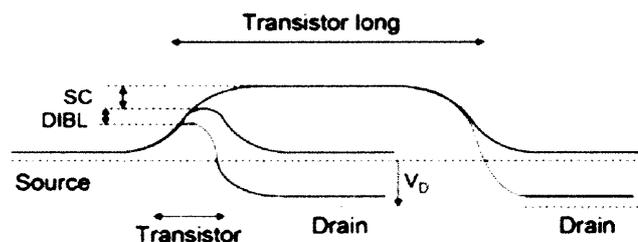


Figure I.11 Évolution de la barrière de potentiel avec la réduction d'échelle.

2. L'abaissement de la barrière dû au drain (DIBL)

Le DIBL correspond à un abaissement supplémentaire de la barrière de potentiel entre source et drain sous l'effet d'une application d'un fort potentiel V_d sur le drain (Figure I.11).

En effet, la charge dans la zone de déplétion est équilibrée sur les trois électrodes source, drain et grille. Quand V_d augmente, la zone de déplétion entre drain et substrat augmente au dépend de celle au-dessous de la grille. Par conséquent, la grille va essayer de conserver cet équilibre de charges en attirant plus de porteurs dans le canal, ce qui affecte directement la

tension de seuil. Ce phénomène parasite est aussi, à la source de l'augmentation du courant du drain avec V_d

3. Effet de perçage

Ce phénomène apparaît lui aussi pour des fortes valeurs de V_d . Il est principalement dû au rapprochement de la source et drain (Figure I.12). Les zones de charges d'espace ZCE correspondant au drain-substrat et source-substrat se rapprochent inexorablement avec la diminution de la longueur de grille. Ces zones de charges d'espace permettent de réduire les courants de fuites vers le substrat. Les porteurs majoritaires et minoritaires voient une barrière de potentiel qui les empêche de diffuser vers le substrat. Mais avec l'augmentation de V_d , la ZCE du côté du drain s'étend vers la source.

Cet effet parasite contribue à la réduction de la barrière de potentiel du côté de la source et à l'augmentation du phénomène de diffusion des porteurs majoritaires vers le substrat du côté de la source.

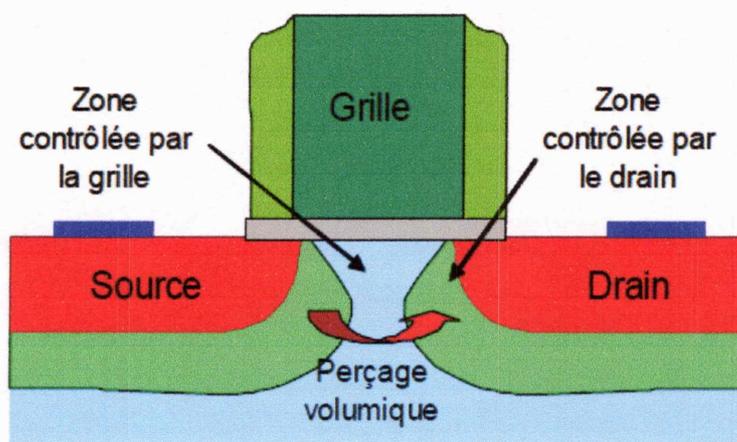


Figure I.12 Illustration du phénomène de perçage volumique [6].

5) Courant de fuite du drain induit par la grille (GIDL)

C'est un courant parasite, dû essentiellement au champ électrique transverse entre grille et drain et l'effet tunnel de bande à bande (Band-to-Band Tunneling BTBT). Il est amplifié pour les valeurs négatives de V_g . Il apparaît dans les zones de recouvrement entre la grille et le drain fortement polarisées et où il règne un très fort champ électrique local [7]. Cet effet contribue à l'augmentation du courant I_{off} . L'équation (I.11) donne son expression analytique.

$$J_{BTBT} = C.q \left\| \vec{E} \right\|^\sigma e^{-\frac{\beta}{\left\| \vec{E} \right\| V_j}} \quad (I.11)$$

Avec C et β deux constantes liées au matériau et $\|E\|$ la valeur du champ électrique local et V_j la tension aux bornes de la jonction.

6) Résistance d'accès

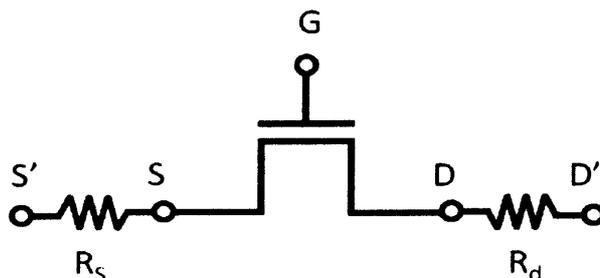


Figure I.13 Schéma électrique simplifié des résistances d'accès R_{sd}
(R_s résistance source ; R_d résistance drain).

Ce sont les résistances d'accès de la source-drain au canal. Elles induisent l'abaissement du potentiel des électrodes et réduisent les polarisations effectives appliquées sur le canal (le courant de drain diminue), tel que

$$V_{ds} = V_d - (R_s + R_d) I_d \quad (I.12)$$

Pour les grandes longueurs de grille ce paramètre n'est pas problématique, mais avec la réduction d'échelle les R_{sd} peuvent dépasser la résistance du canal introduisant une erreur non négligeable dans l'extraction des paramètres intrinsèques du MOSFET.

Les R_{sd} sont sensiblement affectées par la concentration des dopants dans le canal, la résistance du contact silicium/zones source et drain ainsi que la variation de la profondeur des jonctions et la forme des source/drain elle-même (voir Chapitre II§),

7) Problèmes liés au dopage du canal

Le dopage du canal est une très bonne solution pour pallier les Effets de canaux courts.

Mais avec la réduction d'échelle, cette opération semble compromise. Réaliser des profils de dopage extrêmement complexes (dopage rétrograde, halos, poches, LDD) est de plus en plus difficile notamment pour le contrôle de la variabilité. Notons aussi la dégradation de la mobilité des porteurs avec l'augmentation du dopage.

8) Réduction du courant Ion

La simulation suivante réalisée avec le logiciel de simulation Mastar [8] (Figure I.14) illustre la diminution du courant I_{on} avec la diminution de la longueur de grille. La mobilité des

porteurs décroît contrairement à ce dont on pouvait s'attendre et cela, pour plusieurs raisons qu'on détaillera dans le chapitre IV

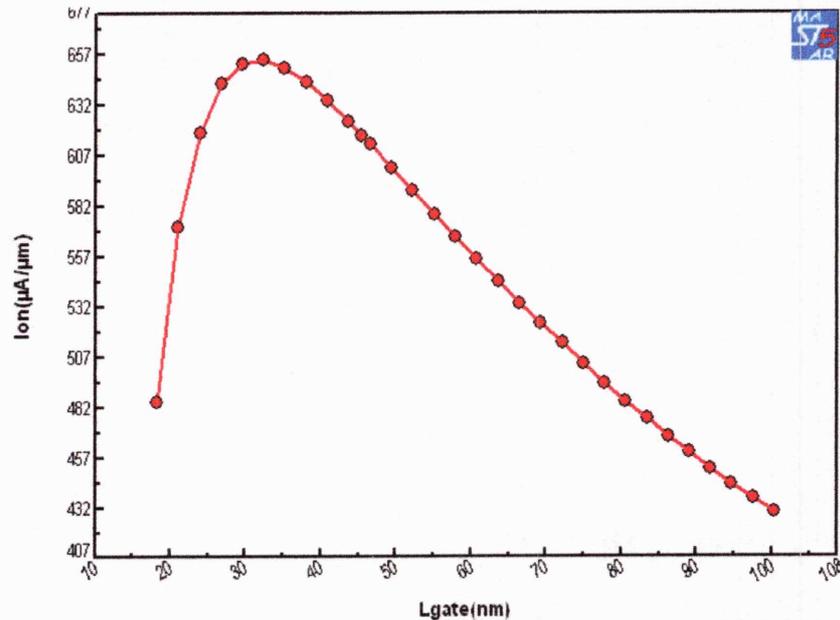


Figure I.14 Courbe de simulation par MASTAR [8] du courant I_{on} vs la longueur de grille pour un CMOS Bulk.

IV. Solutions alternatives

Comme explicité précédemment, plusieurs facteurs contribuent à la réduction des performances électriques des transistors. Cependant, atteindre les objectifs que prévoit l'ITRS [9] après 2020 présente un grand défi qui ne peut pas être surmonté si on reste sur la technologie MOS silicium conventionnel. Il est donc, très important de considérer des solutions alternatives.

Il existe des solutions pour repousser ces limites dont l'une d'elles est l'augmentation du contrôle électrostatique du canal par la grille. Le renforcement de ce couplage peut être réalisé en augmentant le nombre de grilles ou en réduisant l'épaisseur du film de silicium.

Ceci permet une meilleure gouvernance du canal ainsi qu'une diminution des Effets canaux courts.

Dans cette partie, nous allons présenter quelques dispositifs susceptibles de remplacer le MOSFET conventionnel. Certes le nom de ces structures change mais leurs principes de fonctionnement reste à peu près le même.

1) Dispositif PD SOI et FD SOI

Depuis plusieurs années, les grandes industries microélectroniques commencent à utiliser la technologie SOI pour fabriquer leurs produits. Cette technologie nous permet d'avoir de meilleures performances électriques en réduisant les Effets canaux courts. On distingue deux types de transistors sur SOI. Le PD pour partiellement déserté et FD pour complètement déserté. La différence entre les deux est liée à l'épaisseur du film de silicium.

Ces dispositifs permettent de réduire les capacités parasites ce qui améliore les performances en hautes fréquences par rapport au silicium massif [10]. Ils permettent aussi de supprimer les effets de Latch-up, et réduisent considérablement les courants de fuites.

Les caractéristiques de ces dispositifs seront abordées avec plus de détails dans le chapitre II et tout particulièrement pour les dispositifs complètement désertés.

2) Dispositifs Multi grilles

Dans la littérature, on distingue deux familles de transistors à doubles grilles, la première sont les dispositifs réalisés sur du substrat de silicium massif et la deuxième sur du SOI.

a. Doubles grilles sur silicium massif

Schématiquement, la figure I.15 montre une structure simplifiée du MOSFET à doubles grille planeaire, dans lequel le transport des porteurs se fait parallèlement au plan du substrat et le champ électrique entre les deux armatures des grilles est perpendiculaire

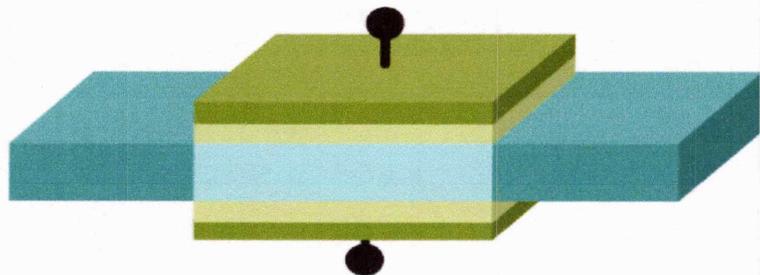


Figure I.15 Schéma simplifié d'un transistor double grille planeaire.

Les deux grilles vont pouvoir contrôler le potentiel dans le canal d'une manière plus efficace comparée aux simples grilles et la distribution de potentiel sera relativement plate. Toutefois, l'agencement des grilles par rapport au canal constitue la différence entre ces MOSFET. On parle alors, du double grille quasi-planeaire dans lequel le champ et le transport des porteurs se font parallèlement au substrat. Et du double grilles non-planeaire où le champ et transport dépendent de l'agencement des grilles.

La réalisation des dispositifs à double grilles reste complexe. Ceci est dû aux problèmes d'alignement de la grille face avant et face arrière comme illustrée sur la figure I.16. Cet effet

a pour conséquence, une forte dispersion des Effets de canaux courts entre les différents dispositifs [11]. En outre, la connexion de la grille face arrière pose d'énormes freins au développement de cette technologie à l'échelle industrielle.

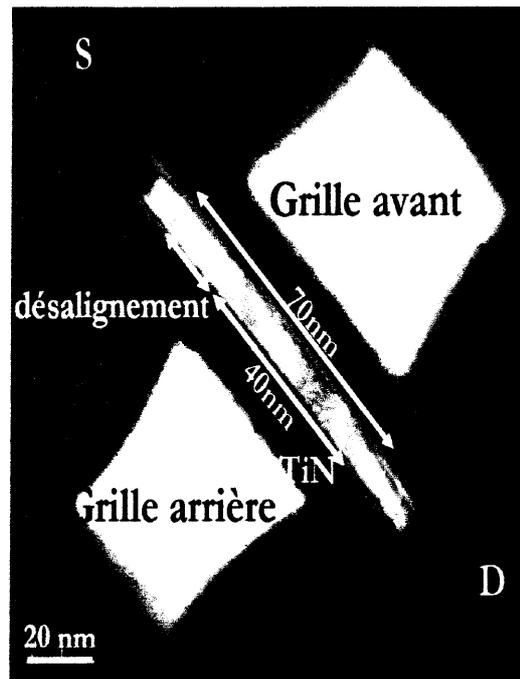


Figure I.16 Coupe TEM d'un transistor double grilles de 50 nm de longueur de grille avec un film de 10 nm d'épaisseur [12].

Les dispositifs à double grilles non planaire, quant à eux, s'affranchissent des problèmes liés à l'auto-alignement des grilles et présentent une très bonne pente sous le seuil, avec une très bonne transconductance ainsi qu'une forte mobilité des porteurs. Les performances de ces transistors MOS multi-grilles sont toutes favorisées par le phénomène d'inversion volumique [13],[14].

Il existe aussi un grand nombre de dispositifs à double grilles réalisés, sur un substrat SOI. Dans ce qui suit nous allons définir brièvement les principaux et nous allons pointer dans quelques cas, les avantages et les inconvénients liés à leurs structures.

b. SON (Silicon on Nothing)MOS

Le SON a été introduit par Jurczak M en 1999 [15]. Ce dispositif se base sur la réalisation du transistor avec une couche de SiGe ultra mince localisée sous la grille et les espaceurs. Cette couche sera gravée sélectivement par rapport au silicium pour laisser place à un espace vide sous le canal de conduction (Figure I.17). Ce vide sera rempli par un diélectrique pour faire un transistor à simple ou double grilles [16]. Le principal avantage de

cette méthode est la maîtrise des épaisseurs du canal de conduction et de l'oxyde enterré qui sont définies lors d'une étape d'épitaxie [17].

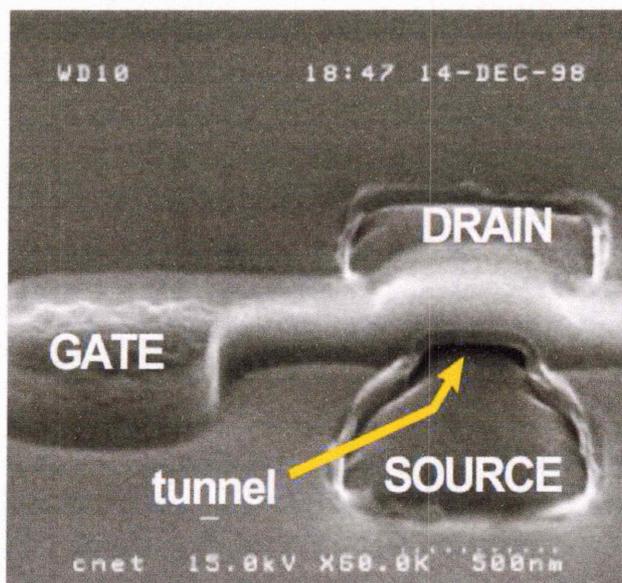


Figure I.17 Image SEM (Microscope électronique) de la structure du dispositif SON après gravure tunnel [15].

c. DELTA MOS

Le transistor DELTA (fully DEpleted Lean-channel TrAnsistor) MOS est représenté Figure I.18. Ce dispositif s'affranchit des contraintes liées à l'auto-alignement des grilles décrit dans le paragraphe IV-1 tout en gardant un fort couplage électrostatique. [18]

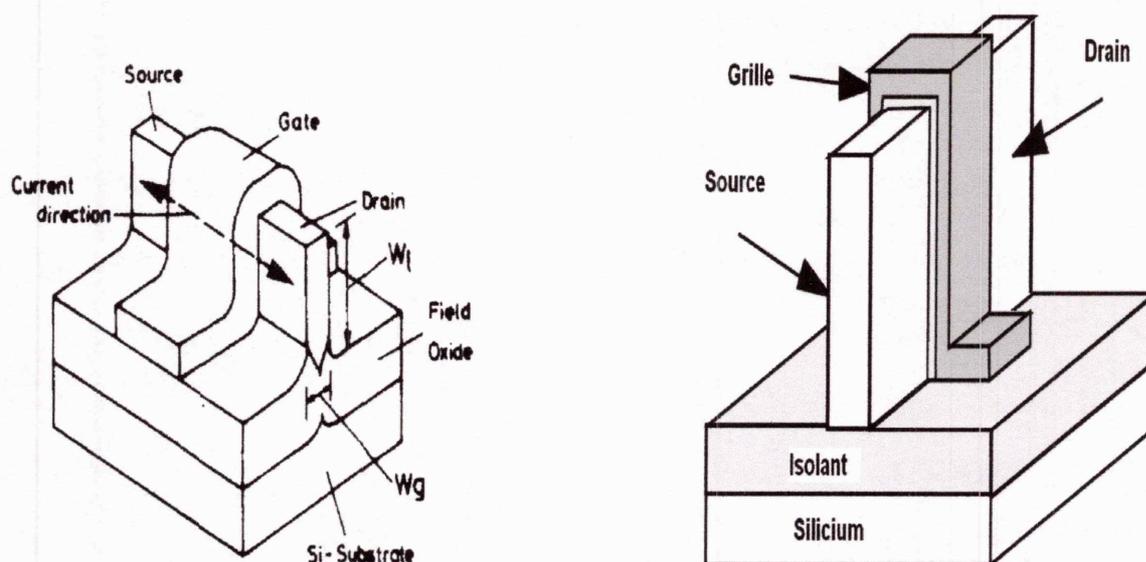


Figure I.18 (a) Schéma du transistor DELTA MOS sur silicium massif [19] (b) Schéma Simplifié de la structure DELTA MOS sur SOI.

Le transistor FinFET reste très similaire au DELTA MOS. Dans le paragraphe suivant, nous allons essayer d'expliquer les spécificités de ces quelques structures connues aussi sous le nom de multi-grilles.

d. FinFET en général

Le FinFet est le dispositif futur proposé par Intel pour les nœuds 22 nm et en deçà. Plusieurs structures ont été proposées comme le Pi-gate MOSFET [Jong01], Omega Fet (Ω Fet).

Toutes ces approches ont en commun un canal de silicium mince ou « Fin » entouré de grilles. Cette configuration permet un contrôle accru du canal comparé aux double grilles ainsi qu'une réduction des Effets de canaux courts [20].

e. Gate All Around GAA MOS

C'est un transistor à grille enrobant GAA pour Gate All Around. Ce dispositif a été introduit par Jean Pierre Colinge en 1990 [21] (voir. Figure I.19). Le dispositif est constitué d'un canal entouré par la grille de quatre cotées.

Le couplage électrostatique entre les grilles adjacentes va créer des conditions favorables pour que les porteurs minoritaires se concentrent dans les coins du GAA [22]. En revanche, cette structure est vulnérable aux effets de coins, puisque ces régions auront une faible tension de seuil et vont s'activer plus rapidement que le canal ce qui a pour conséquence la dégradation de la pente sous le seuil et l'augmentation des courants de fuites. L'arrondissement de ces coins peut supprimer l'activation des canaux parasites. Mais, pour l'instant, contrôler leurs rayons reste difficile technologiquement.

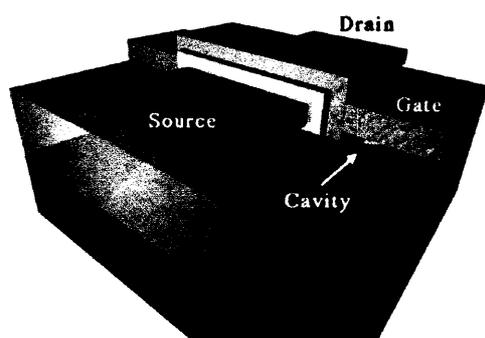


Figure I.19 GAA SOI MOSFET [23].

f. Four-gate (G4-FET)

Comme le GAA MOSFET, le G4-FET est un transistor à 4 grilles qui opère en accumulation et en déplétion. Il a quatre grilles indépendantes qu'on peut polariser indépendamment. Ce dispositif combine les effets du MOS et du JFET (junction FET).

Ce dispositif débite un fort courant et possède une forte transconductance et une excellente pente sous le seuil. Chaque grille permet de basculer le transistor d'un état on à l'état off.

D'autres dispositifs s'inspirant de celui-ci ont aussi vu le jour, comme le triangular-wire SOI MOSFET [24] et le Δ -channel SOI MOSFET [25].

g. Trois grilles (Tri-gate)

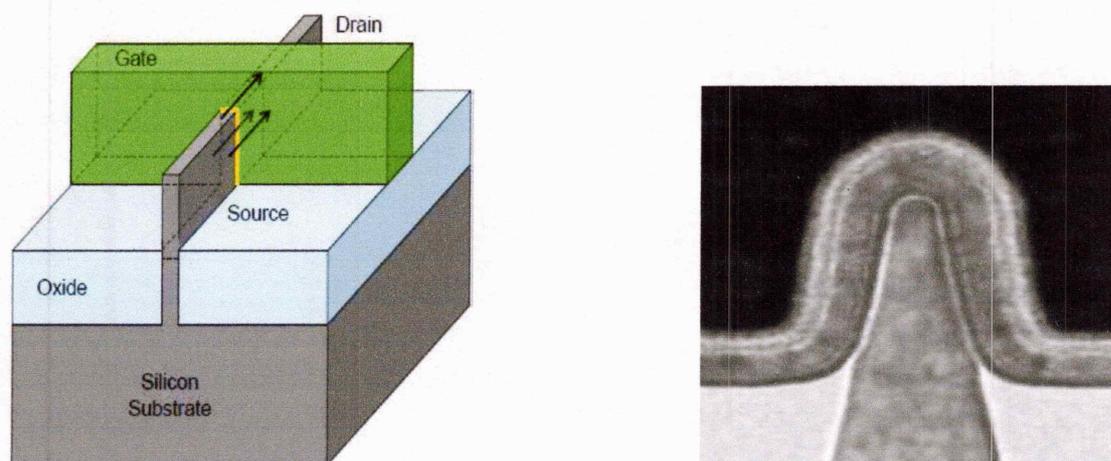


Figure I.20 a) Schéma de la structure simplifiée du FinFET b) Image TEM du FinFET 22 nm de Intel [26].

La figure I.20 montre la structure basique du transistor FinFET 22 nm de Intel ou 3D Trigates. Les électrodes de grilles contrôlent les trois cotés, la conduction des porteurs dans un canal complètement déserté et inversé. L'augmentation du contrôle électrostatique améliore fortement la pente sous le seuil tout en réduisant les courants de fuites en comparaison avec le MOS simple grille sur silicium massif (Figure I.21).

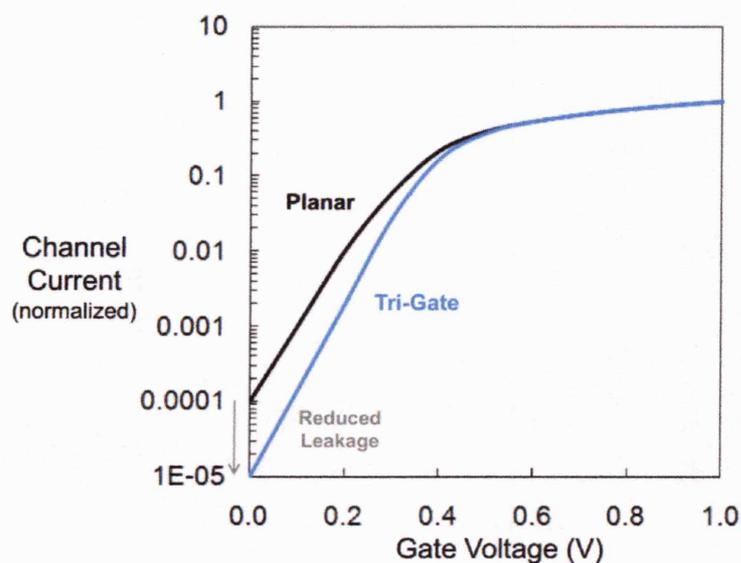


Figure I.21 Comparaison entre une simple grille planaire et un Tri-Gate.

Cette technologie est actuellement en production. Elle remplace la technologie silicium massif planaire. Ces dispositifs constituent pour le moment, un tournant majeur dans le monde de la microélectronique industrielle en rompant avec le MOS planaire et en se lançant sur les structures MOS 3D Figure I.22. Intel, avec ce produit, propose 37% d'augmentation en termes de performances pour les faibles tensions comparées a transistor MOS 32 nm planaire. Ces dispositifs peuvent être fabriqués sur un substrat SOI comme sur du silicium massif.

V. Conclusion

Dans ce chapitre nous avons présenté un petit résumé des différentes équations de base qui régissent le fonctionnement du transistor MOSFET ainsi que l'état de l'art des principales technologies à base de SOI, de silicium massif et de matériaux alternatifs et leurs contributions dans la réduction d'échelle.

De ce constat, les dispositifs sur SOI et les multi grilles apparaissent comme étant de contributeurs majeurs dans l'extension des limites de la réduction d'échelle vers des dimensions déca nanométriques.



Chapitre II : Le dispositif MOSFET SOI

I. Introduction	(26)
II. Technologie silicium sur isolant /SOI (Silicon On Insulator)	(27)
1) Idée du SOI	(27)
2) Substrat SOI	(27)
3) MOSFET sur SOI	(29)
1. MOSFET PD SOI (partiellement deserte)	(30)
a. Effet Kink	(30)
b. Effet bipolaire parasite	(31)
c. Effet latch up	(31)
d. Effet transitoire	(32)
2. Transistors MOS Complètement Désertes (FD SOI)	(33)
III. Conclusion	(33)

I. Introduction

Le MOSFET FD SOI (Complètement déserté Silicium sur Isolant) est une alternative crédible pour remplacer le MOS sur silicium massif. La figure II.2 montre une comparaison entre l'architecture du MOS conventionnelle sur silicium et sur SOI. On peut dire que la présence d'une couche enterrée d'oxyde de silicium SiO_2 est la majeure différence entre les deux technologies. Elle permet d'isoler les MOS des effets parasites et sépare la zone active du reste du wafer.

Ce dispositif arrive à suivre la loi de Moore pour les nœuds 28 et 22 nm et présente d'excellentes performances électriques. STMicroelectronics a relevé le défi de se lancer dans le développement de cette technologie à l'échelle industrielle pour le nœud 28 nm. Un excellent pari aux vues des performances atteintes.

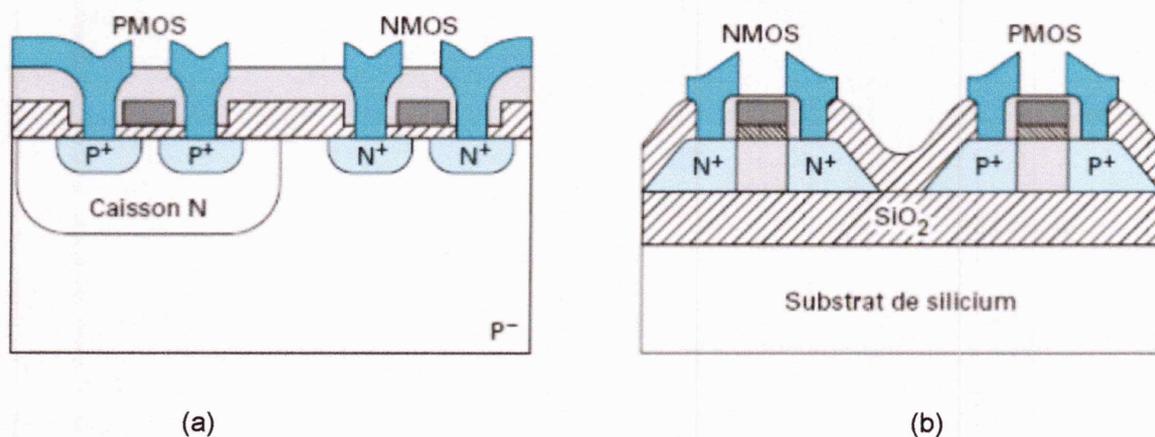


Figure II.1 Comparaison entre l'architecture d'un MOS sur bulk (a) et sur SOI (b) [26].

Dans ce chapitre, nous allons étudier les caractéristiques électriques des dispositifs FDSOI. Nous exposerons les différentes méthodes d'extractions de paramètres du transistor et nous verrons l'impact des paramètres comme l'épaisseur du Box et le type du plan de masse "Grounds Plane" sur le fonctionnement du transistor. Nous énumérons aussi les avantages qu'apportent ces dispositifs sur des paramètres comme la tension de seuil et le DIBL.

II. Technologie silicium sur isolant /SOI (Silicon On Insulator)

1) Idée du SOI

Si l'on regarde en coupe une plaque de la technologie silicium massif, la zone utilisée pour la fabrication et le fonctionnement des transistors est très faible moins de 1 % de l'épaisseur totale de la plaquette. Le reste est utilisé comme support mécanique induisant des phénomènes parasites. Isoler la zone électriquement active du transistor du reste de la plaque avec un diélectrique a donc été proposée.

Ce diélectrique enterré permet ainsi une isolation totale entre dispositifs et ainsi la réduction des extensions des source/drain en profondeur par le Box. Ceci permet de réduire les effets canaux courts et les effets de perçage.

2) Substrat SOI

Historiquement, la technologie SOI a été introduite vers 1970 pour des applications spatiales. Aujourd'hui, différents substrats SOI ont été proposés : SOS (Silicium sur Saphir, SIMOX (Implantation d'ions d'oxygène à fortes dose et énergie). Ces wafers sont fabriqués suivant une technique innovante constituée de deux étapes ; la première consiste au collage d'une plaque A oxydée avec une plaque B. Ce collage se fait via des liaisons hydrophiles et les forces de Van Der Walls.

La seconde étape, consiste à amincir le film du silicium sur le Box. Cette technique a été développée par Michel Bruel [12] du CEA-Leti, et Soitec l'a adopté pour une production industrielle. La figure II.3 expose une brève explication des différentes étapes de fabrication des substrats SOI par la méthode "Smart Cut™".

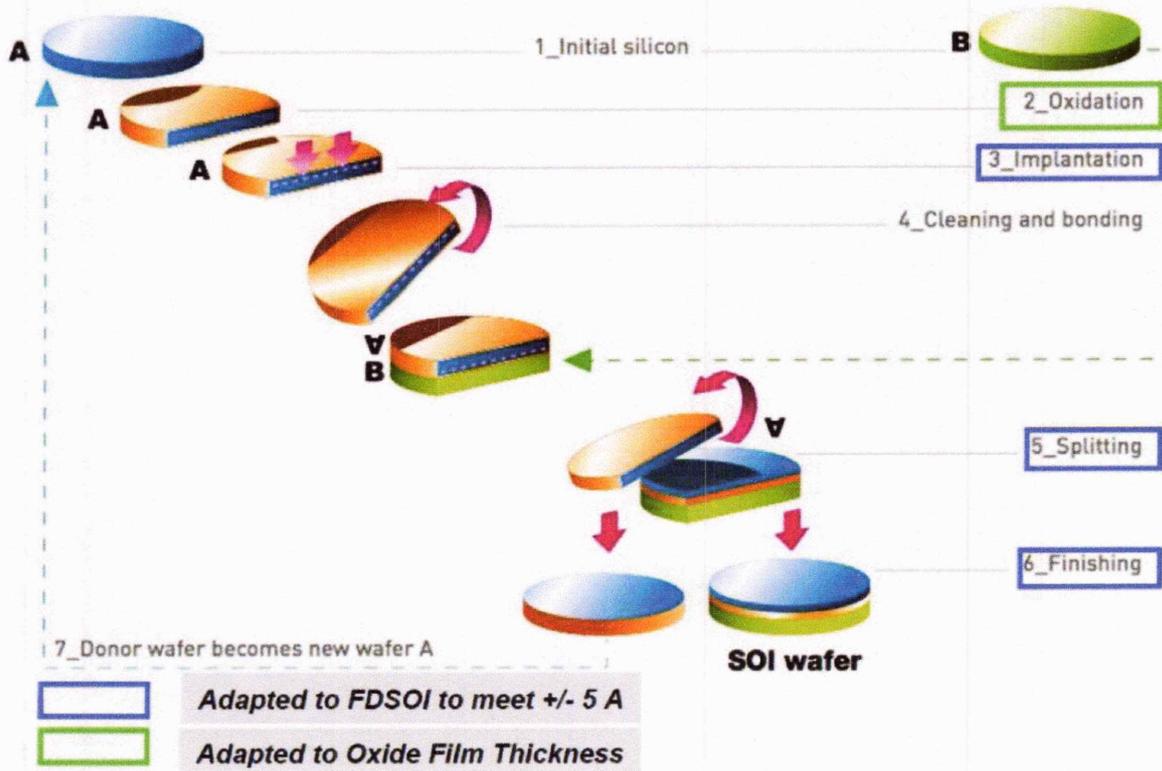


Figure II.2 Processus SMART CUT TM[27].

3) MOSFET sur SOI

Les transistors sur SOI se classent principalement en deux familles de composants les PD (Partially Depleted) partiellement déserté et le FD (Fully Depleted) complètement déserté. Ces notations font référence à l'état du canal, le premier ne sera pas totalement déserté puisque la profondeur de déplétion est inférieure à l'épaisseur de la couche de silicium ($T_{si} > X_{dép}$), et le deuxième sera totalement déserté. La technologie PD est assez proches de celle sur substrat massif en termes de processus de fabrication, cependant, plusieurs problèmes subsistent et limitent son utilisation.

1. MOSFET PD SOI (partiellement déserté)

Le MOSFET PD (cf. Figure II.4) reste similaire au MOS sur silicium massif, les charges des porteurs majoritaires se trouvent repoussées de l'interface diélectrique/Silicium créant ainsi une zone de déplétion d'une profondeur maximum $X_{dép}$ qui reste inférieure à l'épaisseur

T_{si} . La non-déplétion de toute la couche de silicium crée une zone électriquement neutre, et réduit son contrôle électrostatique.

$$X_{dép}^{max} = \sqrt{\frac{4\epsilon_{si}\phi_F}{qN}} \quad (II.1)$$

Où N est le niveau du dopage du canal.

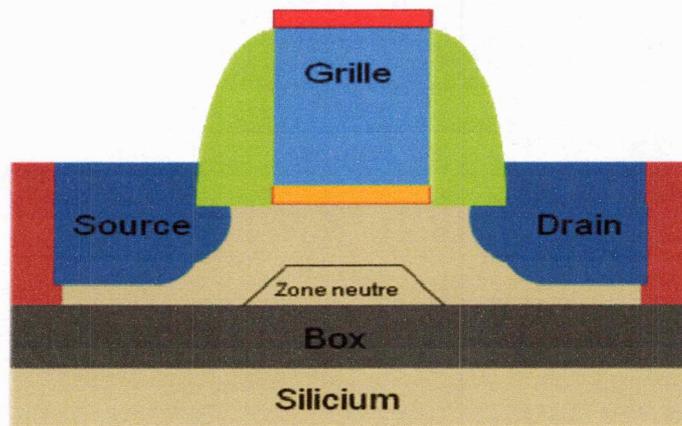


Figure II.3 Représentation schématique d'un transistor MOS PD SOI.

Les dispositifs PD exhibent de performances meilleures notamment en termes de courant I_0 comparés à ceux sur silicium massif. Néanmoins, d'autres effets parasites, connus sous le nom de substrat flottant (Floating Body Effects) apparaissent. Les caractéristiques I-V ne sont plus constantes et deviennent dépendantes de la densité de charges contenues dans la zone neutre (body) modifiant ainsi le comportement du transistor.

a. Effet Kink

Ce phénomène apparaît à fort champ électrique, il est dû à l'ionisation par impact qui crée des paires électrons-trous près du drain. Certaines de ces charges ne se recombinent pas et donnent lieu à des charges libres. Dans le cas d'un NMOS, les électrons vont suivre le courant de drain en revanche, les trous vont s'accumuler lentement dans le body/ zone neutre Figure II.5. Ce phénomène contribue à l'augmentation du potentiel dans le canal et par conséquent, induit une diminution de la tension de seuil et une augmentation du courant de drain Figure II.6. Les équations (II.2&II.3) permettent de calculer la variation de tension de seuil V_{th} et I_D engendrée.

$$\Delta I_D = g_b \Delta V_b \tag{II.2}$$

$$\Delta V_{th} = -\frac{C_{dep}}{C_{ox}} \Delta V_b \tag{II.3}$$

$$g_b = \frac{dI_D}{dV_b} = \frac{C_{dep}}{C_{ox}} g_m \tag{II.4}$$

Où g_b est la transconductance du body et g_m la transconductance face avant, V_b est l'auto polarisation face arrière et C_{dep} est la capacité de déplétion [24].

Un second effet kink peut aussi apparaitre après le premier. Il est dû à la polarisation en direct de la diode source/body et peut engendrer le passage d'un courant bipolaire parallèle au MOSFET. C'est l'effet bipolaire parasite.

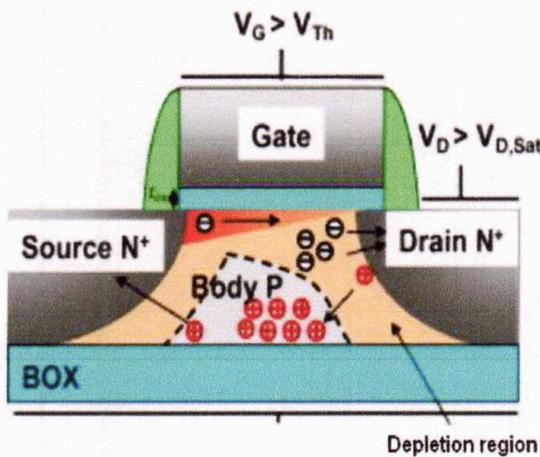


Figure II.4 Mécanisme d'ionisation par

[27].

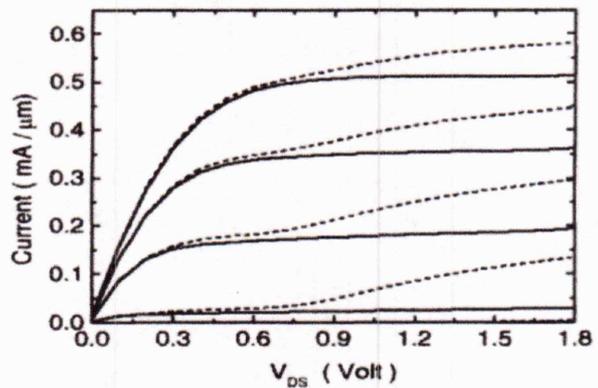


Figure II.5 L'effet Kink pour transistor PD impact

SOI [27].

Toutefois, ces effets sont atténués et peuvent disparaître dans le cas du FD SOI, en raison de la déplétion totale du film de silicium, ce qui annule l'effet Kink.

b. Effet bipolaire parasite

Dans un composé à base de SOI la présence du substrat flottant rend ce phénomène plus important. Il est dû à l'apparition d'un transistor à jonction bipolaire dans le substrat.

L'émetteur et le collecteur sont formés par la source et le drain dopé N+ (NMOS) et la base par le substrat de type p. Les trous, créés par le phénomène d'ionisation par impact

(Premier effet Kink), migrent dans la zone flottante de substrat, et vont créer un transistor bipolaire parasite par polarisation directe de la jonction base/émetteur (body/source), parallèlement au MOS [28]. Ce phénomène parasite contribue à la dégradation de la tension de seuil, une pente sous le seuil inférieure à 60 mV/déc et une perte de contrôle du courant par la grille, ce qui peut donner lieu à de très forts courants de fuites [29]. Pour atténuer cet effet, une implantation LDD est proposée comme solution. Cette technique permet de réduire l'ionisation par impact et le gain du bipolaire [30] [31]

c. Effet latch up

L'effet de « latch-up » peut entraîner le verrouillage d'une structure parasite de type thyristor, inhérente aux technologies CMOS sur substrat massif. Cet effet s'explique par la mise en conduction d'une structure PNPN à travers le substrat, en raison de deux transistors bipolaires parasites NPN et PNP, formés entre le substrat, le caisson et les zones de diffusion des transistors NMOS et PMOS. Si cette structure de thyristor est verrouillée par un courant fort dans la base d'un des deux transistors bipolaires, les alimentations sont court-circuitées, pouvant causer la destruction irrémédiable du composant en quelques microsecondes par effet thermique. L'oxyde enterré du SOI prévient tout chemin de courant à travers le substrat, empêchant une telle structure de se former. [32]

d. Effet transitoire

Un courant de drain transitoire est observé quand le potentiel du body flottant est poussé hors équilibre. Cet effet va augmenter temporairement le courant à cause d'un excès de charges majoritaires ou va créer une diminution temporaire du courant à cause d'un déficit de ces mêmes charges.[33]

2. Transistors MOS Complètement Désertés (FD SOI)

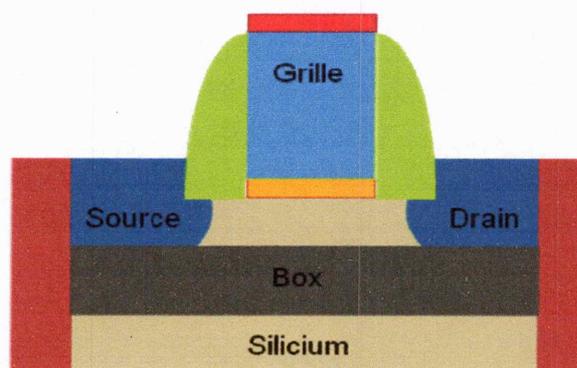


Figure II.6 Représentation schématique d'un transistor MOS FDSOI.

La structure FD SOI ressemble à celle du PD, les seules grandes différences sont ; une absence ou peu de dopage dans le canal et l'amincissement du film du silicium. Pour simplifier, le transistor FD SOI est un transistor MOS intégré sur une couche de silicium ultramince, opérant en déplétion totale avec un canal confiné dans une zone réduite entre l'oxyde de grille et le Box.

L'application d'une potentielle face arrière (Back Bias) via une prise substrat va augmenter les performances et réduire les fuites (Paragraphe III.9-2), par ajustement du V_{th} et réalisant des implantations de dopants sous le Box (c'est ce qu'on appelle plan de masse "*Ground Plane*").

Hormis ces avantages, le FD SOI confère :

- Une immunité due aux composants des zones actives du silicium en raison de la présence de l'oxyde enterré.
- Un excellent contrôle électrostatique du transistor, permettant d'atteindre des performances remarquables pour les faibles V_{dd} .
- Une réduction considérable de la variabilité, les transistors MOS FDSOI possèdent un coefficient de variabilité de la tension de seuil (AV_t), aussi appelé coefficient de Pelgrom, deux à trois fois plus faible que celui des transistors MOS sur silicium massif. Cela permet ainsi, une grande stabilité et un meilleur rendement des SRAM pour les faibles V_{dd} [34].

En comparaison avec le CMOS sur silicium massif dans les circuits, pour une même tension d'alimentation on a une augmentation de 20-30% en termes de performances et une réduction ~40 % de la consommation d'énergie de consommation grâce au FDSOI (Cf Figure II.8).

Tous ces atouts ont fait que le FD SOI est considéré comme un candidat sérieux et crédible pour concurrencer la technologie CMOS sur silicium massif pour les prochains nœuds technologiques.

Il faut rappeler que le MOS FD SOI fonctionne globalement de la même manière que le MOS sur silicium massif et les équations introduites dans le premier chapitre restent valables ainsi que les méthodes d'extraction des paramètres des dispositifs.

III. Conclusion

Ce deuxième chapitre avait pour but de présenter le transistor MOS FD SOI, ses équations de base et la façon d'en extraire les paramètres électriques. Nous avons présenté en premier lieu la différence entre cette structure et le transistor silicium Bulk ainsi que son principe de fonctionnement. Nous avons soulevé les avantages d'un tel dispositif. Ensuite, nous nous sommes penchés sur les effets qu'entraîne la miniaturisation et comment notre transistor permet de réduire son impact sur les performances. Nous avons regardé aussi l'effet du plan de masse "Ground Plane" et la polarisation face arrière "Back Biasing" sur les différents paramètres du transistor comme le DIBL, la tension de seuil V_{th} et la mobilité des porteurs dans le canal.

Finalement, l'architecture à film mince, BOX mince et GP semble très prometteuse en vue de tenir les spécifications des prochaines générations des transistors à basse consommation (LP).

***Chapitre III : comparaison des modèle développés
pour la simulation des circuits MOS SOI***

CHAPITRE III : comparaison de modèles développés pour la simulation des circuits MOS SOI.

I. Introduction.....(35)

II. Potentiel de surface.....(35)

 a) Modèle m11.....(38)

 b) Modèle Tsividis.....(38)

III. Densités de charges(40)

 a) Modèle m11.....(41)

 b) Modèle Tsividis.....(42)

IV. Courant de canal (drain) i_{ds} (43)

 a) Modèle m11.....(44)

 b) modèle Tsividis.....(45)

V. La mobilité effective(46)

 a) Modèle m11.....(48)

 b) Modèle Tsividis.....(49)

VI. Non linéarités dans les composants.....(54)

 VI.1.Distorsion harmonique(55)

VI.Conclusion.....(55)

1. Introduction

La connaissance des équations de modélisation de la conduction dans le transistor MOS est nécessaire pour l'extraction des paramètres de fonctionnement comme la tension de seuil V_T , la mobilité ou la transconductance du canal g_m . Parmi les modèles décrivant les propriétés de conduction d'un transistor MOS, le model de Yannis Tsividis, basé sur le principe dérive-diffusion, permettent la continuité du courant I_{DS} entre les différents régimes de fonctionnement du transistor MOS. Ainsi, nous avons choisi d'utiliser ce modèle, qui repose sur le calcul du potentiel de surface le long du canal.

I. POTENTIEL DE SURFACE

Afin de pouvoir calculer des quantités électriques telles que des courants, nous commencerons d'abord avec la définition du potentiel de surface. Le potentiel de surface ψ_s est défini comme potentiel électrostatique à l'interface de la barrière oxyde/substrat. Pour le moment, on suppose que la barrière est idéale et aucun épuisement ne se produit dans le poly silicium.

Dans un substrat de type -p, la charge d'espace présente est :

$$\rho(x, y) = q [p(x, y) - n(x, y) - N_A] \quad (\text{III.1})$$

Où N_A est la concentration des dopants accepteurs. Les densités d'électrons et trous, n et p , sont données par les statistiques de Maxwell Boltzmann :

$$n(x, y) \approx N_A \exp\left(\frac{\psi(x, y) - V(x) - 2\phi_F}{\phi_T}\right) \quad (\text{III.2})$$

$$p(x, y) \approx N_A \exp\left(-\frac{\psi(x, y)_F}{\phi_T}\right) \quad (\text{III.3})$$

Où ψ le potentiel électrostatique, ϕ_T Le potentiel thermique, ϕ_F Le potentiel intrinsèque du niveau de Fermi qui dépend de ϕ_T , et le $V(x)$ le quasi-niveau de Fermi des électrons, qui s'étend de V_{SB} sur le côté source ($x = 0$) à V_{DB} sur le côté drain ($x = L$). L'équation de Poisson pour le potentiel électrostatique est écrite comme :

$$\nabla^2 \psi = -\frac{\rho(x, y)}{\epsilon_{Si}} \quad (III.4)$$

Afin d'obtenir une solution analytique approximative de (3), habituellement on considère $\partial^2 \psi / \partial x^2 \ll \partial^2 \psi / \partial y^2$. Ceci s'appelle l'approximation progressive du canal, qui est valide pour des dispositifs à long canal. L'équation de Poisson peut maintenant être réécrite comme :

$$\frac{\partial^2 \psi}{\partial y^2} \approx \frac{qN_A}{\epsilon_{Si}} \left[1 - \exp\left(-\frac{\psi}{\phi_T}\right) + \exp\left(\frac{\psi - V - \phi_B}{\phi_T}\right) \right] \quad (III.5)$$

Où $\phi_B = 2\phi_F$. Comme conditions aux limites le ψ et $\partial\psi/\partial y$ sont pris égaux à zéro dans la profondeur du substrat neutre. En utilisant le $\partial^2 \psi / \partial y^2 = 1/2 \partial(\partial\psi/\partial y)^2 / \partial y$, toute la charge totale Q_C par unité de surface dans le semi-conducteur peut être obtenu à partir de la loi de Gauss :

$$\begin{aligned} Q_C &= \epsilon_{Si} \frac{\partial \psi}{\partial y} \\ &= \pm \delta C'_{ox} \sqrt{\psi_s + \phi_T \left[\exp\left(-\frac{\psi_s}{\phi_T}\right) - 1 \right] + \phi_T \exp\left(-\frac{V + \phi_B}{\phi_T}\right) \left[\exp\left(\frac{\psi_s}{\phi_T}\right) - 1 \right]} \end{aligned} \quad (III.6)$$

Où C'_{ox} est la capacité d'oxyde par unité de surface donnée par le ϵ_{ox}/t_{ox} , et δ est l'effet body donné par $(2q\epsilon_{Si}N_A)^{1/2}/C'_{ox}$. La densité Q_C de charge est négative pour $V_{GB} > V_{FB}$ (c.-à-d., déplétion, inversion) et positif pour $V_{GB} < V_{FB}$ (c.-à-d., accumulation).

Appliquant le théorème de Gauss à l'interface d'oxyde, la charge ci-dessus peut également être liée à la tension appliquée :

$$Q_C = -C'_{ox} (V_{GB} - V_{FB} - \psi_s) \quad (III.7)$$

Egalisant (5) et (6), une relation implicite pour $\psi_s(V_{GB}, V)$ est trouvée :

$$\left(\frac{V_{GB} - V_{FB} - \psi_s}{\delta} \right)^2 = \psi_s + \phi_T \left[\exp\left(-\frac{\psi_s}{\phi_T} \right) - 1 \right] + \phi_T \exp\left(-\frac{V + \phi_B}{m_s \phi_T} \right) \left[\exp\left(\frac{\psi_s}{m_s \phi_T} \right) - 1 \right] \quad (\text{III.8})$$

Le potentiel de surface ψ_s ne peut pas être résolu analytiquement de la relation ci-dessus, et il doit être résolu ainsi itérativement. Le potentiel de surface ψ_s est donné en fonction de la tension appliquée pour différentes valeurs du potentiel V de quasi niveau de Fermi. On peut observer trois régions distinctes, la région d'accumulation (c.-à-d., $\psi_s < 0$ et $V_{GB} < V_{FB}$), la région de faible inversion ou déplétion (c.-à-d., $0 < \psi_s < \phi_B + V$ et $V_{FB} < V_{GB} < V_{FB} + \phi_B + V + \delta(\phi_B + V)^{1/2}$) et la région forte inversion (c.-à-d., $\psi_s > \phi_B + V$ et $V_{GB} > V_{FB} + \phi_B + V + \delta(\phi_B + V)^{1/2}$).

Remarque

Jusque ici les deux modèles sont identiques, ainsi dans ce qui suit nous allons essayer de localiser leurs différences

II. a) MODELE M11

Le potentiel de surface ψ_s est déduit de la relation implicite $\psi_s(V_{GB}, V)$ suivante :

$$\left(\frac{V_{GB} - V_{FB} - \psi_s}{\delta} \right)^2 = \psi_s + \phi_T \left[\exp\left(-\frac{\psi_s}{\phi_T} \right) - 1 \right] + \phi_T \exp\left(-\frac{V + \phi_B}{m_s \phi_T} \right) \left[\exp\left(\frac{\psi_s}{m_s \phi_T} \right) - 1 \right] \quad (\text{III.9})$$

Dans l'équation ci-dessus, un nouveau paramètre m_s a été présenté afin de tenir compte des effets du canal- court. Pour l'instant, le m_s est pris pour sa valeur théorique de 1.

Dans ce model on tient compte de l'effet de Poly- déplétion. Dans la pratique, la grille de polysilicium n'est pas un conducteur idéal. L'utilisation d'une grille de polysilicium en technologies modernes a comme conséquence un effet non désiré, le prétendu effet de poly-déplétion. Pour des valeurs élevées de champ électrique normal, une couche de déplétion non seulement se forme dans le substrat mais

aussi dans la grille de polysilicium, ayant pour résultat une chute de potentiel ψ_p à travers la couche de déplétion du polysilicium (c.-à-d., le potentiel électrostatique à l'interface de grille/grille-oxyde). Par conséquent, les relations au-dessus deviennent imprécises. L'effet de poly-déplétion affecte en particulier les caractéristiques de MOS, et doit être pris en considération. Ainsi la densité Q_C de charge devient :

$$Q_C = -C'_{ox}(V_{GB} - V_{FB} - \psi_s - \psi_p) \quad (\text{III.10})$$

Où le potentiel ψ_p est donné par :

$$\psi_p = \begin{cases} 0 & \text{for : } V_{GB} \leq V_{FB} \\ \left(\sqrt{V_{GB} - V_{FB} - \psi_s + \frac{\delta_p^2}{4}} - \frac{\delta_p}{2} \right)^2 & \text{for : } V_{GB} > V_{FB} \end{cases}$$

Où δ_p est l'effet body de la grille donné par $(2q\epsilon_{si}N_p)^{1/2}/C'_{ox}$; N_p est la concentration des dopants donneurs dans la grille de polysilicium y compris dans la zone de déplétion du polysilicium, la relation implicite pour le potentiel extérieur peut être réécrite comme :

$$\left(\frac{V_{GB} - V_{FB} - \psi_s - \psi_p}{\delta} \right)^2 = \psi_s + \phi_T \left[\exp\left(-\frac{\psi_s}{\phi_T} \right) - 1 \right] + \phi_T \exp\left(-\frac{V + \phi_B}{m_s \phi_T} \right) \left[\exp\left(\frac{\psi_s}{m_s \phi_T} \right) - 1 \right] \quad (\text{III.11})$$

Pour une porte idéale en métal (c.-à-d., $N_p \rightarrow \infty$ on a par conséquent $\psi_p = 0$) et pour une grille typique de poly-silicium, donc l'influence de la zone de déplétion du polysilicium réduit la densité de charge dans la région forte inversion, en conséquence, elle affectera les courants et les capacités dans le transistor MOS.

La relation implicite pour le potentiel de surface peut seulement être résolue itérativement, est indésirable pour la simulation de circuit de VLSI, c'est un inconvénient des modèles basés sur ψ_s . Néanmoins, de nos jours on estime que le temps supplémentaire de calcul vaut la peine car il donne l'exactitude. D'ailleurs, il est possible de réduire le temps de calcul en employant une approximation

appropriée de ψ_s . Dans Model 11, une solution explicite approximative du potentiel de surface est employée.

L'approximation explicite du potentiel de surface

La relation implicite (7) pour le potentiel de surface ne peut pas être résolue analytiquement. Elle peut seulement être résolue itérativement, Afin de réduire le temps de calcul, une approximation précise est exigée. L'approximation explicite utilisée dans le model 11 de MOS est la suivante. On peut observer trois régions distinctes d'opération : la région d'accumulation, la région de faible inversion ou d'épuisement et la région de forte inversion. Différentes approximations du potentiel de surface peuvent être faites dans les diverses régions.

Région d'Accumulation

L'accumulation se produit quand l'influence des trous est dominante. En d'autres termes. Dans ce cas-ci, négligeant l'influence des électrons, la relation implicite (7) peut être approximée par :

$$V_{GB} - V_{FB} - \psi_s \approx -\delta \sqrt{\psi_s + \phi_T \left[\exp\left(-\frac{\psi_s}{\phi_T}\right) - 1 \right]} \quad (\text{III.12})$$

L'exponentielle est dominante pour ψ_s il convient d'écrire l'équation sous la forme suivante :

$$\psi_s = -\phi_T \ln \left[\frac{(V_{GB} - V_{FB} - \psi_s)^2 / \delta^2 + \phi_T - \psi_s}{\phi_T} \right] \quad (\text{III.13})$$

Puisque ψ_s est presque égal à zéro en accumulation, le potentiel de surface peut être approximé par :

$$\psi_s = -\phi_T \ln \left[\frac{\left(V_{GB} - V_{FB} / \delta \right)^2 + \phi_T}{\phi_T} \right] \quad (\text{III.14})$$

Le d'après ce qui précède, ψ_s est indépendant du potentiel V du quasi niveau de Fermi, et dépend faiblement de la polarisation V_{GB} . Pour un calcul explicite de ψ_s , l'utilisation de la valeur zéro ne donne pas des résultats précis. Une simple fonction empirique ψ_{acc}^* est définie pour réaliser ce changement.

$$\psi_{acc}^* = \frac{A_{acc}(V_{GB} - V_{FB})}{\sqrt{1 + \left(\frac{A_{acc}(V_{GB} - V_{FB})}{4\phi_T}\right)^2}} \quad (III.15)$$

L'équation peut maintenant être réécrite comme :

$$\psi_s \approx -\phi_T \ln \left[\frac{(V_{GB} - V_{FB} - \psi_{acc}^*)^2 / \delta^2 + \phi_T - \psi_{acc}^*}{\phi_T} \right] \quad (III.16)$$

Région de Faible Inversion et de déplétion :

L'inversion faible se produit quand l'influence des atomes d'accepteur ionisés est dominante. Dans ce cas-ci, négligeant l'influence des électrons, la relation implicite (7) peut être approximée :

$$V_{GB} - V_{FB} - \psi_s - \psi_p \approx \delta \sqrt{\psi_s + \Delta_{acc}} \quad (III.17)$$

Où Δ_{acc} est une fonction qui tient compte de l'influence des trous :

$$\Delta_{acc} = \phi_T \left[\exp\left(-\frac{\psi_s}{\phi_T}\right) - 1 \right] \quad (III.18)$$

La fonction Δ_{acc} est égale à 0 quand $V_{GB}=V_{FB}$ et elle approche une valeur de $-\phi_T$ pour $V_{GB} \gg V_{FB}$. Une expression approximative qui assure ces conditions et qui ne dépend plus de ψ_s , est donnée par :

$$\Delta_{acc} \approx \phi_T \left[\exp\left(-A_{acc} \frac{V_{GB} - V_{FB}}{\phi_T}\right) - 1 \right] \quad (III.19)$$

La solution de ψ_s a comme conséquence une expression simple :

$$\psi_s \approx \left[\left(\frac{\sqrt{P_D (V_{GB} - V_{FB} + \Delta_{Acc}) + \frac{\delta^2}{4} - \frac{\delta}{2}}}{P_D} \right)^2 - \Delta_{Acc} \right] = \psi_{Sat} \quad (III.20)$$

Où $P_D = 1 + (\delta / \delta_p)^2$. L'expression ci-dessus donne une description précise de ψ_s dans la région faible inversion.

Région de Forte Inversion

L'inversion forte se produit quand l'influence des électrons est dominante. Dans ce cas-ci, la relation implicite (7) peut être approximée en supposant que $\phi_B + V \gg \phi_T$ correspondant à $V_{GB} > V_{GBT}$:

$$V_{GB} - V_{FB} - \psi_s - \psi_p \approx \delta \sqrt{\psi_s + \phi_T \exp\left(\frac{\psi_s - V - \phi_B}{m_s \phi_T}\right) + \Delta_{acc}} \quad (III.21)$$

En considérons le terme exponentielle dominant pour $\psi_s > \phi_B + V$, il est commode de récrire cette équation comme suit :

$$\psi_s = \phi_B + V + \phi_T \ln \left(\frac{\left[\frac{2/\delta \cdot (V_{GB} - V_{FB} - \psi_s)}{1 + \sqrt{1 + 4/\delta_p^2 \cdot (V_{GB} - V_{FB} - \psi_s)}} \right]^2 - \psi_s - \Delta_{acc}}{\phi_T} \right) \quad (III.22)$$

Il est clair que ψ_s dépend fortement du quasi niveau de Fermi V et dépend faiblement V_{GB} .

Dans une première approximation nous pouvons supposer que ψ_s demeure constant et égal a $\phi_B + V$.

Replaçant ψ_s dans le côté droit de l'équation nous aurons :

$$\psi_s = \phi_B + V + \phi_T \ln \left(\frac{\left[\frac{2/\delta \cdot (V_{GB} - V_{FB} - \phi_B - V)}{1 + \sqrt{1 + 4/\delta_p^2 \cdot (V_{GB} - V_{FB} - \phi_B - V)}} \right]^2 - \phi_B - V - \Delta_{acc} + \phi_T}{\phi_T} \right) \quad (III.23)$$

Où ϕ_T a été ajouté dans le logarithme de sorte à éviter le chevauchement avec la faible inversion pour $V_{GB} > V_{GBT}$. L'utilisation de valeur constante du $\phi_B + V$ ne donne pas des résultats précis.

Aux valeurs élevées de $V_{GB} - V_{FB}$, le potentiel de surface semble saturer à une valeur qui est de plusieurs ϕ_T , et qui est d'environ $4\phi_T$ pour les transistors MOSFET conventionnels. Pour $\psi_s > \phi_B + V$, le potentiel de surface change à la limite de $\phi_B + V + 4\phi_T$ pour des valeurs élevées de la tension de grille.

On peut définir une fonction empirique qui réalise ce changement :

$$\psi^* = \phi_B + V + \frac{\psi_{sat} - V - \phi_B}{\sqrt{1 + \left(\frac{\psi_{sat} - V - \phi_B}{4\phi_T} \right)^2}} \quad (III.24)$$

Ici ψ_{sat} est donné par l'équation de faible inversion. Dans le terme logarithmique, le ϕ_B+V peut maintenant être remplacé par le ψ^* on a :

$$\psi_s = \phi_B + V + \phi_T \ln \left(\frac{\left[\frac{2/\delta \cdot (V_{GB} - V_{FB} - \psi^*)}{1 + \sqrt{1 + 4/\delta_p^2 \cdot (V_{GB} - V_{FB} - \psi^*)}} \right]^2 - \psi^* - \Delta_{acc} + \phi_T}{\phi_T} \right) \quad (\text{III.25})$$

Ci-dessus le terme quadratique dans le logarithme est dominant, et en conséquence, l'expression peut être encore approximée par :

$$\psi_s = \phi_B + V + \phi_T \ln \left(\frac{\left[\frac{2/\delta \cdot (V_{GB} - V_{FB} - \psi^*)}{1 + \sqrt{1 + 4/\delta_p^2 \cdot (V_{GB} - V_{FB} - \psi^*)}} \right]^2 - \phi_B - V - \Delta_{acc} + \phi_T}{\phi_T} \right) \quad (\text{III.26})$$

II. b MODELE TSIVIDIS

Le potentiel de surface ψ_s est déduit de la relation suivante :

$$\left(\frac{V_{GB} - V_{FB} - \psi_s}{\delta} \right)^2 = \psi_s + \phi_T \left[\exp\left(-\frac{\psi_s}{\phi_T}\right) - 1 \right] + \phi_T \exp\left(-\frac{V + \phi_B}{\phi_T}\right) \left[\exp\left(\frac{\psi_s}{\phi_T}\right) - 1 \right] \quad (\text{III.27})$$

Région d'Accumulation

L'accumulation se produit quand l'influence des trous est dominante. En d'autres termes. Dans ce cas-ci, négligeant l'influence des électrons, la relation ci-dessus peut être approximée par :

$$V_{GB} - V_{FB} - \psi_s \approx -\delta \sqrt{\psi_s + \phi_T (\exp(-\frac{\psi_s}{\phi_T}) - 1)} \quad (III.28)$$

Relation générale du potentiel de surface pour l'inversion

Dans ce modèle Tsvidis donne une expression du potentiel de surface valable de l'inversion faible à forte l'inversion en approximant la relation de base ainsi on a :

$$\left(\frac{V_{GB} - V_{FB} - \psi_s}{\delta} \right)^2 = \psi_s + \phi_T \exp\left(\frac{\psi_s - V - \phi_B}{\phi_T}\right) \quad (III.29)$$

Avec un potentiel de surface égale à ψ_{sa} en **faible inversion**

$$\psi_{sa} \approx \left(-\frac{\delta}{2} + \sqrt{\frac{\delta^2}{4} + V_{GB} - V_{FB}} \right)^2 \quad (III.30)$$

On peut dire que le model de Tsvidis ne tient pas compte de certains aspects physiques comme l'effet de poly-déplétion et présente une formulation plus générale sur toutes les différentes régions d'inversions.

III. DENSITÉS DE CHARGES

III. a) MODELE M11

Puisque la charge d'inversion est négligeable dans la région d'accumulation et l'influence des trous est marginale dans la région d'inversion, Q_{inv} peut être approchée par :

$$Q_{inv} = \begin{cases} 0 & : V_{GB} \leq V_{FB} \\ -C'_{ox} [V_{GB} - V_{FB} - \psi_s - \psi_p - \delta \sqrt{\psi_s + \Delta_{acc}}] & : V_{GB} > V_{FB} \end{cases} \quad (III.31)$$

Où Δ_{acc} est une fonction, qui approxime l'influence des trous dans la région d'inversion :

$$\Delta_{acc} = \phi_T \left[\exp \left(- A_{acc} \frac{V_{GB} - V_{FB}}{\phi_T} \right) - 1 \right] \quad (\text{III.32})$$

A_{acc} est défini comme :

$$A_{acc} = \frac{1}{1 + \delta / \sqrt{2\phi_T}} \quad (\text{III.33})$$

En utilisant l'équation (5) on peut écrire Q_{inv} pour $V_{GB} > V_{FB}$:

$$Q_{inv} = -\mathcal{C}'_{ox} \sqrt{\psi_s + \Delta_{acc} + \phi_T \exp \left(- \frac{V + \phi_B}{\phi_T} \right) \left[\exp \left(\frac{\psi_s}{\phi_T} \right) - 1 \right] - \sqrt{\psi_s + \Delta_{acc}}} \quad (\text{III.34})$$

Nous devons conserver la symétrie de drain-source de conserve dans les expressions du model, afin de préserver la symétrie, la linéarisation des quantités telles que les courants et les charges devraient être faits en ce qui concerne le potentiel de surface moyen $\bar{\psi}$ au niveau de la source et du drain.

Le potentiel de surface moyen $\bar{\psi}$ est défini comme :

$$\bar{\psi} = \frac{\psi_{sL} + \psi_{s0}}{2} \quad (\text{III.35})$$

En outre, nous pouvons définir la différence potentielle de surface $\Delta\psi = \psi_{sL} - \psi_{s0}$: le développement polynomial du premier ordre de (8) autour de $\psi_s = \bar{\psi}$ ($V_{GB} > V_{FB}$) donne : $Q_{inv} \approx \bar{Q}_{inv} - C'_{inv}(\psi_s - \bar{\psi})$
Où la moyen de la densité de la charge d'inversion et son facteur de linéarisation sont donné par:

$$\bar{Q}_{inv} = Q_{inv}(\psi_s = \bar{\psi}) = -C'_{ox} \left[\frac{2(V_{GB} - V_{FB} - \bar{\psi})}{1 + \sqrt{1 + 4/\delta_p^2 (V_{GB} - V_{FB} - \bar{\psi})}} - \delta \sqrt{\bar{\psi} - \Delta_{acc}} \right] \quad (\text{III.36})$$

$$C'_{inv} = \left. \frac{\partial Q_{inv}}{\partial \psi_s} \right|_{\psi_s = \bar{\psi}} = -C'_{ox} \left[\frac{1}{\sqrt{1 + 4/\delta_p^2 (V_{GB} - V_{FB} - \bar{\psi})}} + \frac{\delta}{2\sqrt{\bar{\psi} - \Delta_{acc}}} \right] \quad (\text{III.37})$$

III. b) MODELE TSIVIDIS

Q_{inv} peut être approchée par :

$$Q_{inv} = \begin{cases} 0 & : V_{GB} \leq V_{FB} \\ -C_{ox} [V_{GB} - V_{FB} - \psi_s - \delta \sqrt{\psi_s}] & : V_{GB} > V_{FB} \end{cases} \quad (\text{III.38})$$

L'équation de la charge d'inversion ne tient pas compte l'influence des trous dans la région d'inversion Comme c'est le cas du model M11.

IV. COURANT DE CANAL (DRAIN) I_{DS}

Des expressions générales du courant de canal basées sur des formulations de potentiel surface seront développées. Ces modèles, nécessitent la connaissance des potentiels de surface uniquement aux bornes du canal pour le calcul du courant qui passe du drain dans la source. Dans le cas idéal, on suppose en outre qu'il y a un passage de courant dans la direction x seulement. En d'autres termes, les courants I_B et I_G sont égaux à zéro. Le courant de canal peut simplement être écrit comme :

$$I_{DS} = -\mu Q_{inv} W \frac{\partial V}{\partial x} \quad (\text{III.39})$$

À faible tension de grille, la source et le drain sont en faible inversion. Le courant de canal est principalement un courant de diffusion. D'autre part, à forte tension de grille la source est à forte inversion, courant de canal est principalement un courant de conduction. Avec $I_{DS} = I_{D1} + I_{D2}$

I_{D1} : courant de conduction

I_{D2} : courant de diffusion

$$I_{D1} = \frac{W}{L} \int_{\psi_{s0}}^{\psi_{sl}} \mu(-Q_{inv}) d\psi_s$$

$$I_{D2} = \frac{W}{L} \mu \phi_T (Q_{i,drain} - Q_{i,source}) \quad (III.40)$$

IV .a) MODELE M11

D'après les équations ci-dessus :

$$\frac{\partial V}{\partial \psi_S} = 1 + \frac{\phi_T}{Q_{inv}} \frac{\partial Q_{inv}}{\partial \psi_S} = \frac{Q_{inv}^*}{Q_{inv}} \quad (III.41)$$

Q_{inv}^* est définie par :

$$Q_{inv}^* = Q_{inv} + \phi_T \frac{\partial Q_{inv}}{\partial \psi_S} = Q_{inv} + \phi_T C'_{inv} \quad (III.42)$$

Donc :

$$\bar{Q}_{inv}^* = \bar{Q}_{inv} + \phi_T C'_{inv} \quad (III.43)$$

le facteur gain :

$$\beta = \mu_0 C'_{ox} \frac{W}{L} \quad (III.44)$$

Supposant pour le moment que la mobilité est constante le long du canal, Le calcul donne :

$$I_{D1} = -\beta \frac{Q_{inv}}{C'_{OX}} \Delta\psi \quad (III.45)$$

$$I_{D2} = -\beta \phi_T \frac{\Delta Q_{inv}}{C_{OX}} \quad (III.46)$$

IV. b) MODELE TSIVIDIS

$$I_{DS} = \frac{W}{L} \int_{\psi_{s0}}^{\psi_s} \mu(-Q_i) d\psi_s + \frac{W}{L} \mu \phi_t (Q_{i,drain} - Q_{i,source}) \quad (III.47)$$

D'après les calculs on a:

$$I_{D1} = \mu C'_{OX} \frac{W}{L} \left[(V_{GB} - V_{FB})(\psi_{sL} - \psi_{s0}) - \frac{1}{2}(\psi_{sL}^2 - \psi_{s0}^2) - \frac{2}{3} \delta (\psi_{sL}^{3/2} - \psi_{s0}^{3/2}) \right] \quad (III.48)$$

$$I_{D2} = \mu C'_{OX} \frac{W}{L} \left[\phi_t (\psi_{sL} - \psi_{s0}) + \phi_t \delta (\psi_{sL}^{1/2} - \psi_{s0}^{1/2}) \right] \quad (III.49)$$

Il est clair, qu'à partir des équations ci dessus le courant I_D s'écrit :

$$I_{DS} = \frac{W}{L} [f(\psi_{sL}) - f(\psi_{s0})] \quad (III.50)$$

Ou la fonction f est donnée par :

$$f(\psi_s) = \mu C_{ox} \left[(V_{GB} - V_{FB} + \phi_t) \psi_s - \frac{1}{2} \psi_s^2 - \frac{2}{3} \delta \psi_s^{3/2} + \phi_t \delta \psi_s^{1/2} \right] \quad (\text{III.51})$$

On remarque les équations de courants du model de Tsividis sont identiques a ceux du model M11 si on ne tient pas compte du phénomène de polydépétion dans le potentiel de surface et l'influence des trous dans la région d'inversion dans la charge d'inversion dans ce dernier model.

V. LA MOBILITE EFFECTIVE

Comme le champ normal, en général varie le long du canal, μ aussi varie. Si cette variation n'est pas négligeable, on ne peut pas déplacer μ à l'extérieur de l'intégrale.

$$I_D = \frac{W}{L} \int_{V_{SB}}^{V_{DB}} \mu(-Q_i) dV_{CB} \quad (\text{III.52})$$

Ce résultat donne une expression compliquée. Une autre approche définit la mobilité appelée effective, utilisée dans l'expression suivante :

$$I_D = \frac{W}{L} \mu_{eff} \int_{V_{SB}}^{V_{DB}} (-Q_i) dV_{CB} \quad (\text{III.53})$$

Donc μ est remplacée par μ_{eff} qui est une valeur moyenne.

V. a) MODELE M11

Dans la théorie les mécanismes mis en jeu peuvent être incorporés à une mobilité effective (μ_{eff}),

En utilisant la règle de **Matthiessen** :

$$\frac{1}{\mu_{eff}} = \frac{1}{\mu_0} + \frac{1}{\mu_{sr}} + \frac{1}{\mu_{ph}} \quad (III.54)$$

μ_{sr} la dispersion des impuretés ionisée et μ_{ph} dispersion des phonons acoustiques dans le composant :

$$\mu_{eff} = \frac{\mu_0}{1 + \left(\theta_{ph}^* E_{eff}\right)^{1/3} + \left(\theta_{sr}^* E_{eff}\right)^n} = \frac{\mu_0}{G_{mob}} \quad (III.55)$$

Où θ_{ph}^* et θ_{sr}^* sont des paramètres empiriques, $n = 2$ pour des électrons et $n = 1$ pour des trous. À proprement parler, la règle de **Matthiessen** n'est pas valide, parce qu'elle suppose que les temps de relaxation dus aux différents mécanismes de dispersion ont la même dépendance d'énergie.

Ainsi une description plus précise de réduction de mobilité a été trouvée expérimentalement, basé sur des mesures de la distorsion 3rd-order dans la région linéaire, donnée par :

$$\mu_{effn} = \frac{\mu_{0n}}{1 + \left[\left(\theta_{ph}^* E_{eff}\right)^{\nu/3} + \left(\theta_{sr}^* E_{eff}\right)^{2\nu} \right]^n} = \frac{\mu_{0n}}{G_{mobn}} \quad \text{Pour les électrons}$$

$$\mu_{effp} = \frac{\mu_{0p}}{1 + \left[\left(\theta_{ph}^* E_{eff}\right)^{\nu/3} + \left(\theta_{sr}^* E_{eff}\right)^{2\nu} \right]^n} = \frac{\mu_{0p}}{G_{mobp}} \quad \text{Pour les trous}$$

$\nu = 2$ à la température ambiante. Notez que ces deux équations sont. Les variations de l'expression basée sur la règle du Matthiessen. Pour une implantation précise de l'effet de mobilité dans l'expression du courant, la mobilité μ doit être remplacée par le μ_{eff} pour le NMOS et le PMOS, respectivement. Cependant, puisque le champ électrique effectif E_{eff} dépend de Q_{inv} et de Q_b charges fixes dans le substrat, E_{eff} et μ_{eff} ne sont pas constants le long du canal. Pour des raisons de simplicité, on assume qu' E_{eff} est constant le long du canal au potentiel de surface moyen on a alors :

$$E_{eff} = -\frac{(\bar{Q}_b + \eta\bar{Q}_{inv})}{\epsilon_{si}} \quad (III.55)$$

La méthode ci-dessus assure la symétrie de drain-source :

V .b) MODELE DE TSIVIDIS

Une expression est obtenue de la forme :

$$\mu_{eff} = \frac{\mu_0}{\frac{1}{L} \int_0^L \{1 - [\alpha_\theta / (2\epsilon_s)](Q_i + 2Q_B)\} dx} \quad (III.56)$$

Si on suppose que V_{CB} et approximativement linéaire avec x . cette supposition est autant plus satisfaite que V_{DS} est faible. Donc on peut écrire $dV_{CB}/dx \approx (V_{DB} - V_{SB}) / L$. on obtient donc :

$$\mu_{eff} \approx \frac{\mu_0}{[1/(V_{DB} - V_{SB})] \int_{V_{SB}}^{V_{DB}} \{1 - [\alpha_\theta / (2\epsilon_s)](Q_i + 2Q_B)\} dV_{CB}} \quad (III.57)$$

Après plusieurs calculs, on obtient l'expression suivante :

$$\mu_{eff} = \frac{\mu_0}{1 + \theta f_\mu} \quad (III.58)$$

Avec :

$$\theta = \alpha_0 / 2\epsilon_s C'_{ox}$$

μ_0 et α_0 sont des paramètres empiriques dépendant de la température. Pour des conditions pratiques, μ_0 est approximativement la moitié de la mobilité dans le substrat, α_0 est approximativement égale à $0.025 \mu\text{m}/\text{V}$ à température ambiante.

f_μ Est donnée par les expressions suivantes :

$$\begin{aligned} f_\mu &= (V_{GB} - V_{FB} - \phi_B) - \frac{1}{2}(V_{DB} + V_{SB}) + \frac{2}{3}\gamma \frac{(\phi_B + V_{DB})^{3/2} - (\phi_B + V_{SB})^{3/2}}{V_{DB} - V_{SB}} \\ &= (V_{GS} - V_{FB} - \phi_B) - \frac{1}{2}V_{DS} + \frac{2}{3}\gamma \frac{(\phi_B + V_{SB} + V_{DS})^{3/2} - (\phi_B + V_{SB})^{3/2}}{V_{DS}} \end{aligned} \quad (\text{III.59})$$

VI. Non linéarités dans les composants(Modélisation non linéaire)

Nous avons vu dans les paragraphes précédents les principales caractéristiques et relations physiques concernant les composants MOS. Il est évident que leurs caractéristiques électriques présentent une dépendance non linéaire par rapport aux potentiels de contrôle. On peut se référer, par exemple, à la relation du courant où I_{ds} est proportionnel à V_{gs}^2 . Ceci a pour conséquence l'apparition d'effets non linéaires dans le comportement d'un composant ou d'un circuit dans le cas de régime de fonctionnement grand signal [1]-[2]. Pour illustrer ceci et comprendre l'importance des effets non linéaires, nous allons prendre un exemple d'un composant non linéaire très simple et en extraire certains résultats. A la suite, seront données certaines définitions sur les facteurs démerite caractérisant les non linéarités des composants.

a)- Exemple d'un non linéarité dans un composant : effets non linéaires.

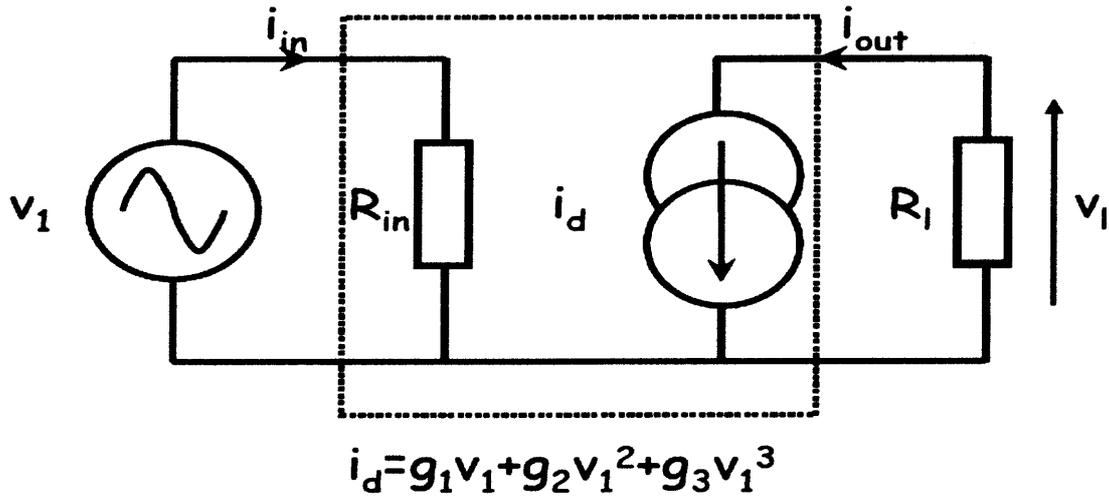


Figure III.1 Schéma équivalent électrique d'un composant hypothétique contenant une source de courant non linéaire.

Supposons un schéma électrique équivalent d'un composant quelconque donné sur la figure III 1. v_1 est le signal d'excitation du composant, et R_l l'impédance (supposée réelle) de charge. Le composant présente une impédance d'entrée réelle R_{in} et une source de courant I_d non linéaire contrôlée par v_1 . i_d est une fonction du 3^e ordre de v_1 donnée par :

$$i_d = g_1 v_1 + g_2 v_1^2 + g_3 v_1^3 \quad (III.60)$$

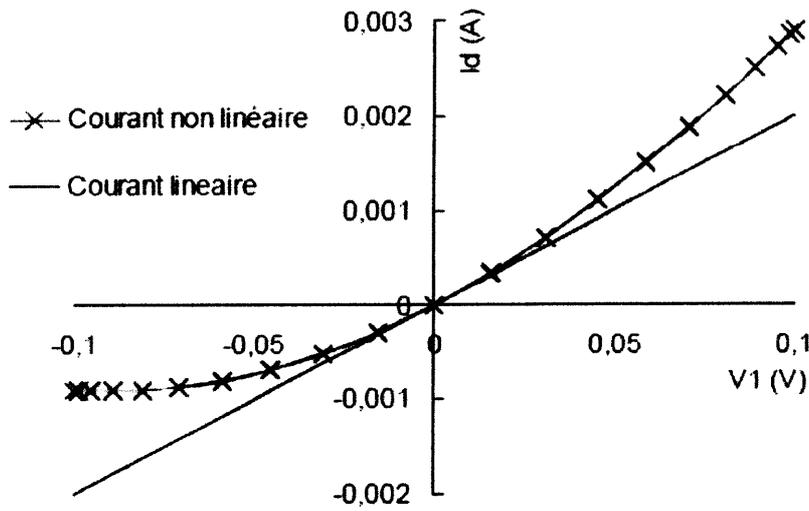


Figure III. 2 Courants statiques, linéaire et non linéaire, en fonction de la tension d'entrée.

Les éléments g_i sont des transconductances d'ordre i . Le courant i_d non linéaire est illustré sur la figure III.2 en fonction de V_1 statique. Sur la même figure, nous représentons le même courant ; si les ordres 2 et 3 sont négligés, le courant i_d se réduit à une fonction linéaire de v_1 ($i_d = g_1 v_1$).

VI.1. Distorsion harmonique

Si l'on applique à v_1 une tension sinusoïdale d'amplitude A_0 et de pulsation angulaire $v_1 = A_0 \cos(\omega_0 t)$, on peut aisément calculer le courant et la tension résultante sur la charge R_l :

$$i_d = g_1 A_0 \cos(\omega_0 t) + g_2 A_0^2 \cos^2(\omega_0 t) + g_3 A_0^3 \cos^3(\omega_0 t) \Rightarrow \quad (\text{III.61})$$

$$i_d = \left(\frac{g_2 A_0^2}{2} \right) + \left(g_1 A_0 + \frac{3g_3 A_0^3}{4} \right) \cos(\omega_0 t) + \frac{g_2 A_0^2}{2} \cos(2\omega_0 t) + \frac{g_3 A_0^3}{4} \cos(3\omega_0 t) \quad (\text{III.62})$$

Et

$$v_{load} = \left(\frac{g_2 A_0^2}{2} \right) R_l + \left(g_1 A_0 + \frac{3g_3 A_0^3}{4} \right) R_l \cos(\omega_0 t) + \frac{g_2 A_0^2}{2} R_l \cos(2\omega_0 t) + \frac{g_3 A_0^3}{4} R_l \cos(3\omega_0 t) \quad (\text{III.63})$$

Dans le cas où la source de courant est linéaire, la tension v_{load} est égale à :

$$v_{load_lin} = g_1 R_l A_0 \cos(\omega_0 t) \quad (III.14)$$

L'équation (13) fait apparaître des termes fréquentiels multiples de la fréquence fondamentale ω_0 , appelés harmoniques [3]. Les formes d'ondes temporelles de v_{load} , v_{load_lin} et v_l sont données sur la figure III. 3. On observe que la forme d'onde v_{load} présente une distorsion qui est due aux harmoniques.

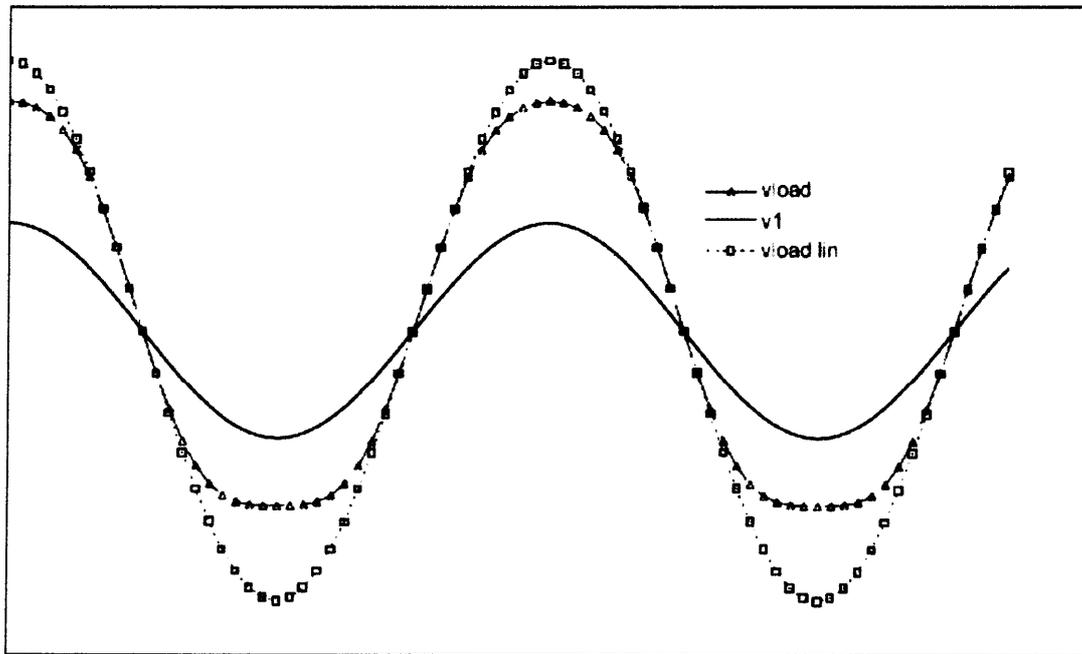


Figure III.3 Formes d'ondes temporelles du potentiel à l'entrée du composant V_{in} et du potentiel sur la charge V_{load} .

La représentation de ce résultat dans le domaine spectral est d'autant plus intéressante qu'elle fournit des informations sur l'amplitude de chaque harmonique. Le spectre des harmoniques du circuit considéré est donné sur la figure 4. Sur le tableau 1 sont résumés les amplitudes de chaque harmonique.

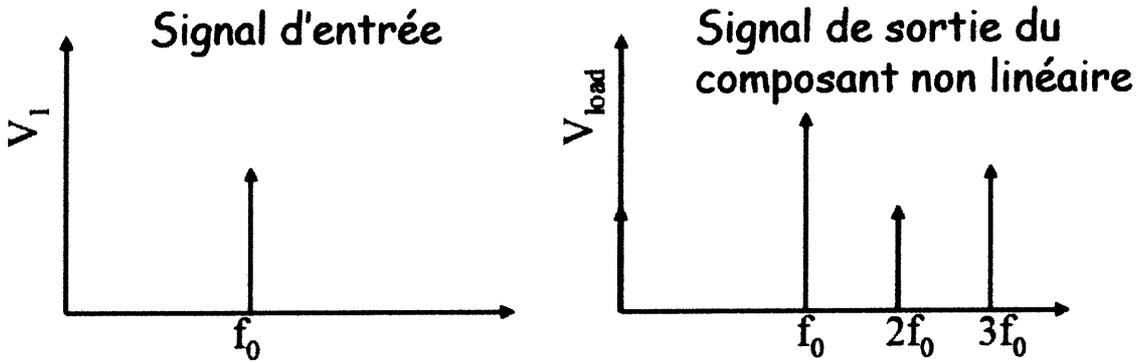


Figure III. 4 Spectre obtenu à la sortie du composant non linéaire excité par une fréquence f_0 .

Fréquence	DC	ω_0	$2\omega_0$	$3\omega_0$
Amplitude I_{load}	$\frac{1}{2}g_2A_0^2$	$g_1A_0 + \frac{3}{4}g_3A_0^3$	$\frac{1}{2}g_2A_0^2$	$\frac{1}{4}g_3A_0^3$
Amplitude I_{load} linéaire	-	$g_1A_0^3$	-	-

Tableau 1 Amplitudes des harmoniques 1 à 3 résultant du composant non linéaire et du composant linéaire

Un développement de l'équation (11) en séries de Fourier donne le même résultat que (13). Par conséquent, l'amplitude de chaque harmonique correspond aux coefficients de Fourier C_n . De manière générale, si

$$i_d = g_1v_1 + g_2v_1^2 + g_3v_1^3 + \dots + g_nv_1^n \text{ avec } n=2k \text{ et } k \text{ entier positif (15)}$$

Les coefficients de Fourier résultants de (15) dépendent de tous les éléments g_i . Le tableau 2 résumé cette observation.

Coefficient	DC	ω_0	$2\omega_0$	$3\omega_0$	$4\omega_0$	$n\omega_0$
	C_0	C_1	C_2	C_3	C_4	C_n
Dépend de	$A_0, g_2, g_4, \dots, g_n$	$A_0, g_1, g_3, \dots, g_{n-1}$	$A_0, g_2, g_4, \dots, g_n$	A_0, g_3, \dots, g_{n-1}	A_0, g_4, \dots, g_n	A_0, g_n

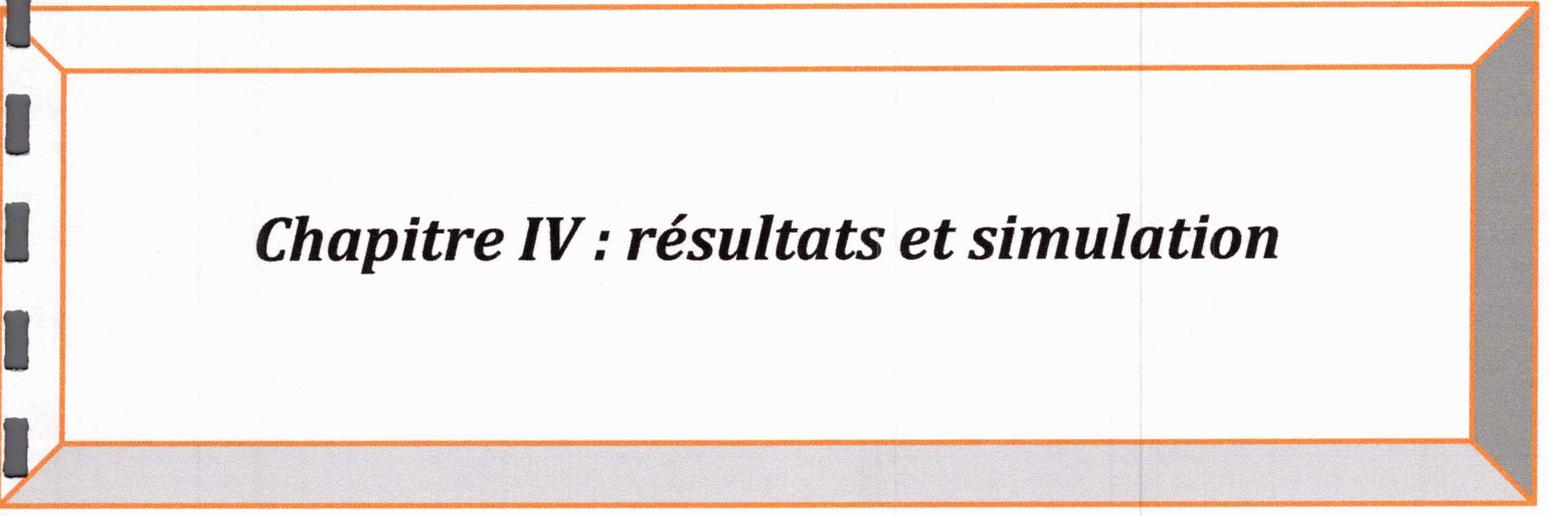
Tableau 2 Eléments dont dépendent les coefficients de Fourier.

On remarque que les coefficients pairs et impairs sont respectivement générés par les éléments de non linéarité pairs et impairs. Dans la figure(III.3), n est l'ordre de la non linéarité. Le phénomène décrit ci-dessus est appelé distorsion harmonique.

VII. Conclusion

Dans ce chapitre, nous avons étudié les équations de modélisation de la conduction dans le transistor **MOS**. Parmi les modèles décrivant les propriétés de conduction d'un transistor **MOS**, nous nous sommes intéressés au modèle de Yannis Tsividis, basé sur le principe dérive-diffusion, permettent la continuité du courant I_{DS} entre les différents régimes de fonctionnement du transistor **MOS**. Ainsi, nous avons choisi d'utiliser ce modèle, qui repose sur le calcul du potentiel de surface le long du canal.

Finalement, nous avons comparé et discuté les équations du modèle 11 de Philips et du modèle de Tsividis pour un transistor **MOS** canal long, afin de pouvoir présenter un modèle utile pour une meilleure compréhension des phénomènes étudiés.



Chapitre IV : résultats et simulation

I. introduction.....	(59)
II. description générale des modèles base sur le potentiel de surface.....	(59)
III. approximation de model charge –sheet	(60)
IV. model M11 du MOS	(68)
V. comparaison graphique entre les modelés	(74)
VI. la description de la transductance et la conductance.....	(79)
VI.a. généralité de modèle charge sheet.....	(80)
VI.b.la comparaison de rapprochement de la transductance avec le dérivé numérique de courant du drain.....	(81)
VI.c. Les caractéristique g_m/I_D	(82)
VI.d. altération de modélisation.....	(83)
VII. description de FFT.....	(85)
VIII. conclusion.....	(89)

I. Introduction

Notre objectif se concentre sur la modélisation des structures MOS. Le but de ces études sera d'acquérir une parfaite connaissance et le contrôle des phénomènes électriques, comme la distorsion harmonique dans la région ohmique du transistor MOSFET, en rapport avec les propriétés du transistor, afin de simuler les divers mécanismes de fonctionnement [1, 14, 15].

II. Description générale des modèles base sur le potentiel de surface

Un modèle de transistor MOS se compose de deux parties principales: modèle statique (transistor grand signal) et du modèle dynamique (petit signal linéaire). Le modèle statique est liée à la détermination de la fuite de courant et les charges, tandis que le modèle dynamique est liée à la détermination de la capacité des petites et des paramètres de signal [9] (les transductances).

Courant de drain:

Nous envisageons un transistor n-MOS avec un substrat de dopage Na, pour plus de simplicité; on suppose que le dispositif est long et large, de sorte que les effets de canaux courts et étroits peuvent être négligés. Les caractéristiques statiques et dynamiques sont ensuite décrites par trois ensembles d'équations [8].

- équations Poisson pour le potentiel électrostatique.

- L'équation de courant pour les électrons.

- Équations de continuité pour les électrons et les trous.

A priori, la résolution de ces équations doit être faite en 3D, cependant, pour réduire la complexité du problème, nous allons prendre u système 2D, par rapport aux directions x et y seulement. Mais même un problème 2D, les équations mentionnées ci-dessus sont assez complexes.

Nouvelles approximations doivent être faites. Cinq grandes approximations sont nécessaires [1, 2].

- Tout d'abord, on suppose que la variation du champ électrique, dans la direction x (le long de la voie) est beaucoup plus faible que la variation correspondante du champ dans la direction y, il est appelé le rapprochement progressif de la Manche.

- Le courant des trous peuvent être négligés, cela signifie que le calcul de la densité de courant (courants d'électrons) est suffisant pour déterminer le courant de drain.

-Le phénomène de recombinaison et génération sont négligés. Cela signifie que la densité de courant de drain est un courant d'électrons à partir de divergence nulle, et donc le courant de drain total est constant en un point quelconque du canal.

-Le courant circule dans la direction x que partout. Cela signifie que les électrons quasi potentiel de Fermi est uniforme dans la direction y.

- La mobilité des électrons est supposée constante pour des raisons de simplification dans le calcul intégral.

En supposant que la mobilité μ d'être indépendant de polarisation et de la position, le courant de canal peut s'écrire où W est la largeur du transistor, V est le potentiel de canal au substrat et est la densité de charge d'inversion [3,4]:

$$I_{DS} = -\mu Q'_I W \frac{\partial V}{\partial x} \tag{IV.1}$$

L'intégration (1) à long du canal, de la source au drain, donne:

$$I_{DS} = -\mu \frac{W}{L} \int_{V_s}^{V_D} Q'_I \partial V \tag{IV.2}$$

Où L est la longueur du canal, est la tension thermique. L'expression (2) est très générale à la fois les courants de dérive et de diffusion. Une expression analytique générale pour cette expression, peut être calculée au moyen de changement de variable. Une autre solution consiste actuellement disponibles, à savoir les modèles potentiels de surface, sur la base des expressions suivantes (3) [2].

$$I_{DS} = I_{diff} + I_{drift} \tag{IV.3}$$

$$I_{diff} = \frac{W}{L} \mu \phi_T \left(Q'_{I, drain} - Q'_{I, source} \right) \tag{IV.4}$$

Ainsi, pour calculer le courant de drain, nous avons besoin de connaître la densité de charge de la couche d'inversion. C'est avec cet objectif que nous allons maintenant détailler le principe de modèle de feuille de charge classique.

REMARQUE:

Pour les simulations dans ce travail en considéré la-MOS à canal n, les paramètres suivants ont été utilisés: température = 27 ° C, l'épaisseur d'oxyde = concentration 3.2nm, dopage (Na = 2e23m-3 (2e17cm-3) et Na = 1e21m-3 (1e15cm-3) m-3), Np (∞) où γ est le facteur de corps de grille de poly silicium proposée par ox (2qeSiNp) 1/2/C', L = 10 um, W = 10 um.

III. Approximation de modèle charge sheet

L'analyse menée jusqu'ici est très général. Aucune hypothèse n'a encore été faite sur l'épaisseur de la couche d'inversion, ou l'éventuelle présence de porteurs libres dans la région d'appauvrissement. Supposons maintenant que la couche d'inversion a une épaisseur nulle (juste une feuille de charge) de sorte qu'aucune chute de potentiel ne se produit à travers elle. La plupart d'entre nous également mis sur l'hypothèse que le rapprochement de l'épuisement totale est valide, cela signifie que la densité des résultats de charge mobiles du phénomène d'inversion seulement. Dans cette approximation, la densité de charge d'inversion, pour n canaux, est exprimée en tant que [2, 6]:

$$Q_I' = \begin{cases} 0 & : V_{GB}^* \leq 0 \\ -C_{ox}' [V_{GB} - V_{FB} - \psi_s - \gamma \sqrt{\psi_s}] & : V_{GB}^* > 0 \end{cases} \quad (IV.5)$$

Où est la capacité d'oxyde par unité de surface donnée par ϵ_{ox} / t_{ox} , γ est le facteur de corps proposée par le bœuf (2qeSiNA) 1/2/C', VGB est la tension de grille et VFB est la tension de bande plate, V * Go = VGB - VFB est la polarisation de grille efficace, VGBT = VTH est la tension de seuil, le potentiel de surface au début de la forte inversion.

La charge de la couche d'inversion est infiniment mince (qui est la charge rapprochement de la feuille). Le ψs de potentiel de surface est déduit de la relation suivante:

$$\left(\frac{V_{GB} - V_{FB} - \psi_s}{\gamma} \right)^2 = \psi_s + \phi_T \left[\exp\left(-\frac{\psi_s}{\phi_T} \right) - 1 \right] + \phi_T \exp\left(-\frac{V + \phi_B}{\phi_T} \right) \left[\exp\left(\frac{\psi_s}{\phi_T} \right) - 1 \right] \quad (IV.6)$$

Région accumulation: L'accumulation se produit lorsque l'influence des trous est dominante. En d'autres termes, dans ce cas, en négligeant l'influence des électrons, la relation ci-dessus peut être approximée par:

$$V_{GB} - V_{FB} - \psi_s \approx -\gamma \sqrt{\psi_s + \phi_T \left[\exp\left(-\frac{\psi_s}{\phi_T}\right) - 1 \right]} \quad (IV.7)$$

Faible-inversion et forts d'inversion Régions: Dans ce modèle donne une expression valable de la faiblesse inversion de région forte inversion de sorte que nous avons :

$$\left(\frac{V_{GB} - V_{FB} - \psi_s}{\gamma} \right)^2 = \psi_s + \phi_T \exp\left(\frac{\psi_s - V - \phi_B}{\phi_T}\right) \quad (IV.8)$$

Bien IDS est constante, ses deux composants sont fonction de la distance x le long du canal. Il convient également de noter que Idiff et Idrift sont couplés équations différentielles, ce qui signifie qu'ils ne peuvent pas être intégrés séparément, cependant, il est possible de contourner ce problème en supposant que seul l'un des deux composants est présent. Ainsi, en considérant que la composante de conduction, nous pouvons intégrer la partie de conduction avec les conditions aux limites, de même pour la diffusion parti.

Utilisation de (4) dans (3) fournit les composantes de courant de drain à cause de la dérive de la présence et de diffusion:

$$I_{drift} = \mu C_{OX} \frac{W}{L} \left[(V_{GB} - V_{FB}) (\psi_{sL} - \psi_{s0}) - \frac{1}{2} (\psi_{sL}^2 - \psi_{s0}^2) - \frac{2}{3} \gamma (\psi_{sL}^{3/2} - \psi_{s0}^{3/2}) \right] \quad (IV.9)$$

$$I_{diff} = \mu C'_{OX} \frac{W}{L} \left[\phi_T (\psi_{sL} - \psi_{s0}) + \phi_T \gamma (\psi_{sL}^{1/2} - \psi_{s0}^{1/2}) \right] \quad (IV.10)$$

Enfin, le mode de charge-sheet générale et précise, valable dans toutes les régions de fonctionnement est donné par [4]:

$$I_{DS} = \frac{W}{L} [f(\psi_{sL}) - f(\psi_{s0})] \quad (IV.11)$$

$$\text{Où } f(\psi_s) = \mu C'_{\text{OX}} \left[(V_{\text{GB}} - V_{\text{FB}} + \phi_t) \psi_s - \frac{1}{2} \psi_s^2 - \frac{2}{3} \gamma \psi_s^{3/2} + \phi_t \gamma \psi_s^{1/2} \right] \quad (\text{IV.12})$$

Le potentiel de surface de la source et du drain est la solution de l'équation implicite résolu par itération (8):

$$\psi_s = V_{\text{GB}} - V_{\text{FB}} - \gamma \sqrt{\psi_s - \phi_t} e^{(\psi_s - 2\phi_F - V) / \phi_t} \quad (\text{IV.13})$$

où est le potentiel de Fermi de bulk, V égal à la polarisation VSB de source ou de drain VDB polarisé.

Illustration graphique:

La surface ψ_s potentiel est défini comme le potentiel électrostatique à l'interface de la porte oxyde / grille en ce qui concerne le neutre bulk. Pour un MOSFET de type n avec un substrat uniforme dopage NA et la capacité d'oxyde C'_{ox} , ψ_s peuvent être calculées à partir de la relation implicite (10). Le rapport implicite pour ψ_s peut être résolu de manière itérative en utilisant la méthode de **Newton-Raphson** [10]. Utilisation d'une instante précise estimation d'ordre zéro simple des ψ_s et en appliquant un premier ordre schéma de **Newton-Raphson** à l'équation implicite pour le potentiel de surface, un grand nombre d'itérations est nécessaire pour atteindre une précision de $10^{-10} \phi_T$, où ϕ_T est l'tension thermique. Dans une tentative pour réduire le nombre d'itérations nécessaires pour atteindre cette précision, un second ordre schéma de **Newton-Raphson** a été étudié. Par conséquent, nous avons adopté le second ordre schéma de **Newton-Raphson** [11].

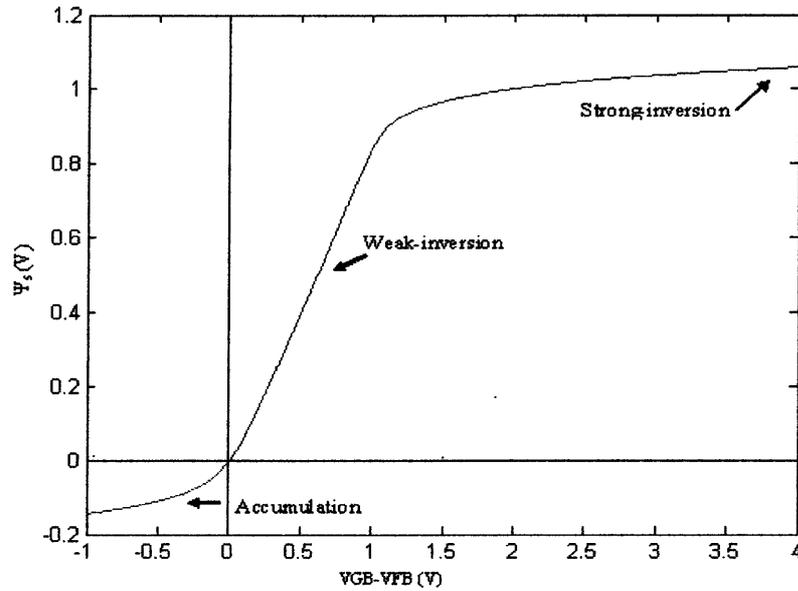


Fig. 1: Le potentiel de surface simulé des relations implicites en fonction de la polarisation de grille V_{Go} dans toutes les régions à $N_a = 2e23cm^{-3}$ ($2e17cm^{-3}$) et $V = 0V$.

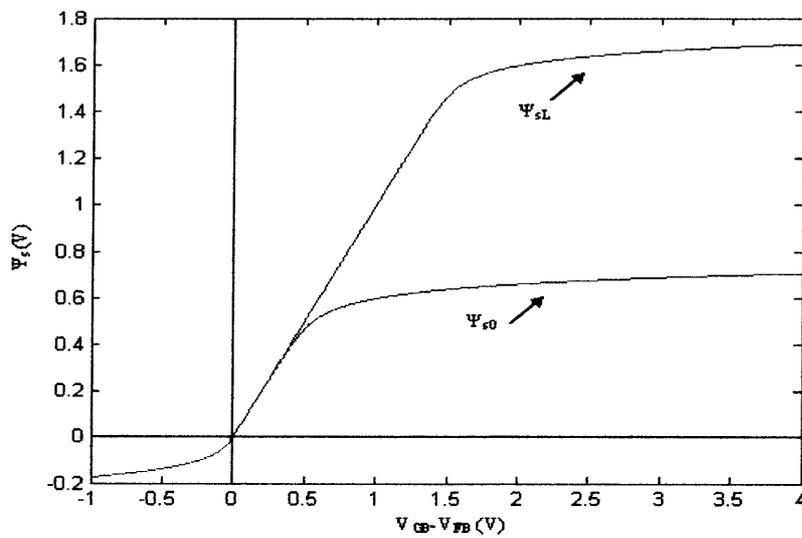
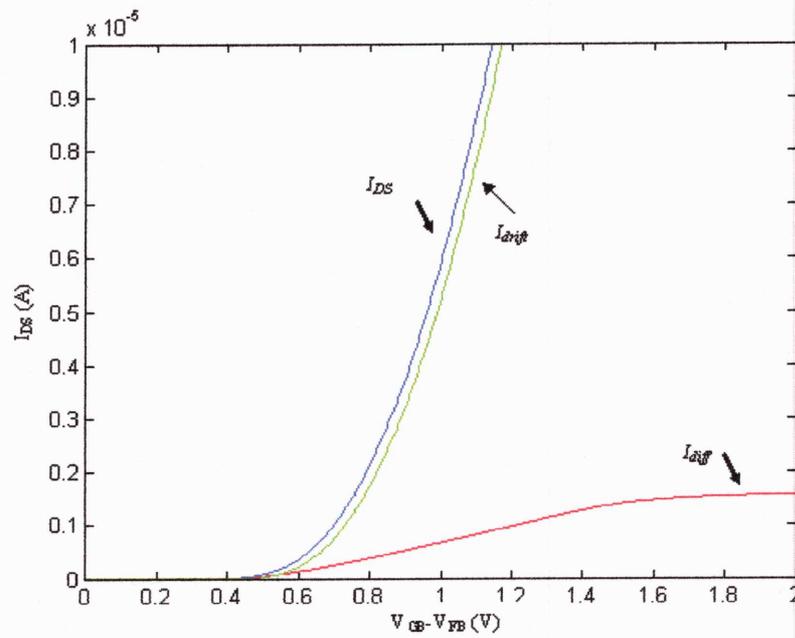
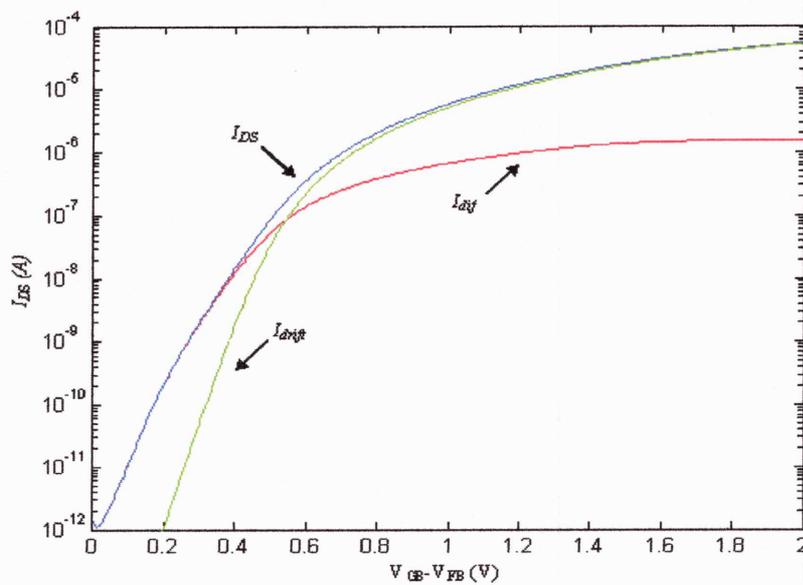


Fig. 2: Le potentiel de surface à la source simulée (ψ_{s0}) et le drain (ψ_{sL}) latérale, à $V_{DB} = 1$, $V_{SB} = 0V$ et $N_a = 1e17cm^{-3}$.



(a)

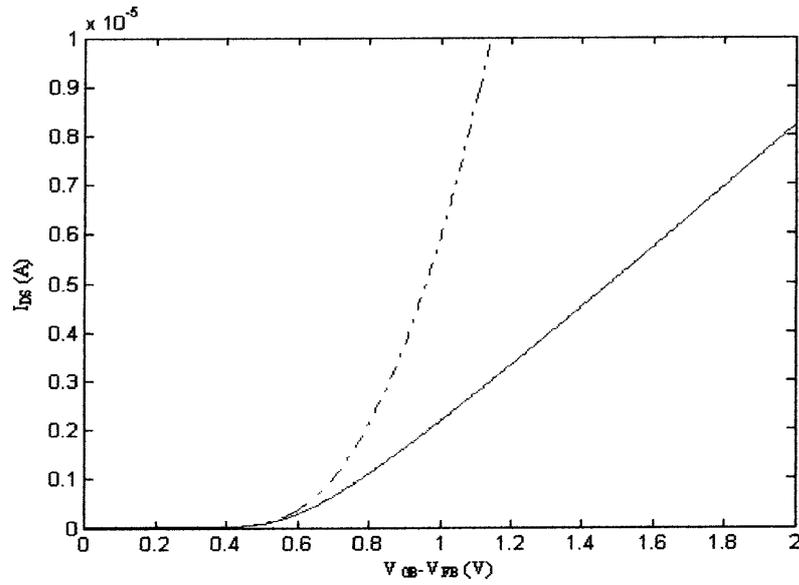


(b)

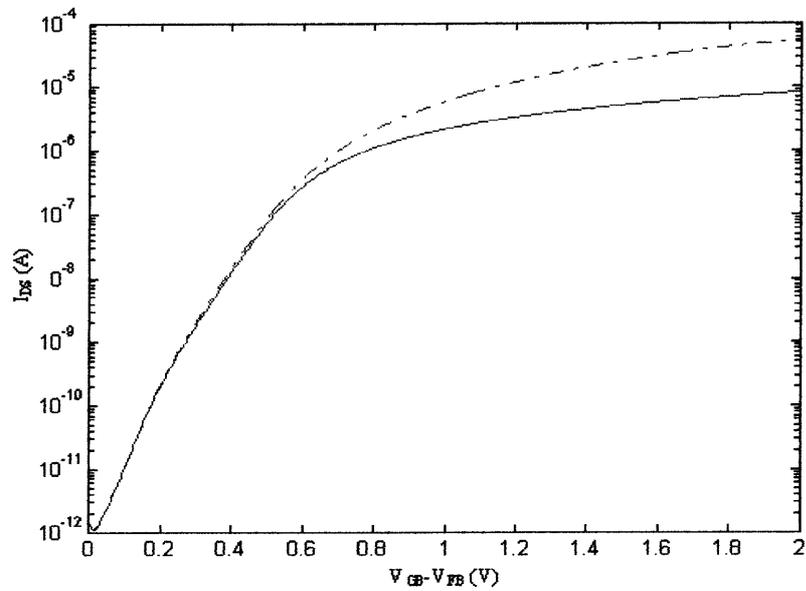
Fig. 3: IDS et ses composante en fonction de la tension de grille, $V_{DB} = 1V$, $V_{SB} = 0V$ et $N_a = 1e17cm^{-3}$.

(a) les caractéristiques d'une échelle linéaire

(b) les caractéristiques d'une échelle logarithmique



(a)



(b)

Fig. 4: IDS calculée pour $V_{DS} = 100 \text{ mV}$ (trait plein) et $V_{DS} = 1 \text{ V}$ (lignes pointillées), fonction de la tension de grille, avec $N_a = 1e17 \text{ cm}^{-3}$.

(a) les caractéristiques d'une échelle linéaire

(b) les caractéristiques d'une échelle logarithmique

Les modèles de la physique compact apparaît à ce stade du raisonnement. En effet, les valeurs du potentiel de surface ψ_{sL} et ψ_{s0} nécessaires pour le calcul du courant de drain doivent être obtenues numériquement, par la résolution de l'équation implicite.

Dans la région de faible inversion, le cas où ψ_{sL} est presque égale à ψ_{s0} , les erreurs sont très petites dans les valeurs de ψ_{sL} et ψ_{s0} peut provoquer des erreurs importantes dans le calcul de la distribution de courant, car il dépend de la différence $\psi_{sL} - \psi_{s0}$. Par conséquent, une détermination très précise du potentiel de surface est donc essentielle au bon déroulement de ce modèle de courant de drain [2].

Le courant de drain et ces composants, comme les potentiels de surface sont illustrés sur les figures pour les différents paramètres.

Concluant sur le modèle charge-sheet, il apparaît deux points forts. D'une part, ce modèle et fortement liés à la physique de dispositif MOSFET, et par conséquent fournit une précision de modélisation optimale. D'autre part, ils prennent un temps de calcul coûteux, ce qui ne le rend pas très approprié pour la simulation de circuits avec une intégration à haute densité (VLSI-ULSI).

IV. Modèle M11 du MOS

Le modèle 11 propose l'expression suivante IDS basé sur le modèle (3) valable pour tous les régimes de fonctionnement [1, 15] :

$$I_{DS} = I_{diff} + I_{drift} \quad (11) \quad (IV.13)$$

$$I_{drift} = -\beta \frac{\bar{Q}_I'}{C_{ox}'} \Delta\psi_s \quad (IV.14)$$

$$I_{diff} = \beta \phi_T \frac{\Delta Q_I'}{C_{ox}'} = -\beta \phi_T \frac{C_{inv}'}{C_{ox}'} \Delta\psi \quad (IV.15)$$

Où β est le facteur que l'on appelle gain donné par $\mu C_{ox} W / L$.

$\Delta Q_I'$ Inversion-couche différence de densité de charge,

\bar{Q}_I' Densité de charge d'inversion de la couche moyenne,

$\Delta \psi_s$ Différence potentiel de Surface,

Dans cette approximation, la densité de charge d'inversion, pour n canaux, est exprimée en tant que:

$$Q_{inv} = \begin{cases} 0 & : V_{GB} \leq V_{FB} \\ -C'_{ox} [V_{GB} - V_{FB} - \psi_s - \psi_p - \gamma \sqrt{\psi_s + \Delta_{acc}}] & : V_{GB} > V_{FB} \end{cases} \quad (IV.16)$$

Dans ce modèle, la densité de charge d'inversion, pour n canaux, est exprimée en [1]:

$$Q_I' = -\gamma C'_{ox} \left[\sqrt{\psi_s + \Delta_{acc} + \phi_t \exp\left(-\frac{V + \phi_B}{\phi_t}\right)} \left[\exp\left(\frac{\psi_s}{\phi_t}\right) - 1 \right] - \sqrt{\psi_s + \Delta_{acc}} \right] \quad (IV.17)$$

Où est le potentiel de surface au début de la forte inversion, dans la littérature la valeur est largement utilisée. Est une fonction approximative pour l'impact de trous dans la région d'inversion,

$$\Delta_{acc} = \phi_t \left[\exp\left(-A_{acc} \frac{V_{GB} - V_{FB}}{\phi_t}\right) - 1 \right] \quad (IV.18)$$

Où A_{acc} est donnée par $A_{acc} = 1 / (1 + \gamma / \sqrt{2\phi_t})$

Dans la symétrie de drain-source dans les expressions de modèle, la linéarisation des quantités telles que les courants et les charges doit être faite en ce qui concerne, le potentiel de surface moyenne à la source et le drain. Le potentiel de surface moyenne $\bar{\psi}$ est défini comme:

$$\bar{\psi} = \frac{\psi_{sL} + \psi_{s0}}{2} \quad (IV.19)$$

Développement polynôme de premier ordre (12) autour de $\psi_s = \bar{\psi}$ ($V_{GB} > V_{FB}$) donne

$$Q_{inv} \approx \bar{Q}_{inv} - C'_{inv} (\psi_s - \bar{\psi}) \quad (IV.20)$$

Où la densité de charge moyenne de la couche d'inversion et de son facteur de linéarisation sont données par:

$$\bar{Q}_{inv} = Q_{inv}(\psi_s = \bar{\psi}) = -C'_{ox} \left[\frac{2(V_{GB} - V_{FB} - \bar{\psi})}{1 + \sqrt{1 + 4/\gamma_p^2 (V_{GB} - V_{FB} - \bar{\psi})}} - \gamma \sqrt{\bar{\psi} - \Delta_{acc}} \right]$$

(IV.21)

$$C'_{inv} = \left. \frac{Q_{inv}}{\partial \psi_s} \right|_{\psi_s = \bar{\psi}} = -C'_{ox} \left[\frac{1}{\sqrt{1 + 4/\gamma_p^2 (V_{GB} - V_{FB} - \bar{\psi})}} + \frac{\gamma}{2\sqrt{\bar{\psi} - \Delta_{acc}}} \right] \quad (IV.22)$$

Le rapprochement explicite pour aussi utilisé dans MOS Modèle 11, trois régions distinctes de fonctionnement peuvent être observés: la zone d'accumulation, la région faible inversion ou de l'épuisement et de la région à forte inversion. Différentes approximations de potentiel de surface peuvent être effectuées dans les différentes régions de fonctionnement.

Le potentiel de surface est déduite de la relation implicite $\psi_s(V_{GB}, V)$:

$$\left(\frac{V_{GB} - V_{FB} - \psi_s}{\gamma} \right)^2 = \psi_s + \phi_T \left[\exp\left(-\frac{\psi_s}{\phi_T}\right) - 1 \right] + \phi_T \exp\left(-\frac{V + \phi_B}{m_s \phi_T}\right) \left[\exp\left(-\frac{\psi_s}{m_s \phi_T}\right) - 1 \right] \quad (IV.23)$$

Dans l'équation ci-dessus, un nouveau paramètre m_s a été introduit pour tenir compte des effets de canal court. Actuellement, m_s est pris à sa valeur théorique de 1.

Région accumulation: l'influence des trous est dominante, quand. Dans ce cas, négliger l'influence des électrons, la relation implicite peut être approchée par:

$$V_{GB} - V_{FB} - \psi_s \approx -\gamma \sqrt{\psi_s + \phi_T \left[\exp\left(-\frac{\psi_s}{\phi_T}\right) - 1 \right]} \quad (IV.24)$$

L'exponentielle est dominante pour que nous puissions réécrire l'équation sous la forme suivante:

$$\psi_s = -\phi_T \ln \left[\frac{(V_{GB} - V_{FB} - \psi_s)^2 / \gamma^2 + \phi_T - \psi_s}{\phi_T} \right] \quad (IV.25)$$

Depuis ψ_s est presque nulle dans l'accumulation, le potentiel de surface peut être approché par:

$$\psi_s = -\phi_T \ln \left[\frac{(V_{GB} - V_{FB} / \gamma)^2 + \phi_T}{\phi_T} \right] \quad (IV.26)$$

Sur la base de ce qui précède, ψ_s est indépendant du potentiel V du quasi niveau de Fermi, et dépend de VGB. Pour un calcul explicite de ψ_s , l'utilisation de la valeur zéro ne donne pas de résultats précis. Une fonction empirique simple est définie pour réaliser ce changement.

Lorsque la fonction empirique simple est peut être défini par :

$$\psi_{acc}^* = \frac{A_{acc}(V_{GB} - V_{FB})}{\sqrt{1 + \left(\frac{A_{acc}(V_{GB} - V_{FB})}{4\phi_T} \right)^2}} \quad (IV.27)$$

$$\psi_s \approx -\phi_t \ln \left[\frac{(V_{GB} - V_{FB} - \psi_{acc}^*)^2 / \gamma^2 + \phi_t - \psi_{acc}^*}{\phi_t} \right] \quad (IV.28)$$

Faible-inversion ou épuisement Région: l'influence des atomes accepteurs ionisés est dominant, dans les autres quand. Dans ce cas, négliger l'influence des électrons, la relation implicite peut être approchée par:

$$V_{GB} - V_{FB} - \psi_s - \psi_p \approx \gamma \sqrt{\psi_s + \Delta_{acc}}$$

Où Δ_{acc} est une fonction qui prend en compte l'influence de trous:

$$\Delta_{acc} \approx \phi_T \left[\exp\left(-A_{acc} \frac{V_{GB} - V_{FB}}{\phi_T}\right) - 1 \right] \quad (IV.29)$$

La solution de ψ_s est une simple expression:

$$\psi_s \approx \left(\frac{\sqrt{P_D(V_{GB} - V_{FB} + \Delta_{acc}) + \frac{\gamma^2}{4} - \frac{\gamma}{2}}}{P_D} \right)^2 - \Delta_{acc} = \psi_{sat} \quad (IV.30)$$

Où $P_D = 1 + (\gamma/\gamma_p)^2 \cdot \gamma_p$ Est le facteur corps à effet de grille en poly silicium.

$P_D = 1$ pour la grille de poly silicium idéal.

Forte inversion Région: l'influence des électrons est dominant, quand $\psi_s > \phi_B + V$.

Dans ce cas, la relation implicite peut être approchée par (en supposant que $\phi_B + V \gg \phi_t$):

$$V_{GB} - V_{FB} - \psi_s - \psi_p \approx \gamma \sqrt{\psi_s + \phi_T \exp\left(\frac{\psi_s - V - \phi_B}{\phi_T}\right) + \Delta_{acc}} \quad (IV.31)$$

Si l'on considère que le terme exponentiel prédomine $\psi_s > \phi_B + V$, il est commode de réécrire l'équation comme suit:

$$\psi_s = \phi_B + V + \phi_t \ln \left(\frac{\left[\frac{2/\gamma (V_{GB} - V_{FB} - \psi^*)}{1 + \sqrt{1 + 4/\gamma_p^2 (V_{GB} - V_{FB} - \psi^*)}} \right]^2 - \phi_B - V - \Delta_{acc} + \phi_t}{\phi_t} \right) \quad (IV.32)$$

Lorsque ψ^* la fonction empirique simple est peut être défini par:

$$\psi^* = \phi_B + V + \frac{\psi_{sat} - V - \phi_B}{\sqrt{1 + \left(\frac{\psi_{sat} - V - \phi_B}{4\phi_t}\right)^2}} \quad (IV.33)$$

REMARQUE

Les relations approximatives ci-dessus dérivés ne sont valables que dans leurs régions d'exploitation respectives. Une transition précise et continue de l'accumulation de faible inversion et de faible inversion de forte inversion est nécessaire.

Le rapprochement de l'accumulation n'est valable que pour $V_{GB}-V_{FB} = V * GB < 0$, et afin de s'assurer qu'il se déroule bien à zéro pour $V * F > 0$, nous remplaçons $V * Go$ par $V * GB - V_{GBeff}$ dans le calcul de la accumulation rapprochement. Ici, la fonction V_{GBeff} douceur des changements de $V * Go$ pour $V * F < 0$ à 0 pour $V * F > 0$ en utilisant une fonction de lissage hyp: $V_{GBeff} = hyp1 \{V * Go; \epsilon 1\}$

Où $hyp1 \{X; \epsilon 1\} = 1/2 (X + (X^2 + 4 \epsilon 1)^{1/2})$, $\epsilon 1$ est un facteur de lissage.

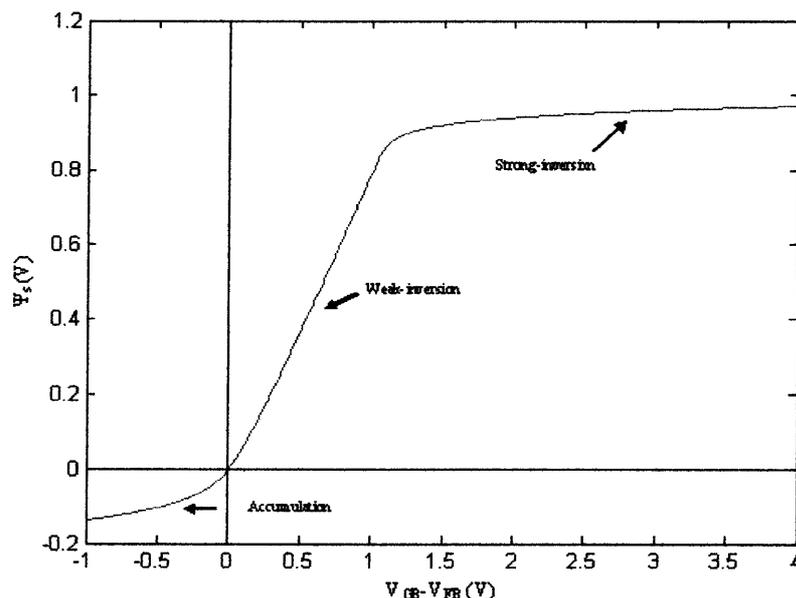


Fig. 5:Le potentiel de surface simulé des relations explicites de MODÈLE 11 fonction de la tension de grille VGo pour toutes les régions à $N_a = 2e23cm^{-3}$ et $V = 0V$.

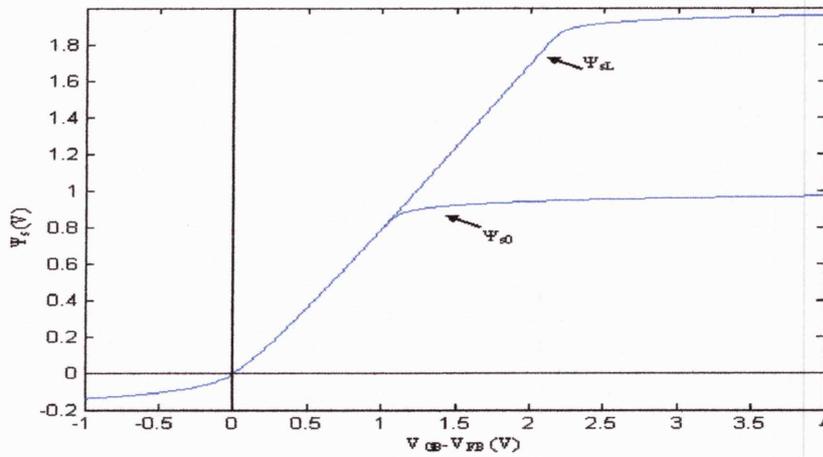
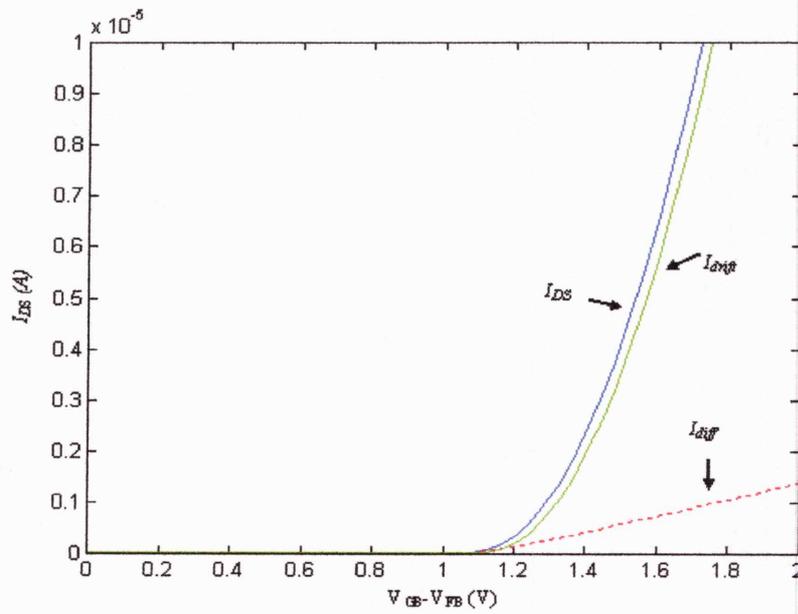
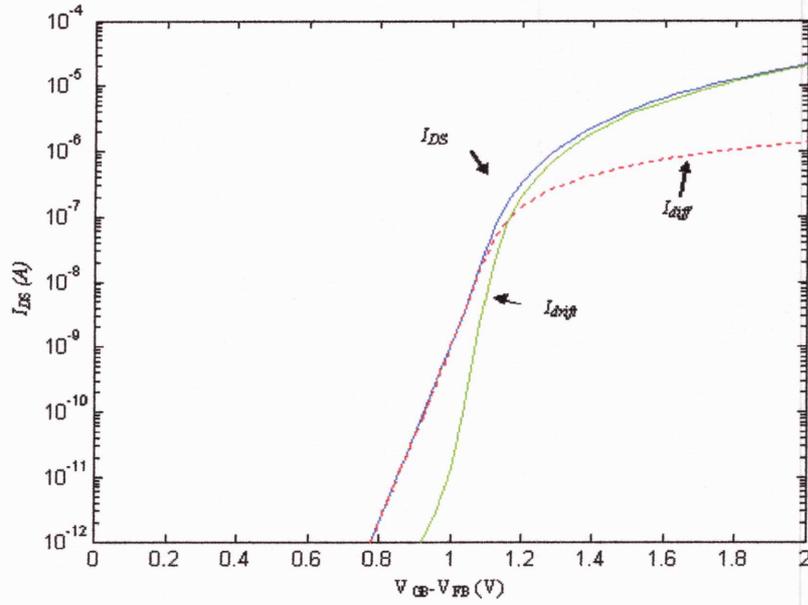


Fig. 6: Le Potentiel de surface à la source (ψ_{s0}) et le drain (ψ_{sL}) latérale,
à $V_{DB} = 1V$, $V_{SB} = 0V$ et $N_a = 2e23cm^{-3}$.



(a)

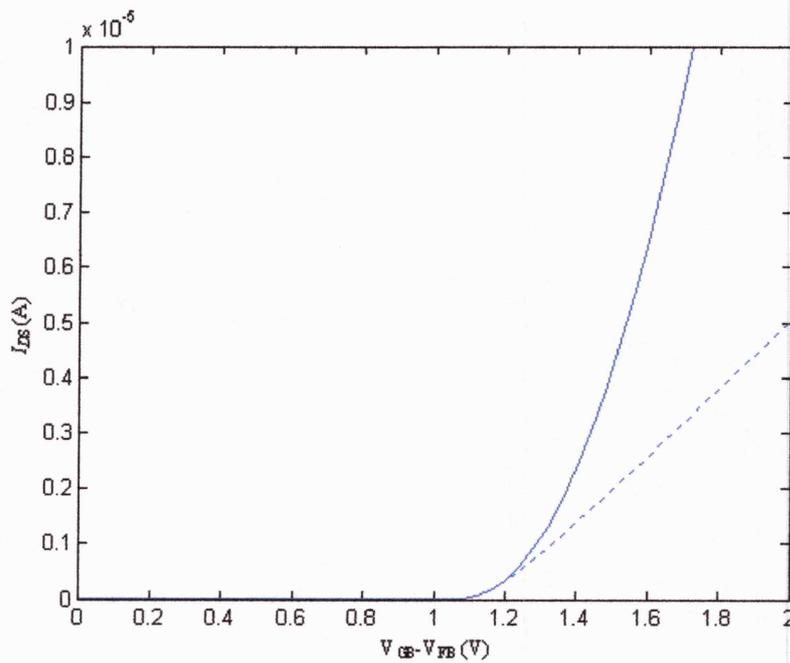


(b)

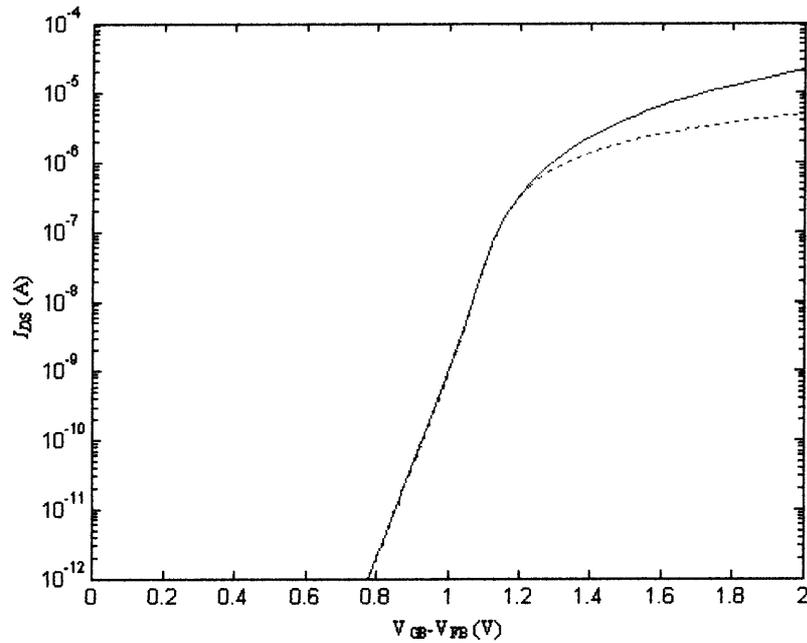
Fig 7: I_{DS} et ses composantes en fonction de la tension de grille, $V_{DB} = 1V$, $V_{SB} = 0V$ et $N_a = 2e23cm^{-3}$.

(a) les caractéristiques sur une échelle linéaire

(b) les caractéristiques sur une échelle logarithmique



(a)



(b)

Fig. 8:IDS pour $V_{DS}=1V$ (trait plein) et $V_{DS}=100\text{ mV}$ (lignes pointillées), fonction de la tension de grille, avec $N_a=2e23\text{cm}^{-3}$.

(a) les caractéristiques sur une échelle linéaire

(b) les caractéristiques sur une échelle logarithmique

Ce type de modèle empirique offre beaucoup d'intuition physique, car il fait appel à des paramètres physiques importants qui permettent la modélisation statistique. La relation implicite (16) pour le potentiel de surface ψ_s ne peut être résolue de manière analytique. Il ne peut être résolu de manière itérative, qui est généralement considérée comme coûteuse en ressources informatiques. Afin de réduire le temps de calcul, une bonne approximation précise de ψ_s est nécessaire. L'approximation explicite pour ψ_s de la manière utilisée dans le modèle MOS 11 est discuté. Il a déjà été partiellement traité dans [12,13].

Trois régions distinctes de fonctionnement peuvent être observés: la zone d'accumulation, la région faible inversion ou de l'épuisement et de la région à forte inversion. Différentes approximations de potentiel de surface peuvent être effectuées dans les différentes régions de fonctionnement. Ce modèle est une linéarisation d'utilisation basée sur le compacte pratique du potentielle de surface.

Le courant de drain et ces composants, ainsi que les potentiels de surface sont illustrés sur les figures pour les différents paramètres.

V. Comparaison graphique entre les modèles

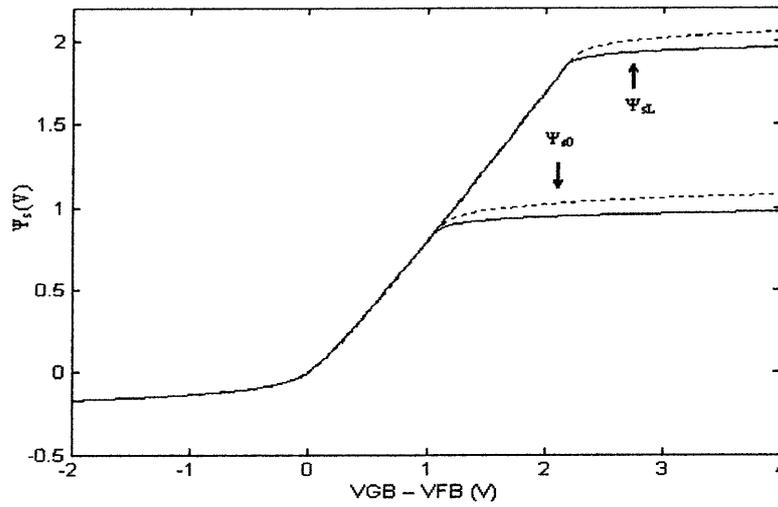


Fig. 9: Une comparaison du potentiel de surface simulé à la source(ψ_{s0}) et le drain(ψ_{sL}) pour le modèle11(trait plein) et charge sheet(lignes pointillées), à $V_{DB}=1V$, $V_{SB}=0V$ et $N_a=2e23cm^{-3}$.

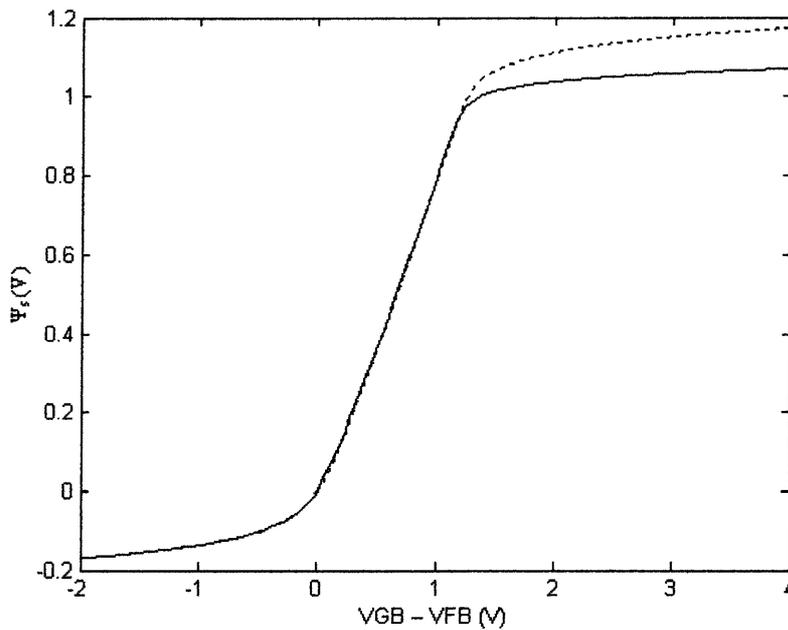
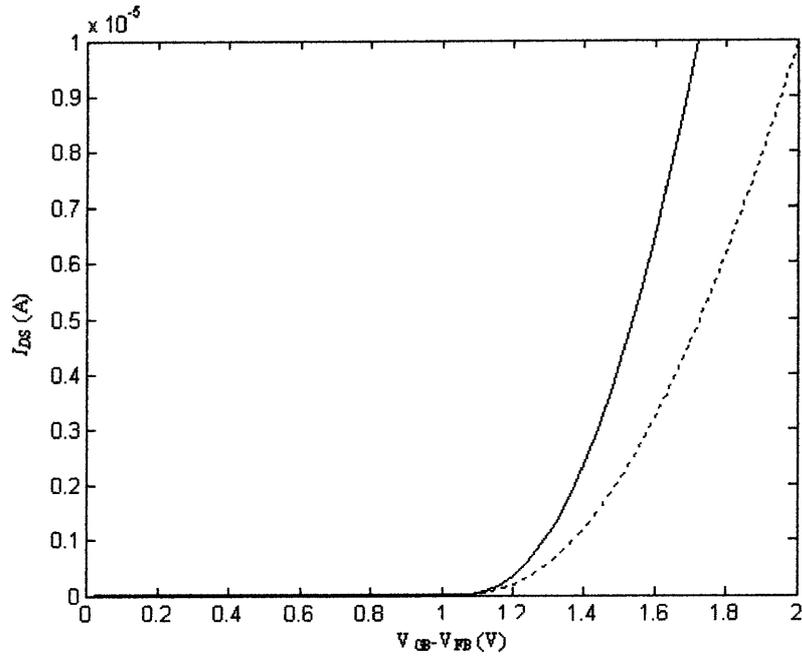
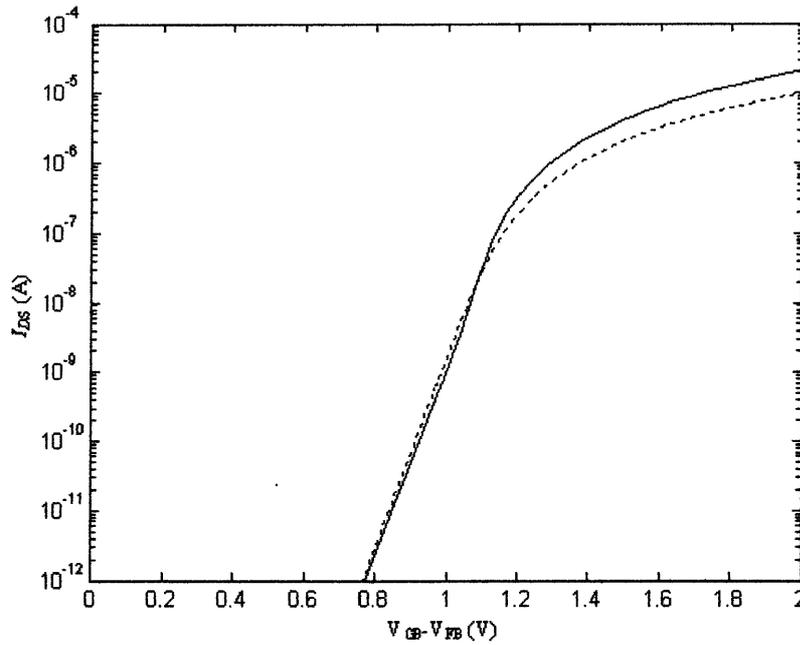


Fig. 10: Une comparaison du potentiel de surface simulée pour le modèleM11(trait plein) et charge sheet (lignes pointillées), $V = 100mV$ et $N_a=2e23cm^{-3}$.



(a)



(b)

Fig. 11: Une comparaison de courant de drain simulé de la région linéaire à la région de saturation pour le modèle 11 (trait plein) et charge sheet (lignes pointillées), à $V_{DS} = 1V$ et $N_a = 2e23cm^{-3}$.

(a) les caractéristiques sur échelle linéaire

(b) les caractéristiques sur échelle logarithmique

Une comparaison du potentiel de surface simulé à la source (ψ_{s0}) et le côté du drain (ψ_{sL}) pour le modèle M11 (trait plein) et d'accusation modèle (lignes pointillées) Fig. 8-9, la courbe montre identiques, sauf pour l'inversion forte, où il Ya saturation au modèle M11 avant le modèle de charge-sheet, ce qui est vérifié sur les figures de comparaison de courant simulé de drain de la région linéaire a la région de saturation pour le modèle 11 (trait plein) et d'accusation modèle (lignes pointillées) Fig. 10, où il existe une légère différence dans la faible inversion, une différence relative de forte inversion que le VDS est grand ou petit.

Nous avons mis les valeurs des potentiels de modèle charge-sheet dans les équations du modèle M11, et vice versa Fig. 12. La simulation montre clairement le potentiel de surface dans trois régions distinctes de fonctionnement, la région d'accumulation, la région faible inversion ou de l'épuisement et de la région à forte inversion. Donner des résultats plus ou moins loin de l'autre, qui peuvent être analysées selon le cas, mais nous permettent de valider le programme de ces deux modèles.

VI. DESCRIPTION DE LA TRANSDUCTENCE ET LA CONDUCTANCE

Pour traiter le modèle dynamique, nous allons introduire le concept important de petits paramètres du signal. Pendant le fonctionnement du transistor MOS, d'une tension appliquée à la grille, de drain, de la masse ou à la source, provoque un changement dans le courant de drain. Cela nous permettra de définir le concept de transconductance.

Par exemple, la relation entre la variation du courant de drain sur la variation de tension grille- autres tensions sont fixés Celui-là est appelé transconductance porte ou tout simplement transconductance gm, est défini comme:

$$gm = \left. \frac{\partial I_d}{\partial V_{GS}} \right|_{V_{DS}, V_{BS}}$$

Transconductance gm est l'un des paramètres les plus importants du transistor MOS. Parce que c'est en fait une mesure du gain de l'appareil, de manière similaire au cas de la transconductance gm, il est possible de définir la conductance drain gd:

$$gd = \left. \frac{\partial I_d}{\partial V_{DS}} \right|_{V_{GS}, V_{BS}}$$

La transconductance gmb de substrat est:

$$gmb = \left. \frac{\partial I_d}{\partial V_{BS}} \right|_{V_{DS}, V_{GS}}$$

Ces quantités sont nécessaires pour réaliser une analyse de petits signaux du fonctionnement du TMOS. Particulièrement la conductance g_d et la transconductance g_m de conductibilité du drain, sont très importantes pour la conception de circuits analogiques.

VI.a. généralité de modèle charge sheet

Le courant de drain contient V_{GB} explicitement dans (8 ') et aussi, implicitement, à travers et voir (10). Cela conduit à un peu d'algèbre lorsque la différenciation par rapport à V_{GS} est tentée. Cependant, il a été suggéré que l'on peut utiliser l'approximation suivante pour une bonne précision [2, 3]:

$$g_m = \mu C'_{OX} \frac{W}{L} (\psi_{sL} - \psi_{s0}) \tag{IV.34}$$

Le modèle général peut également être utilisé pour obtenir une valeur pour g_d valable dans toutes les régions, sauf pour la modulation de canal et les effets de canal court. On peut montrer que[2, 3]:

$$g_d = \frac{W}{L} \mu \left(-Q'_{I, drain} \right) \tag{IV.35}$$

Ainsi, en utilisant(4), on obtient:

$$g_d = \mu C'_{OX} \frac{W}{L} \left(V_{GB}^* - \psi_{sL} - \gamma \sqrt{\psi_{sL}} \right) \tag{IV.36}$$

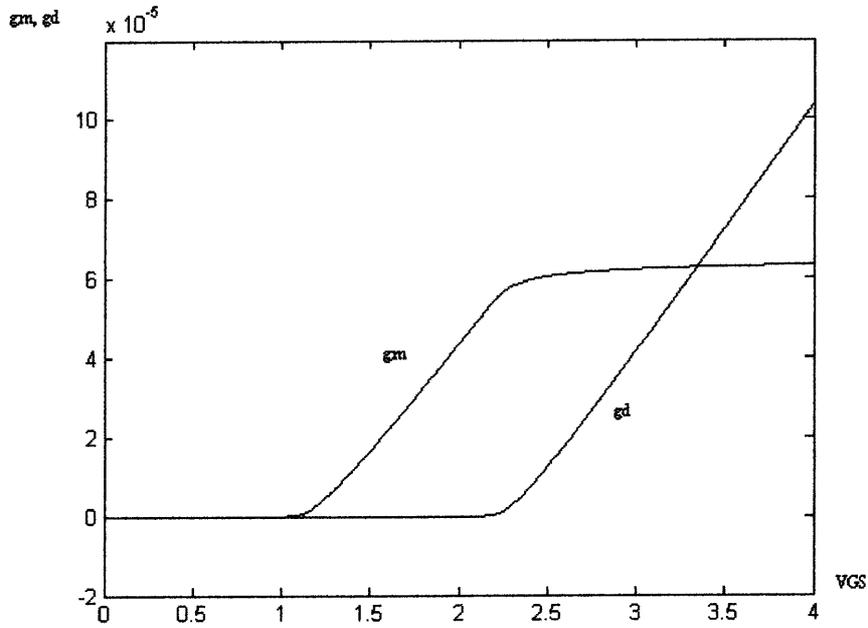


Fig. 12: Transconductance, et la conductance en fonction de VGS pour VBS=0V, VDS=1V et $N_a=2 \times 10^{23} \text{cm}^{-3}$ obtenue à partir du modèle de la feuille de charge précis.

VI.b.la comparaison de rapprochement de la transductance avec le dérivé numérique de courant du drain

L'expression de dérivation transconductance gm numérique de courant de fuite est obtenue en prenant la dérivée partielle de (3) par rapport à VGS. Le résultat est [16, 17,18]:

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} = \mu C_{ox} \frac{W}{L} \left(\frac{\partial \psi_{sL}}{\partial V_{GS}} \left(V_{GB} V_{FB}^{-\psi_{sL}} - \gamma \psi_{sL}^2 + \phi_T + \frac{1}{2} \gamma \phi_T \psi_{s0}^{-1/2} \right) - \frac{\partial \psi_{s0}}{\partial V_{GS}} \left(V_{GB} V_{FB}^{-\psi_{s0}} - \gamma \psi_{s0}^2 + \phi_T + \frac{1}{2} \gamma \phi_T \psi_{s0}^{-1/2} \right) + \psi_{sL} - \psi_{s0} \right) \quad (IV.37)$$

où

$$\frac{\partial \psi_{sL}}{\partial V_{GS}} = \frac{V_{GB} V_{FB}^{-\psi_{sL}}}{V_{GB} V_{FB}^{-\psi_{sL}} + \gamma^2 / 2 (1 + \phi_T \exp\left(\frac{\psi_{sL} - V_{DB} - \phi_B}{\phi_T}\right))} \quad (IV.38)$$

$$\text{et } \frac{\partial \psi_{s0}}{\partial V_{GS}} = \frac{V_{GB} - V_{FB} - \psi_{s0}}{V_{GB} - V_{FB} - \psi_{s0} + \frac{\gamma^2}{2} \left(1 + \phi_T \exp\left(\frac{\psi_{s0} - V_{DB} - \phi_B}{\phi_T}\right) \right)} \quad (\text{IV.39})$$

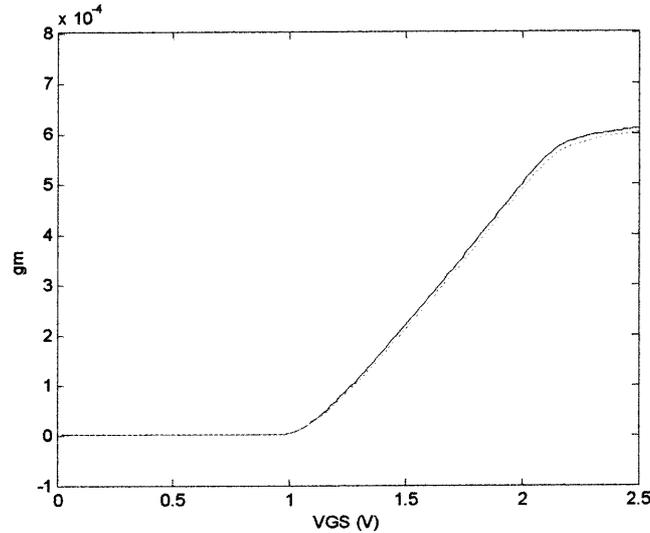


Fig. 13: Transconductance ,et conductance en fonction VGS, VBS=0V, VDS=1V et Na=2e23cm⁻³ (2e17cm⁻³).

Transconductance approximation de courant de drain(en trait plein)

Transconductance dérivation numérique de courant de drain(lignes en pointillés)

Nous pouvons voir que, il n'y a pas grande différence entre les deux expressions

VI -c) Les caractéristiques gm / ID

Modèles MOSFET compacts plus précis, donne une description précise des caractéristiques courant-tension, aussi une bonne description de transconductance gm et la conductance gd en fonction des tensions aux bornes [17,18].

Nous utilisons l'expression (22) pour déduire la caractéristique de gm.

L'impact sur le gm / ID vs VGS et ID / (W / L) caractéristiques est clairement indiqué sur la figure 13

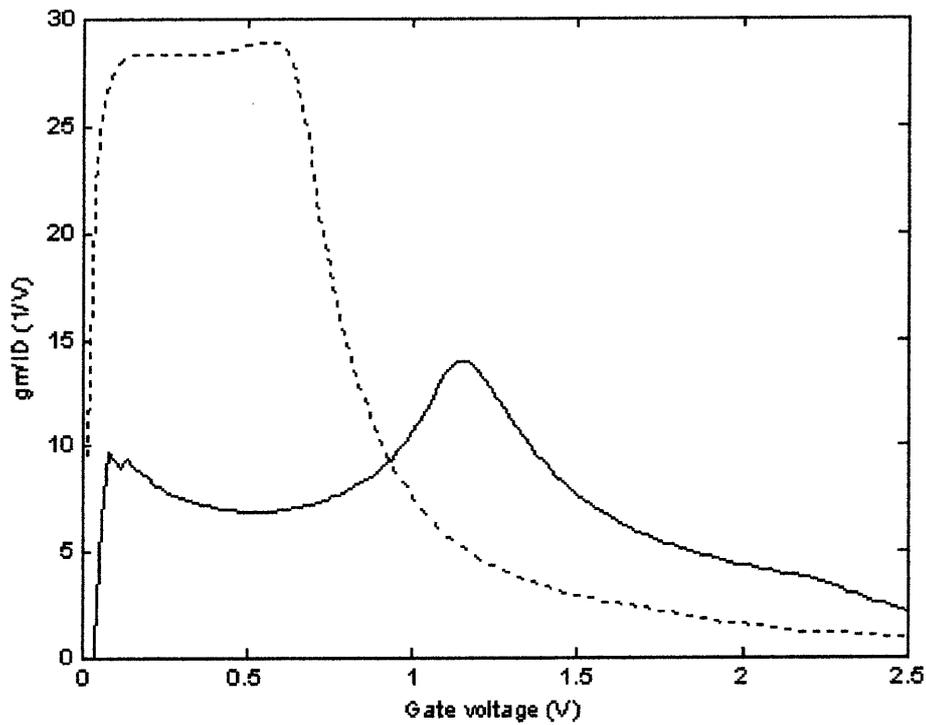


Fig. 14: MOSFET transconductance calculée en fonctions VGS pour fixe VBS = 0V, VDS = 1V avec (ligne solide pour $N_a = 2 \times 10^{17} \text{cm}^{-3}$, la ligne en pointillés pour $N_a = 1 \times 10^{15} \text{cm}^{-3}$).

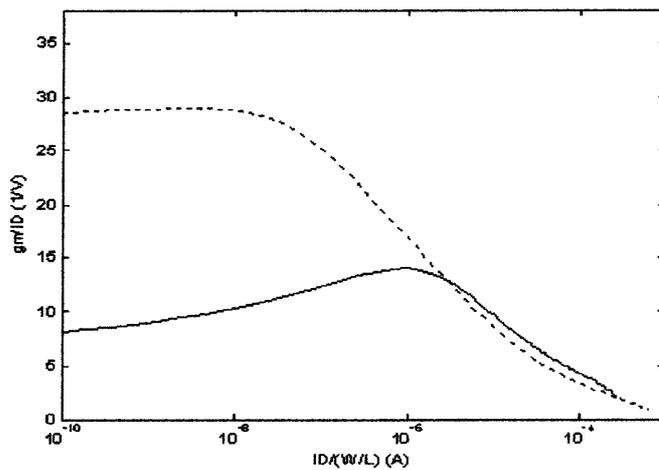


Fig. 15: MOSFET transconductance calculé en fonctions normalisées vidange VGS actuel VBS fixe = 0V, VDS = 1V

Avec (ligne solide pour $N_a = 2 \times 10^{17} \text{cm}^{-3}$, la ligne en pointillés pour $N_a = 1 \times 10^{15} \text{cm}^{-3}$).

VI-d) Altération de modélisation

La distorsion d'un MOSFET est illustrée sur la Fig. 33. Dans les circuits à l'aide de topologies équilibrées, même harmoniques d'ordre peuvent être réduites d'environ 40 dB. En conséquence, les 3èmes ordres formes harmoniques une limite inférieure pour la distorsion totale. Un modèle compact MOS devrait donc décrire avec précision le courant de drain et de ses dérivés d'ordre supérieur (jusqu'à au moins d'ordre 3).

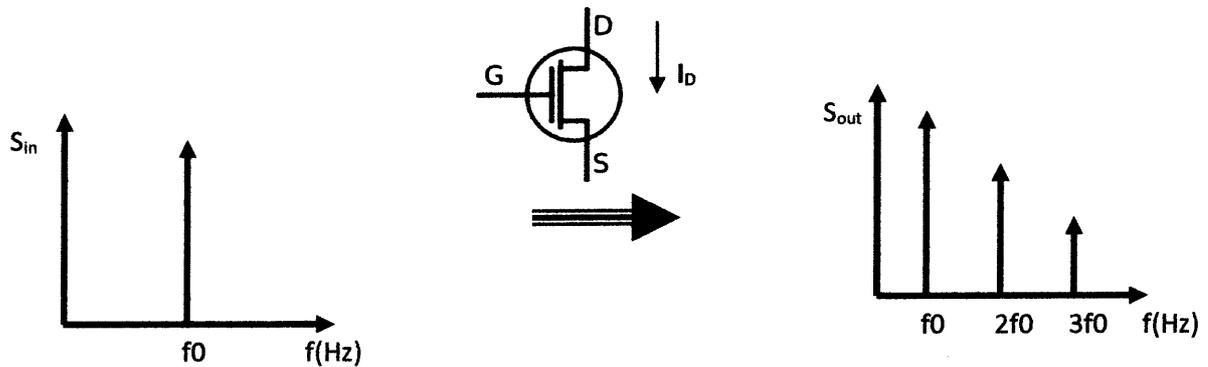


Fig. 16. Non-linéarité d'un circuit MOS-induit harmoniques d'ordre supérieur dans le signal de sortie S_{out} lorsqu'un signal S_{in} purement sinusoïdale est appliqué à l'entrée, c'est ce qu'on appelle Distorsion Harmonique

Dans la distorsion harmonique, une entrée sinusoïdale de fréquence fondamentale f_0 , pour un système non linéaire comme le MOSFET produit des harmoniques dans la sortie. Le signal de sortie contient non seulement f_0 , mais aussi de ses multiples, $2f_0$, $3f_0$, et ainsi de suite. Les amplitudes de ces harmoniques (HD1, HD2, HD3) sont liés à la fuite des MOSFET I_{ds} par commandes successives de différenciation par rapport à la tension de grille V_{GS}

[19, 20, 21, 23, 24].

Le drain I_D actuel peut être déposé en série de Taylor :

$$I_D = a_0 + a_1V_{in} + a_2V_{in}^2 + a_3V_{in}^3 + \dots = \sum_{i=0}^{\infty} a_k V_{in}^k \tag{IV.40}$$

où V_{in} est un signal sinusoïdal purement

$$V_{in} = V_P \sin(2\pi f_0 t) \tag{IV.41}$$

et

$$a_k = \frac{1}{k!} \left. \frac{\partial^k I_D}{\partial V_{GS}^k} \right|_{V_{DS}, V_{BS}}$$

Le courant de drain (25) I_D peut être réécrite en termes de péché (not)

$$I_D = A_0 + A_1 \sin(\omega t) + A_2 \cos(2\omega t) + A_3 \sin(3\omega t) + \dots \tag{IV.41}$$

Quand une petite valeur est choisie suffisamment pour la VP d'amplitude

$$A_0 \approx a_0 + \frac{1}{2} a_2 V_P^2$$

$$A_1 \approx a_1 V_P$$

$$A_2 \approx -\frac{1}{2} a_2 V_P^2$$

$$A_3 \approx -\frac{1}{4} a_3 V_P^3$$

De cette façon, les dérivés d'ordre supérieur $gm = \frac{\partial I_D}{\partial V_{GS}}$, $gm2 = \frac{\partial^2 I_D}{\partial V_{GS}^2}$ and $gm3 = \frac{\partial^3 I_D}{\partial V_{GS}^3}$

peut être calculée à partir des expressions (20-22)

$$gm = \mu C'_{OX} \frac{W}{L} \left(\frac{\partial \psi_{sL}}{\partial V_{GS}} - \frac{\partial \psi_{s0}}{\partial V_{GS}} \right) \tag{IV.42}$$

$$gm3 = \mu C_{OX} \frac{W}{L} \left(\frac{\partial^2 \psi_{sL}}{\partial V_{GS}^2} - \frac{\partial^2 \psi_{s0}}{\partial V_{GS}^2} \right) \quad (IV.43)$$

$$\frac{\partial^2 \psi_{s0}}{\partial V_{GS}^2} = \frac{\left(1 - \frac{\partial \psi_0}{\partial V_{GS}} \right)}{\left(V_{GB} - V_{FB} - \psi_{s0} + \gamma^2 / 2 (1 + \phi_T \exp\left(\frac{\psi_{s0} - V_{DB} - \phi_B}{\phi_T}\right)) \right)} \left(V_{GB} - V_{FB} - \psi_{s0} \left(1 - \frac{\partial \psi_{s0}}{\partial V_{GS}} \left(1 - \gamma^2 / 2 \phi_T (1 + \phi_T \exp\left(\frac{\psi_{s0} - V_{DB} - \phi_B}{\phi_T}\right)) \right) \right) \right) \quad (IV.44)$$

$$\left(V_{GB} - V_{FB} - \psi_{s0} + \gamma^2 / 2 (1 + \phi_T \exp\left(\frac{\psi_{s0} - V_{DB} - \phi_B}{\phi_T}\right)) \right)^2$$

$$\frac{\partial^2 \psi_{sL}}{\partial V_{GS}^2} = \frac{\left(1 - \frac{\partial \psi_{sL}}{\partial V_{GS}} \right)}{\left(V_{GB} - V_{FB} - \psi_{sL} + \gamma^2 / 2 (1 + \phi_T \exp\left(\frac{\psi_{sL} - V_{DB} - \phi_B}{\phi_T}\right)) \right)} \left(V_{GB} - V_{FB} - \psi_{sL} \left(1 - \frac{\partial \psi_{sL}}{\partial V_{GS}} \left(1 - \gamma^2 / 2 \phi_T (1 + \phi_T \exp\left(\frac{\psi_{sL} - V_{DB} - \phi_B}{\phi_T}\right)) \right) \right) \right) \quad (IV.45)$$

$$\left(V_{GB} - V_{FB} - \psi_{sL} + \gamma^2 / 2 (1 + \phi_T \exp\left(\frac{\psi_{sL} - V_{DB} - \phi_B}{\phi_T}\right)) \right)^2$$

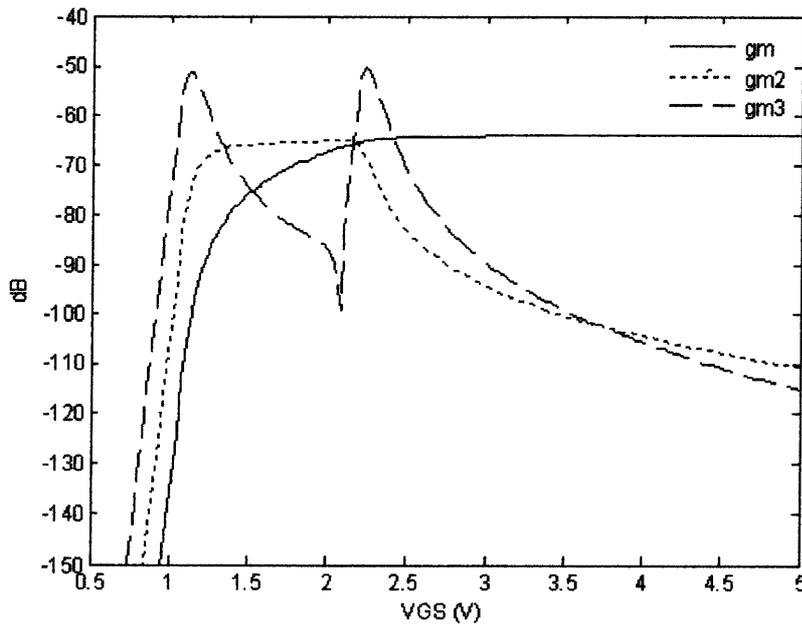


Fig. 17: valeurs modélisées de gm_1 , gm_2 , et gm_3 en fonction de la tension de grille VGS pour un type n

Transistor MOS avec $W = 10$ microns, $L = 10$ microns à $V_{SB} = 0V$, $V_{DB} = 1V$ et $N_a = 2e17cm^{-3}$.

VII.Description de la FFT

Transistor MOS avec $W = 10$ microns, $L = 10$ microns à $V_{SB} = 0V$, $V_{DB} = 0.1V$ et $N_a = 1e15cm^{-3}$.

Distorsions de forme d'onde ont été traditionnellement considérées comme des distorsions harmoniques, à la transformation de Fourier rapide (FFT) est une analyse essentiellement manière à harmoniques. Cependant, la FFT est juste un moyen de mesurer des distorsions du signal dans le domaine temporel ou en fréquence.

(Figure17,18) représente le signal et l'algorithme FFT peut mesurer les harmoniques et inter-harmoniques lorsque l'heure est synchronisée avec la fréquence fondamentale [22].

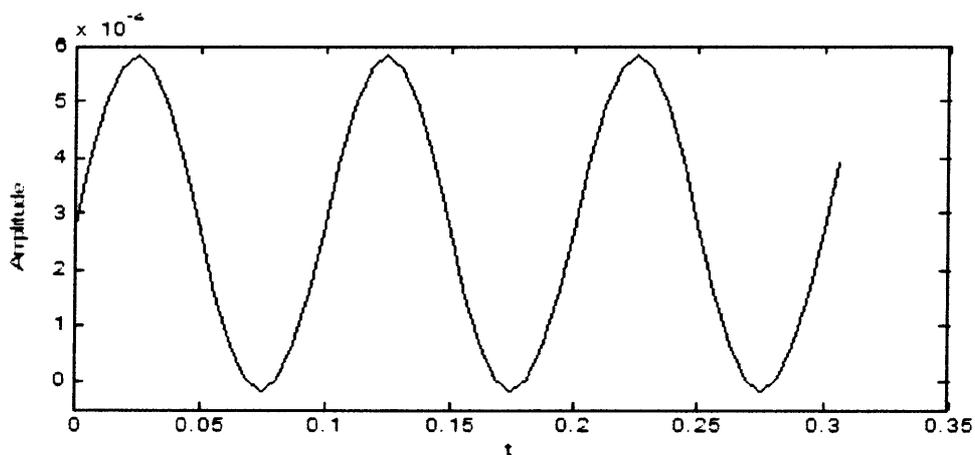


Fig. 18 signal de ID

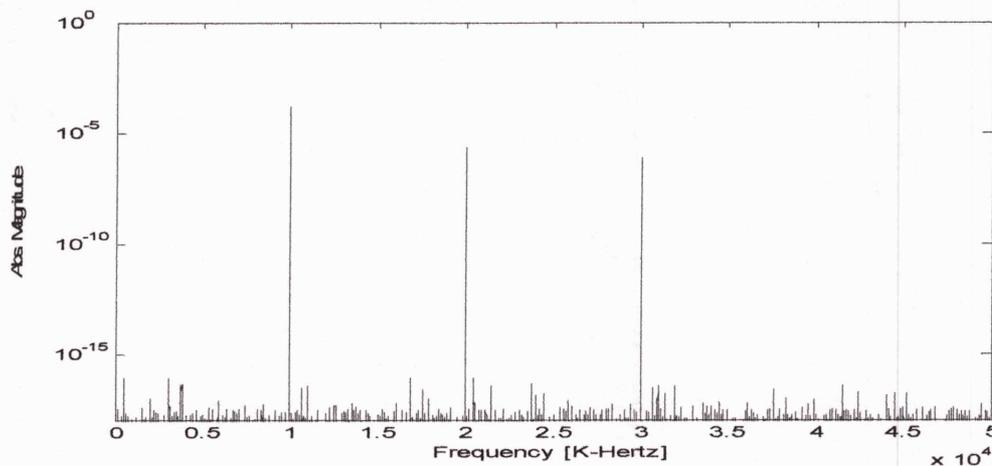
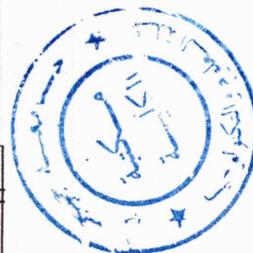
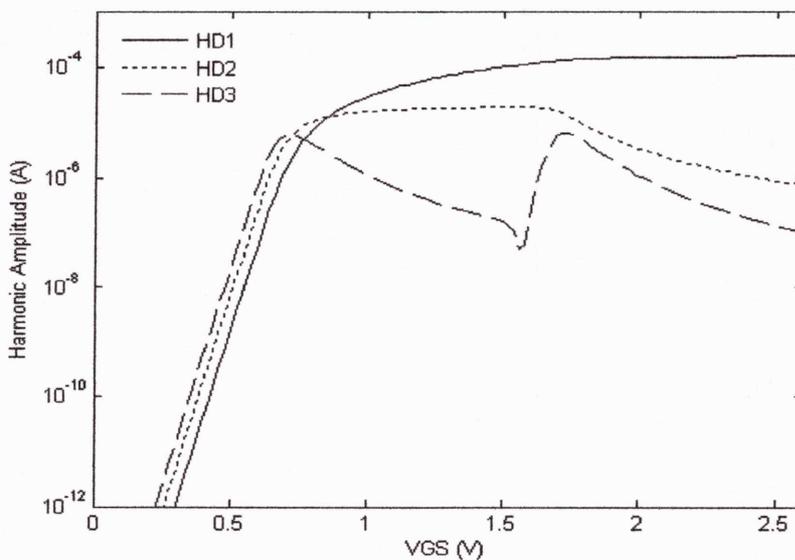


Fig19 FFT spectre de fréquence de la fuite de courant ID quand une tension sinusoïdale idéale

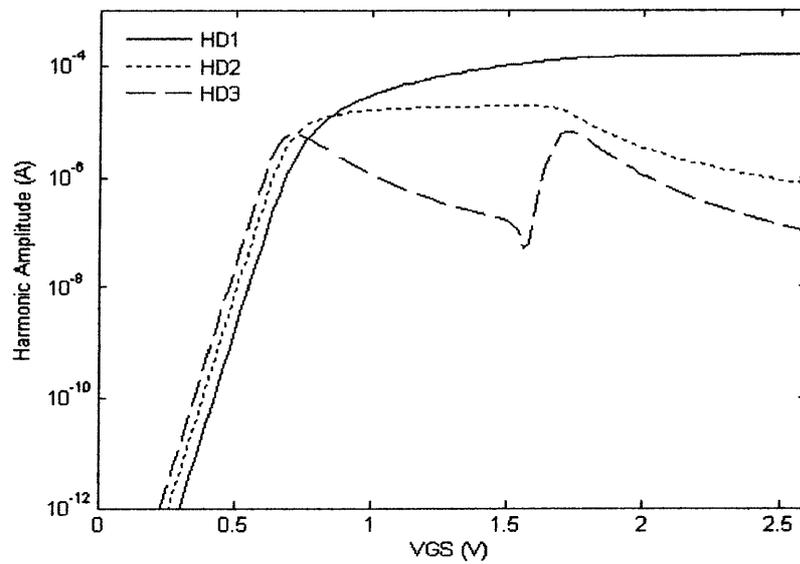
$V_{in} = V_P \sin(2\pi f_0 t)$ est appliquée à long canal n transistor MOS de type VP = 0,5 V, $f_0 = 1$ kHz et la fréquence d'échantillonnage est de $16 f_0$. ($W = 10$ microns, $L = 10$ microns à $V_{SB} = 0V$, $V_{DB} = 1V$,

$V_{GB} = 2V$ et $N_a = 2e17cm^{-3}$).

La représentation graphique de la distorsion harmonique



(a)



(b)

Fig. 20 modélisation du premier ordre (HD1), de second ordre (HD2) et de troisième ordre (HD3) de l'amplitude harmonique de I_D quand une tension sinusoïdale parfaite $V_{in} = V_P \sin 2\pi f_0 t$ est appliquée. $V_P = 0,5$ V, $f_0 = 1$ kHz et une fréquence d'échantillonnage est de $16 f_0$ en fonction de la tension de grille pour un transistor de type n MOS à canal long (avec $W = 10$ microns, $L = 10$ microns à $V_{SB} = 0V$, $V_{DB} = 1V$ et $N_a = 2e17cm^{-3}$).

a) les caractéristiques sur échelle dB

b) les caractéristiques sur échelle logarithmique

VIII. CONCLUSION

Le modèle de charge-sheet donne une expression valide du courant de la faible inversion a la forte inversion, le courant du canal est la somme de deux contributions: la dérive et le courant de diffusion [2]. Ce modèle ne n'exige pas la détermination de la charge d'inversion du canal long, puisque le calcul est effectué à la frontière, il nécessite la connaissance du potentiel de surface pour le canal des deux bords, ainsi calcule est plus facile.

Un nouveau modèle compact pour les transistors MOS basés dans le modèle de charge-sheet a été développé, le Modèle M11 duMOS (MM11). En général, ce modèle donne une description précise des charges et des courants et leurs dérivés de premier ordre. et conserve la symétrie dans les expressions, si les courants et les quantités de charges sont fonction du potentiel de surface moyenne de la source au drain

Conclusion général

Les travaux reportés dans ce manuscrit ont présenté une étude théorique et expérimentale effectuée sur des transistors MOSFET d'une technologie avancée de type FD SOI (complètement déserté silicium sur isolant). Des mesures électriques combinées avec des modélisations ont été effectuées dans le but d'expliquer les phénomènes liés à la réduction des dimensions des transistors.

Ce manuscrit contribue à apporter une réponse relative à l'impact de ces aspects sur les propriétés électrostatiques ainsi que sur les paramètres de transport.

Les résultats de simulation ont prouvé que le courant de drain dans la forte inversion est dû principalement du courant de conduction et dans la faible inversion il est dû au courant de diffusion.

Le modèle charge-sheet et fortement lié avec la physique du dispositif MOSFET, et par conséquent fournit une exactitude de modélisation optimal, et plus général par rapport au modèle M11 qui est plus précis par ce qu'il contient plus paramètre.

La conductance g_d et transconductance g_m sont nécessaires pour réaliser une analyse de petit signal du fonctionnement du TMOS, sont très importantes pour la conception de circuits analogiques.

Non-linéarité d'un circuit MOS-induit harmoniques d'ordre supérieur dans le signal de sortie, c'est ce qu'on appelle Distorsion Harmonique.

Référence :

- [1] Auth, C et al “A 22nm high performance and low-power CMOS technology featuring fully-depleted tri-gate transistors, self-aligned contacts and high density MIM capacitors” VLSI Technology (VLSIT), Symposium on 2012,
Page(s):131 – 132, (2012)
- [2] T. Skotnicki, “Transistor MOS et sa technologie de fabrication”, Encyclopédie Techniques de l’Ingénieur, traité d’électronique E2 430, (2000)
<http://www.soiconsortium.org/> M.Vinet et al “Bonded Planar Double-Metal-Gate NMOS Transistors Down to 10 nm” Electron Device Letters 2005 Volume: 26, Issue: 5 Page(s): 317-319
- [3] R.Gwoziecki, T.Skotnicki “Physics of subthreshold slope-initial improvement and final degradation short CMOS devices” ESSDERC (2002)
- [4] Robertson J, “Band offsets of wide-band-gap oxides and implications for future electronic devices”, J. Vac. Sci. Technol. B vol 18 no 3 pages :1785
- [5] L. Pham-Nguyen, C. Fenouillet-Beranger, A. Vandooren, A. Wild, G. Ghibaudo, S. Cristoloveanu, “Direct comparison of Si/High-K and Si/SiO₂ channels in advanced FD SOI MOSFETs”, Proc. SOI Conf., pp.25, (2008).
- [6] Manuscrit de Antoine Cros “Caractérisation électrique des transistors MOS à grille enrobante pour les technologies CMOS sub-45nm” (2006)
- [7] G.A.M Hurkx “On the modelling of tunnelling currents in reverse-biased pn junctions,” Solid-State Electronics Volume 32, Issue 8, August (1989).
- [8] Model for Assessment of CMOS Technologies And Roadmaps - Modèle pour l’évaluation des Technologies CMOS et des feuilles de route,
- [9] T Rochette these Étude et caractérisation de l’influence des contraintes mécaniques sur les propriétés du transport électronique dans les architectures MOS avancées (2008)
- [10] D. Munteanu et S. Cristoloveanu, “Modélisation et Caractérisation Des Transistors Soi: Du Pseudo-Mosfet Au Mosfet Submicronique Ultramince
- [11] F Dauge et al “Experimental gate misalignment analysis on double gate SOI MOSFETs” SOI Conf (2004).
- [12] H. Lee, C.-H Lee, D. Park Y.-K. Choi, “A study of negative-bias temperature instability of SOI and body-tied FinFETs” IEEE Electron Device Letters 26 pages: 326–328, (2005).
- [13] A. Pethe, T. Krishnamohan, D. Kim, S. Oh, H. S. P. Wong, Y. Nishi, K. C. Sarawat, “Investigation of the Performance limits of III-V Double-Gate n-
- [14] J.Widiez et al “Experimental gate misalignment analysis on double gate SOI MOSFETs” IEEE Int.SOIconf(2001).
- [15] Jurczak M., Skotnicki T., Paoli M., Tormen B., Regolini J.-L., Morin C., Schiltz

Référence :

- A., Martins J., Pantel R. et Galvier J. "SON (Silicon on Nothing)-a new device architecture for the Vlsi era" Symposium on VLSI Technology. Digest of Technical Papers, pages 29 – 30 (1999).
- [16] C.R,Manoj et al "Device Design and Optimization Considerations for BulkFinFETs" IEEE TED Volume: 55 , Issue: 2 , Page(s): 609 – 615. (2008)
- [17] Monfray S et al. "First 80 nm SON (Silicon-On-Nothing) MOSFETs with perfect morphology and high electrical performance" In International ElectronDevices Meeting. Technical Digest, pages 645 – 648 (2001).
- [18] Jong-Tae Park, Jean-Pierre Colinge, Carlos H. Diaz "Pi-Gate SOI MOSFET"IEEE Electron Device Letters, 2001 Volume: 22 , Issue: 8 Page(s): 405 – 406
- [19] Hisamoto. D et al. "A fully depleted lean channel transistor (DELTA)-a novel vertical ultra thin SOI MOSFET" Electron Devices Meeting. IEDM. Technical Digest, International Page(s): 833- 836, (1989)
- [20] X. Huang et al "Sub-50nm P-Channel FinFET", Electron Devices, IEEE Transactions on Volume: 48 , Issue: 5 Page(s): 880- 886, (2001)
- [21] J-P Colinge, Gao M.H, Romano A, Maes H, Claeys C. "Silicon-on- insulator 'gate-all-around' MOS device" Technical Digest of IEDM. p. 595, (1990)
- [22] Parvais B et al "The device architecture dilemma for cmos technologies: opportunities & challenges of finFET over planar MOSFET". VLSI-TSA; (2009)
- [23] J-P Colinge "Multiple-gate SOI MOSFETs" Solid State Electronics Volume:49, Issue: 12, (2004)
- [24] T. Hiramoto "Nano-scale silicon MOSFET: towards non-traditional and quantum devices". IEEE International SOI Conference Proceedings (2001)
- [25] Z. Jiao and A.T. Salama "A Fully Depleted Delta Channel SOI NMOSFET" Electro Chem. Society Proceedings 2001, pages 403 (2001)
- [26] F.Balestra, J.Jomaah, G. Ghibaudo, O.Faynot, A-J.Auberton-Hervé andB.Giffart. "Analysis of the latch and breakdown phenomena in N and Pchannel thin film SOI MOSFET's as a function of temperature" Electron Devices Transactions . Volume: 41, Issue: 1 Page(s): 109- 112, (1994).
- [27] M Bruel et al "Silicon on insulator material technology" Electronics Lett. Vol 31p 1201, (1995)
- [28] G. K. Celler and S. Cristoloveanu, "Frontiers of silicon-on-insulator" Journalof Applied Physics Vo 93, N° 9 (2003)

Référence :

-[29] J.Y.Choi and J.G Fossum “Analysis and control of floating body effects in fullydepleted SOI MOSFET’s” Electron Devices, IEEE Transactions on 1991.

Volume: 38, Issue: 6 Page(s): 1384-1391, (1991).

-[30] S.Cristoloveanu and S. Williams “Electrical characterization of SOI Materialsand devices” Kluwer Norwell (1995).

[31] C.Fenouillet-Beranger et al “Parasitic bipolar impact in 32nm undopedchannel Ultra-Thin BOX (UTBOX) and biased Ground Plane FDSOI highk/metal gate technology” Solid-State Device Rese-arch Conference(ESSDERC), Proceedings of the European Page(s): 111 - 114 (2011)

-[32] I Hafez, G.Ghibaud and F.Balestra, “Analysis of kink effect in MOStransistor” Electron Devices, IEEE Transactions on pp. 818- 821, (1990).

-[33] Alexandre Hubert, Maryline Bawedin, Georges Guegan, Thomas Ernst,Olivier Faynot, Sorin Cristoloveanu “SOI 1T-DRAM cells with variable channellength and thickness: experimental comparison of programming mechanisms”

Solid-State Electronics Volumes 65–66, Pages 256–262 , November–December (2011).

-[34] James B. Kuo, Shih-Chia Linpage. Book “Low-voltage SOI CMOS VLSI devices and circuits” John Wiley & Sons, 1 oct. (2001)

-[35] Q. Liu et al., “Impact of Back Bias on Ultra-Thin Body and BOX (UTBB)Devices” Symposium on VLSI Technology Digest of Technical Papers, pp.160-161. (2011)

-[36] E.P.Ver Ploeg, T.Watanabe, N,A.Kistler, J.C.S.Woo and J.D .Plummer,“Elimination of bipolar-induced breakdown in fully deleted SOI MOSFETs”Electron Devices Meeting, Technical Digest, International Page(s): 337- 340 (1992).

-[37] W. Schwarzenbach et al “Excellent Silicon Thickness Uniformity on Ultra-ThinSOI for controlling V_t variation of FDSOI” C Design & Technology (ICICDT),

-[38] J.Kim, Y.Kwon, “Intermodulation Analysis of Dual-Gate FET Mixers”, IEEE Transactions on MicrowaveTheory and Techniques, vol. 50, no. 6, pp. 1544-1555, June 2002.

-[39] S.Kang, B.Choi, B.Kim, “LinearityAnalysis of CMOS for RF Application”, IEEE Transactions on MicrowaveTheory and Techniques, vol. 51, no. 3, pp. 972-977, March 2003.

-[40] P.Delemotte, “Réalisation expérimentale d’un banc d’intermodulation “Noise.

Power Ratio » : Application à l’analyse de HEMTs et de MMICs de puissance en bande Ka »
Thèse de doctorat de l’Université des Sciences et Technologies de Lille, novembre 2003.

Référence :

- [40] R. van Langevelde, A. J. Scholten, and D. B. M. Klaassen, "Physical background of MOS model 11", Nat. Lab. Unclassified Report 2003/00239. April 2003. (Available on line at <http://www.semiconductors.philips.com/Philips_Models/>)
- [41]Yannis Tsividis, Operation and modeling of the MOS transistor, McGraw-Hill, Inc., New York, NY, 1987.
- [42]J. R Brews, "A charge sheet model for the MOSFET," Solid-State Electronics, vol.21, pp.345--355, 1978.
- [43]H. C. Pao and C. T. Sah, "Effects of diffusion current on characteristics of metal-oxide (insulator)-semiconductor transistors," Solid-State Electronics, vol. 9, pp. 927--937, 1966.
- [44]F. Van de Wiele, A long-channel MOSFET model, Solid-State Electronics, Volume 22, Issue 12, December 1979pp.991-997.
- [45]G. Baccarani, M. Rudan, and G. Spadini, "Analytical i.g.f.e.t.
- [46]Y. Tsividis, K. Suyama, K. Vavelidis, "Simple. 'Reconciliation' MOSFET model valid in all regions", Electronics Letters, vol. 31, no. 6, pp. 506—508,16th March 1978.
- [47]N. Arora, MOSFET Models for VLSI Circuit Simulation: Theory and Practice, Springer-Verlag New York, Inc., Secaucus, NJ, 1993.
- [48]D. Ward, R. Dutton, "A charge-oriented model for MOS transistor capacitance," IEEE Journal of Solid-State Circuits, vol SC-13, pp. 703-707, Oct. 1978.
- [49] A.R. Boothroyd et al, IEEE Trans. Computer-Aided Des, Vol. CAD-10, pp. 1512-1529, 1991.
- [50] R. van Langevelde, A.J. Scholten and D.B.M. Klaassen, Recent enhancements of MOS Model 11: Philips Research Laboratories, Prof. Holstlaan 4, 5656 AA Eindhoven, The Netherlands, ronald.van.langevelde@philips.com.
- [51] Wu, W. Li, X. Wang, H. Gildenblat, G. Workman, G. Veeraraghavan, S. McAndrew, C., SP-SOI: A Third Generation Surface Potential Based Compact SOI MOSFET Model, 2005, vol 2005, pages 819-822, IEEE; 1999.
- [51]Galup-Montoro, C.; Schneider, Marcio C.; Pahim, Viriato C., Fundamentals of Next Generation Compact MOSFET Models, Integrated Circuits and Systems Design, 18thSymposium on Volume, Issue, 4-7 Sept. 2005 Page(s):32–37.
- [53]M. Miura-Mattausch, U. Feldman, A. Rahm, M. Bollu and D. Savignac: Unified complete MOSFET for model analysis digital and analog circuits, IEEE Trans CAD/ICAS, vol 15, pp. 1-7, junaury (1996).

Référence :

- [54]Gildenblat, G. ; Wang, Hailing ; Chen, Ten-Lon ; Gu, Xin ; Cai, Xiaowen. SP: an advanced surface-potential-based compact MOSFET model, IEEE Journal, of Solid-State Circuits, vol 39, no. 9, pp. 1394-1406, September 2004.
- [55]van Langevelde, R., Effect of gate-field dependent mobility degradation on distortion - analysis in MOSFETs. IEEE Trans. Electron Devices. v44 i11.
- [56]Suharli Tedja, Jan Van der Spiegel, Hugh H. Williams., Analytical and Experimental Studies of Thermal Noise in MOSFET's, from IEEE Transactions on Electron Devices, 1994, Volume41, Issue 11, November 1994, pages 2069-2075.
- [57]R. van Langevelde, et al., Accurate drain conductance modeling for distortion analysis in MOSFETs, IEDM 1997 Technical Digest, 1997, pp. 313-317.
- [58]Gert Groenewold and Waldemar., Systematic Distortion Analysis for MOSFETIntegrators with Use of a New MOSFET Model, iee transactions on circuits and systems-11: analog and digital signal processing. vol. 41, no. 9 september 1994 569.
- [59]E. Garcia-Moreno, R. Picos, M. Roca, K. Suenaga., Influence of MOSFET Parameter Extraction in Distortion Analysis using SPICE, 0-7803-88 10-0/05/ 02005 IEEE 3 69.
- [60]Guoyan Zhang, Huailin Liao., A compact SOI MOS transistor model for distortion analysis, Solid Stat Electronics 47 (2003) 143-147.
- [61]Qiang Jiang, Jian Xiao, Gao zheng, Wei Jiang., **Measurement of Harmonics and Inter-harmonics based on DWFFT** The 3rd Intetnational Conference on Innovative Computing Information and Control (ICICIC'08) 978-0-7695-3161-8/08 2008 IEEE
- [62]Antonio Cerdeira, Miguel A. Alema'n, Magali Estrada, Denis Flandre., Integral function method for determination of nonlinear harmonic distortion, Solid Stat Electronics 48 (2004) 1225-1234.
- [63]**Piet Wambacq** , Willy M. Sansen, **Distortion Analysis of Analog Integrated Circuits**, Kluwer Academic Publishers, Norwell, MA, 1998.
- [64]Ronald van Langevelde, Francois M. Klaassen., An explicit surface-potential-based MOSFET model forcircuit simulation, Solid Stat Electronics 44 (2000) 4093-418.

Lissage Fonctions

Dans la présente annexe, les différentes fonctions de lissage mathématiques utilisées dans MOS modèle 11 sont définies. Ces fonctions de lissage sont utilisées pour obtenir une transition continue d'une fonction mathématique à l'autre à un certain point de transition. Non seulement la fonction de lissage doit être continue à l'point de transition, mais ses dérivés d'ordre supérieur ainsi. En d'autres termes, il doit être en C1-continue.

Fonctions de Hyp

Dans certains cas, il est essentiel d'utiliser une fonction $f(x)$ qui change en C1-continu à partir de zéro pour $x < 0$ à x pour $x > 0$. Ceci peut être réalisé en utilisant un hyp-fonction dite:

$$\text{hyp}_1(x; \epsilon) = \frac{1}{2} \cdot \left(x + \sqrt{x^2 + 4 \cdot \epsilon^2} \right)$$

Où? Est un paramètre qui détermine la fluidité de la transition, voir Fig. A.1

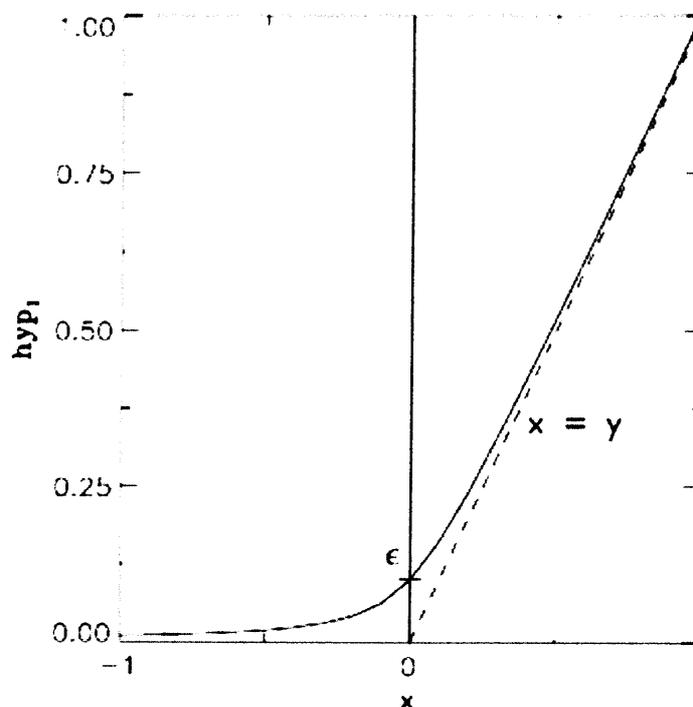


Figure A.1: La fonction de hyp $\text{hyp}_1(x; \epsilon)$ réalise une transition de C1-continue de zéro pour $x < 0$ à x pour $x > 0$.

Paramètre ϵ détermine la fluidité de la transition.