

République Algérienne Démocratique et Populaire
Ministère de l'Enseignement Supérieur et de la Recherche Scientifique



Université de JIJEL
Faculté des Sciences et de la Technologie
Département d'Electronique

Projet de fin d'études pour l'obtention du Diplôme
de Master en Electronique

Option : Optoélectronique

Thème :

Modélisation RF du transistor
LDMOS

Présenté par :

M^{lle}. BEKLA Miyyada.

M^{lle}. ZOUAGHI Zahra.

Encadré par :

Mr. TAMOUM Mohammed.

Promotion – Juin 2014



Remerciements

Au nom d'Allah le plus grand merci lui revient de nous avoir guidés vers le droit chemin, de nous avoir aidés tout au long de nos années d'étude.

Nous adressons notre profond remerciements à monsieur TAMOUN Mohammed notre encadreur qui nous a aidé et soutenus par ses conseils, sa compréhension et ses encouragements. Nous remercions tous les membres de jury pour l'honneur qu'ils nous ont accordé en jugeant le présent travail.

Enfin nous adressons nos remerciements les plus chaleureux à toutes les personnes qui nous ont aidés de près ou de loin par le fruit de leur connaissance.



Dédicaces

A mes très chers parents qui ont toujours été là pour moi, et qui m'ont donné un magnifique modèle de labeur et de persévérance. J'espère qu'ils trouveront dans ce travail toute ma reconnaissance et tout mon amour, que dieu leur préserve bonne santé et longue vie.

A mes chers frères : OQBA, OUSSAMA, AMINE, et le benjamin MIDOU.

A mes très chers sœurs : ASMA, MAISSA, et la petite MERIEME.

A mon fiancé FOUZI et tout sa famille.

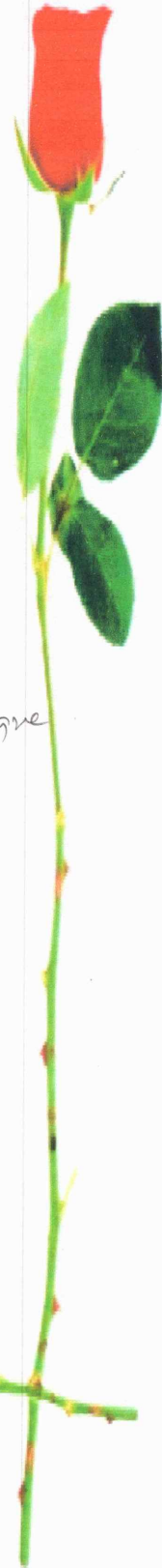
A la mémoire de mes oncles A.HAKIM, et MOULOUD, ainsi que mes grands-parents paternels.

A toute la famille ZOUAGHI et BOUGHEDDA.

A mes chères amies : HANA, NADJET, SELMA, YASSEMINE, AHLEM, SAMIRA, WISSEM, IMEN, FATIMA, KENZA, WISSAMA et mon binôme MIYYADA, pour les moments agréables que nous avons passés ensemble.

A tous mes collègues d'électronique promotion 2014, et à tous ceux qui m'aiment.

ZAHRA



Dédicaces

Rien n'est aussi beau à offrir que le fruit d'un labeur qu'on dédie du fond du cœur à ceux qu'on aime.

Je dédie ce lapidaire travail :

A mes très chers parents qui m'ont guidé durant les moments les plus pénibles de ce long chemin

A Mes grands-parents paternels.

A mes chers frères : ALHACHMI, RADWAN, ADEL, FAISSALE, AMINE, et le benjamin MOHAMMED.

A mes très chers sœurs : BADIAA, NASSIMA, WIDAD, WAFIA et HASSIBA.

A toute la famille BEKLA et BOUCHAIR,

A mes chères amies : ABIDA, DALILA, ILHAM, NASSIMA, FATIMA, DAHBA, LOUBNA, ZAHIA, KRIMA, LAILA, SABRA, SAIDA... et mon binôme ZAHRA, pour les moments agréables que nous avons passés ensemble.

A tous mes collègues d'électronique promotion 2014, et à tous ceux qui m'aiment.

MIYYADA

SOMMAIRE

Introduction Générale	1
-----------------------------	---

Chapitre I

Le Transistor MOS et son Utilisation en Radiofréquences

1. Introduction	3
2. Structure MOS	4
2.1. Description	4
2.2. Structure MOS idéal	4
2.3. Diagramme énergétique	5
3. Le transistor MOS	6
3.1. Présentation du transistor MOS	6
3.2. Les différents types de transistor MOS :	7
3.3. Symbole	8
3.4. Principe de fonctionnement	9
3.4.1. Le régime bloqué (Zone d'accumulation)	9
3.4.2. Le régime linéaire	10
3.4.3. Le régime de saturation	11
3.5. Caractéristiques électrique idéales du transistor MOS	12
4. Les transistors MOS pour les RF	13
5. Le transistor LDMOS	14
6. Mesure des transistors en radiofréquences	15
6.1. Les paramètres de réparation	15
6.2. Mesure des paramètres S	15
6.3. Matrice S d'un quadripôle	16
6.4. Présentation d'un analyseur de réseaux	17
7. L'abaque de Smith	19
8. Conclusion	20

Chapitre II

Modélisation du transistor LD-MOS en radiofréquences

1. Introduction	21
2. Considérations pour la modélisation non linéaire	22
3. Types de modélisation	23
3.1. La modélisation physique	23
3.2. La modélisation phénoménologique (ou empirique).....	24
3.3. La modélisation à base de données expérimentales (ou par table)	25
4. Choix de modélisation	26
5. Méthodologie suivie durant ce travail	26
6. Conclusion	27

Chapitre III

Caractérisation électrique du transistor LD-MOSFET

1. Introduction.....	28
2. Schéma équivalent électrique utilisé	28
2.1. Eléments intrinsèques	29
2.2. Eléments extrinsèques	31
3. Extraction des éléments du modèle	32
3.1. Extraction des éléments extrinsèques	34
3.2. Extraction des éléments intrinsèques	40
4. Conclusion.....	44

Chapitre IV

Résultats et Interprétations

1. Introduction	45
2. Définition d'un simulateur	45
3. Nécessite de la simulation	46
4. Le logiciel ADS	47
5. Caractéristiques statiques du composant utilisé	48
6. Intégration du schéma équivalent dans le simulateur	50
7. Comparaison entre mesure et simulation des paramètres S	51

8. Etude de la linéarité des éléments intrinsèques	58
8.1. Variation des éléments intrinsèques en fonction de la polarisation du drain V_{ds} pour différentes valeurs de la tension V_{gs}	58
8.2. Variation des éléments intrinsèques en fonction de la polarisation de la grille V_{gs} pour différentes valeurs de la tension V_{ds}	61
9. Conclusion	63
 Conclusion Générale	 64

Liste des abréviations et acronymes

ADS	Advanced Design System , simulateur électrique RF de circuit
BiCMOS	Bipolar CMOS
BSIM	Berkeley Short-channel IGFET Model
BJT	Bipolar Junction Transistors
bulk	Substrat de silicium massif
CAO	Conception Assistée par Ordinateur
CMOS	Complementary Metal Oxide Semiconductor
DC	Direct Current
DMOS	Diffused Metal Oxide Semiconductor
DUT	Device Under Test
E-MOSFET	MOSFET à enrichissement
FET	Field Effect Transistor
GaAs	Arséniure de Gallium
GaN	Nitride de Gallium
HEMT	High Electron Mobility Transistor
HF	Haute Fréquence
ITRS	International Technology Roadmap for Semiconductors
LDD	Lightly Doped Drain
LDMOS	Laterally Diffused Metal Oxide Semiconductor
MESFET	Metal Semiconductor Field Effect Transistor
MIT	Massachusetts Institute of Technology
MOS	Metal Oxide Semiconductor

MOSFET	Metal Oxide Semi-conductor Field Effect Transistor
NMOS	Transistor MOS ayant un canal de type N (substrat de type P)
OCXO	Oven Controlled Temperature Crystal Oscillator
P ⁺ Sinker	Implant fortement dopé pour relier la source directement à la masse
PMOS	Transistor MOS ayant un canal de type P (substrat de type N)
RF	Radio Fréquence
SE	Schéma Equivalent
Si	Silicium
SiO ₂	Dioxyde de Silicium
SPICE	Simulation Program with Integrated Circuit Emphasis
TCXO	Temperature Compensated Crystal Oscillator
TMOS	Transistor MOS
VDMOS	Vertical Diffused Metal Oxide Semi-conductor
VNA	Vector Network Analyzer

Symboles

a_1	Puissance d'onde électromagnétique transverse incidente au port 1
a_2	Puissance d'onde électromagnétique transverse incidente au port 2
b_1	Puissance d'onde électromagnétique transverse réfléchie au port 1
b_2	Puissance d'onde électromagnétique transverse réfléchie au port 2
C_{dsp}, C_{gsp}	Capacités du boîtier
C_{gs}, C_{gd}, C_{ds}	Capacités intrinsèque grille/source, grille/drain et drain/source
E_0	L'énergie minimale d'un électron dans le vide
E_c	Niveau énergétique de la bande de conduction (eV)
E_f	Energie de niveau de fermi (eV)
E_{fm}	Niveau de fermi du métal (eV)
E_g	Niveau énergétique de la bande interdite (eV)
E_i	Niveau de fermi intrinsèque
E_v	Niveau énergétique de la bande de valence (eV)
e_{ox}	Epaisseur de l'oxyde
g_d	Conductance de drain S
g_m	Transconductance de sortie S
I_{ds}	Courant entre le drain et la source (A)
I_s	Courant de source (A)
L	Longueur de grille, distance drain-source
L_{dp}, L_{gp}	Inductance du boîtier
L_g, L_d, L_s	Inductance d'accès de grille, de drain et de source

N	Concentration d'électrons (cm^{-3})
P	Concentration de trous (cm^{-3})
q	Charge électronique
$q\phi_m$	Travail de sortie du métal
$q\phi_s$	Travail de sortie du semi-conducteur
$q\chi_s$	L'affinité électronique du semi-conducteur
$q\chi_i$	L'affinité électronique de l'isolant
$q\phi_f$	Position du niveau de fermi intrinsèque par rapport à l'extrinsèque
R_g, R_d, R_s	Résistance d'accès de grille, de drain et de source
S_{ij}	Paramètres S (Scattering) de répartition d'indice i et j d'un multipole
T_{ox}	Epaisseur de l'oxyde de grille (m)
V_{ds}	Potentiel extrinsèque entre le drain et la source (V)
V_{dsat}	Tension drain/source à partir de laquelle a lieu la saturation du courant (V)
V_{gs}	Potentiel extrinsèque entre la grille et la source (V)
V_{th}, V_t	Tension de seuil (V)
W	Largeur transversale de la structure
Z_c	L'impédance caractéristique

Introduction générale

Introduction Générale

Face aux enjeux du marché de la radiotéléphonie mobile, les fabricants de composants semi-conducteurs (transistors bipolaires, transistors à effet de champ) se sont lancés dans la « bataille » permettant de répondre aux exigences des systèmes de communication en termes de puissance, de performances en gain et linéarité, d'encapsulation et de coût de revient. En effet, ces différents dispositifs semi-conducteurs sont nécessaires pour les étages émetteurs et récepteurs dans les divers équipements qui utilisent le spectre hertzien depuis le téléphone portable, jusqu'aux stations de bases et aux satellites [1].

Les filières sur Arséniure de Gallium (**GaAs**) sont actuellement les plus performantes du fait des propriétés physiques intrinsèques (mobilité des électrons 5 fois supérieure au silicium) et permettent d'obtenir de meilleures caractéristiques aux fréquences élevées. Cependant les technologies silicium (transistor à effet de champ métal oxyde semi-conducteur **MOSFET** et bipolaire) sont très matures et offrent des composants avec des performances très honorables à des coûts relativement plus faibles, ce qui reste un atout majeur dans le contexte actuel où le marché du téléphone cellulaire est très sensible au prix de revient des composants [1].

Par rapport à ces exigences de performances et de coût, une nouvelle génération de composant semi-conducteur est apparue sur la scène de l'amplification de puissance : le **LDMOS** (Lateral Double Diffused Metal-Oxide Semiconductor) dédié à la radiotéléphonie mobile et utilisé dans les étages de sortie des amplificateurs des stations de base [1,2]

La problématique de ce projet s'est exprimée à travers le besoin de modèles **RF** pour les technologies **MOS**. Nous nous sommes penchés sur l'utilité d'un modèle empirique pour la caractérisation d'un transistor **LDMOS** vu que les modèles compacts présentent une grande complexité et un temps élevé pour l'extraction de leurs paramètres. Le choix a été d'utiliser un modèle petit signal à

base de schéma équivalent rapide à extraire et facile à introduire dans un environnement de **CAO**.

Dans le premier chapitre, nous allons s'introduire aux transistors **MOS**, commençant par la description de sa structure puis ces différents types ainsi que ces différents régimes de fonctionnement et enfin l'intérêt de leurs utilisation dans le domaine des radiofréquences tout en déterminant le type des transistors **MOS** le plus utilisés dans ce domaine et qui est le **LDMOS**.

Concernant le chapitre deux, après la définition de la modélisation, nous présenterons ces différents types ainsi que leurs avantages et leurs inconvénients. Nous allons choisir le type qui convient le plus à notre travail ; la modélisation empirique. Enfin, nous citerons les étapes suivies durant notre travail.

Dans le troisième chapitre, nous déterminerons notre schéma équivalent puis nous passerons à l'extraction des éléments extrinsèques et intrinsèques en utilisant la méthode d'extraction développée par **G. Dambrine** et à partir des mesures faites par **M. Tamoum**.

Dans la dernière partie de notre travail, nous allons simuler notre transistor en utilisant le logiciel **ADS**. Tout d'abord nous alimenterons le schéma équivalent avec les éléments extraits de la mesure, puis nous ferons la comparaison entre les paramètres **S** mesurés et ceux simulés pour valider nos résultats. Nous présenterons, ensuite, la variation des éléments intrinsèques en fonction de la polarisation (V_{gs} , V_{ds}).

Finalement, nous aurons une conclusion générale après interprétation et discussions des résultats de notre travail et nous présenterons les perspectives qui s'offrent dans le futur grâce aux modèles des transistors **LD-MOSFET** pour le domaine des radiofréquences.

Chapitre I

Le Transistor MOS et son Utilisation en

Radiofréquences

1. Introduction :

Depuis le premier circuit intégré en technologie **CMOS** fabriqué par **Fairchild** au début des années **1960**, le développement de la technologie **MOS** a permis de produire des circuits de plus en plus rapides [3].

Le transistor **MOSFET** (**M**etal **O**xide **S**emi-conductor **F**ield **E**ffect **T**ransistor) est aujourd'hui le transistor le plus utilisé en microélectronique. Alors qu'il sert principalement pour la conception de circuits numériques, son faible coût et ses performances en font un composant de plus en plus intéressant pour les applications **RF** [4].

Le transistor **MOSFET** se caractérise par le dépôt d'une couche d'oxyde isolante entre la grille et le substrat constituant ainsi une capacité **MOS** chargée d'enrichir ou d'appauvrir le canal de conduction entre la source et le drain induit dans le substrat par une tension de grille positive [5].

Par rapport à ces exigences de performances et de coût, une nouvelle génération des transistors **MOSFET** est apparue sur la scène de l'amplification de puissance : le **LDMOS** (**L**atérale **D**oublet **D**iffused-**M**etal **O**xide **S**emi-conductor). C'est une adaptation des transistors **MOS** basiques pour la puissance en radiofréquence. Sa très large utilisation dans le domaine des amplificateurs de puissance radiofréquence (réseaux télécommunications) font de cette technologie un standard qui est dédié à la radiotéléphonie mobile et utilisé dans les étages de sortie des amplificateurs des stations de base [6]. En plus de leur faible coût de conception, les transistors **LDMOS** possèdent toutes les caractéristiques électriques et thermiques requises pour les modulations complexes. Il semblerait cependant que l'on arrive aux limites de maturité pour des applications télécoms en fréquence plus élevée.

2. Structure MOS :

2.1. Description :

Une structure **MOS** est constituée d'une couche d'oxyde isolant (SiO_2) entre une métallisation (Al ou silicium très fortement dopé) et un substrat silicium que nous supposons dopé P. La coupe d'un tel dispositif est donnée à la **Figure I.1**

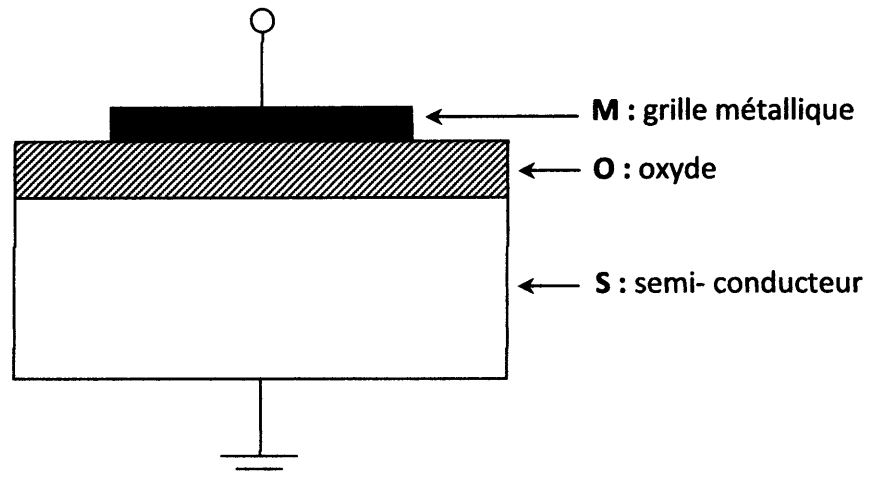


Figure I.1 : Structure MOS

Cette structure influe sur les propriétés électrique du transistor **MOS**, elle est constituée par :

- **Le substrat** : est un semi-conducteur de type **N** ou **P** l'impureté qui impose le type.
- **La couche de l'isolant** : dans ce cas est l'oxyde de silicium (SiO_2). Cette couche mince interdit toute circulation à travers le diélectrique.
- **La grille (Gate)** : elle peut être obtenue par dépôt d'une couche métallique en **Or** ou en **Aluminium**, mais dans la pratique on utilise une couche de silicium fortement dopée (non métallique) telle que le poly-silicium.

2.2. Structure MOS idéal :

Une structure **MOS** idéal est caractérisée par les trois propriétés suivantes :

1. Les travaux de sortie du métal et du semi-conducteur sont identiques.
2. Les seules charges qui existent dans la diode sont celles induites par l'application de la tension V_g sur la grille en métal, elles sont égales et opposées sur le métal et dans le semi-conducteur.

3. Il n'y a pas de transfert de charges à travers l'oxyde en régime de courant continu.

2.3. Diagramme énergétique :

Le diagramme de bande de la structure **MOS** idéal en condition de bandes plates est donné sur la **figure I.2** pour un substrat dopé **P**, Il reprend l'ensemble des notations utilisées pour caractériser l'empilement grille/canal [7].

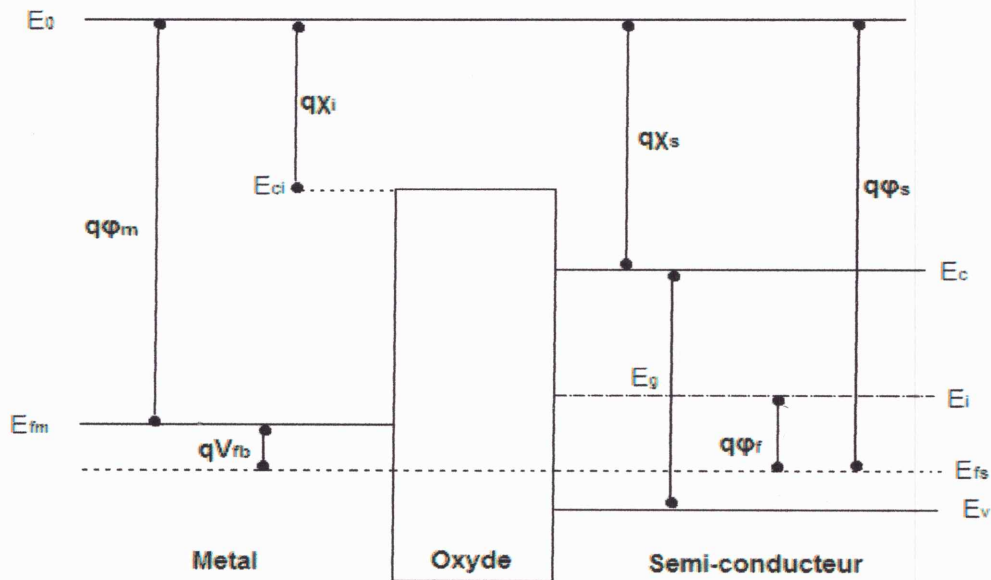


Figure I.2 : Diagramme d'énergie d'une structure **MOS**

On a :

E_c , E_v , E_i : sont respectivement le niveau de conduction, de valence et intrinsèque.

E_0 : Energie minimale d'un électron dans le vide.

Φ_f : Potentiel de la jonction.

$q\Phi_m = E_0 - E_{fm}$: Travail de sortie du métal.

$q\Phi_s = E_0 - E_{fs}$ Travail de sortie du semi-conducteur.

$q\chi_s = E_0 - E_c$: Affinité électronique du semi-conducteur.

$q\chi_i = E_0 - E_{ci}$: Affinité électronique de l'isolant.

$q\Phi_f = E_i - E_{fs}$: Position du niveau de fermi intrinsèque par rapport au niveau de fermi extrinsèque.

$$+ q\phi_s - \left(q\chi_s + \frac{E_g}{2} + q\phi_f \right) = 0 \quad (1.1)$$

Le potentiel ϕ_f définissant le niveau de fermi $E_{fs} = E_i - q\phi_f$ dans le volume du semi-conducteur est donné par l'équation suivante [7].

$$\phi_f = \frac{KT}{q} \ln \left(\frac{N_a}{n_i} \right) \quad (1.2)$$

Où N_a est la densité de dopants accepteurs.

3. Le transistor MOS :

Un transistor **MOS** est constitué par un substrat de silicium de type **N** ou **P** de fort résistivité, dans lequel sont diffusées deux zones de type opposé à ce lui du substrat et fortement dopées [3].

3.1. Présentation du transistor MOS :

La structure de base du transistor **Métal Oxyde Semi-conducteur** à effet de champ (**MOSFET**) est représentée par la **Figure I.3** :

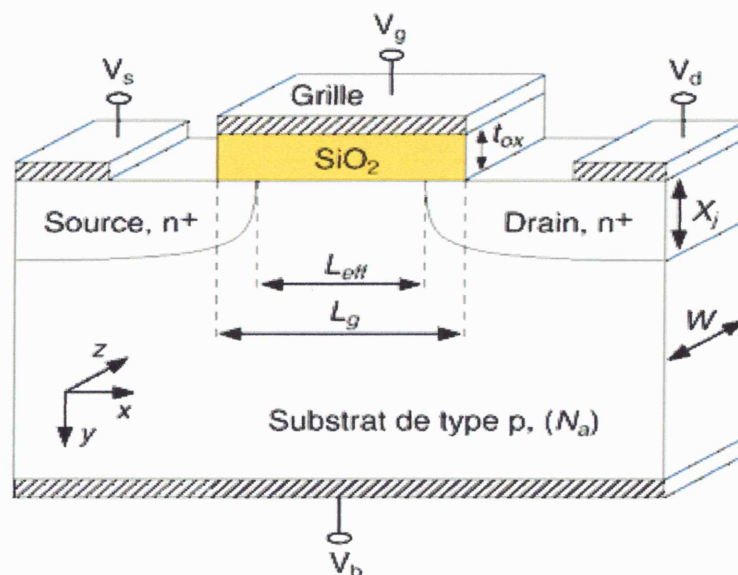


Figure I.3 : Schéma d'un **MOSFET** de type **N**

Elle est réalisée à partir d'un substrat semi-conducteur, généralement de type **P**, dans lequel deux régions implantées **N⁺** définissent les électrodes de source et drain. L'électrode de grille est obtenue à partir d'un oxyde (**SiO₂**)

recouvert par une couche de polysilicium fortement dopée et métallisée. Les principaux paramètres géométriques du composant sont : L_g (longueur de grille, distance drain-source), W (largeur transversale de la structure) et T_{Ox} (épaisseur d'oxyde). Dans les circuits intégrés, le transistor **MOS** est généralement isolé des composants voisins par des tranchées d'isolation [3].

3.2. Les différents types de transistor MOS :

Les deux types fondamentaux du **MOSFET** sont les **MOSFET** à enrichissement **E-MOSFET** (Figure I.4.a) et les **MOSFET** à appauvrissement **D-MOSFET** (Figure I.4.b). Dans chaque type de **MOSFET** on peut distinguer le **MOSFET** canal **N** et le **MOSFET** canal **P**. Le **MOSFET** à enrichissement sont bloqués sans tension de commande sur la grille (**NORMALLY OFF**), ils deviennent passant à partir d'une certaine tension de grille V_{th} . plus $|V_{gs}| > |V_{th}|$, plus le **E-MOSFET** devient passant. Les **MOSFET** à appauvrissement sont passants sans tension de commande sur la grille (**'NORMALLY ON'**), ils deviennent de moins en moins conducteurs au fur et à mesure que la tension de commande augmente pour finalement se bloquer au-delà d'une tension de blocage V_{gsoff} [5].

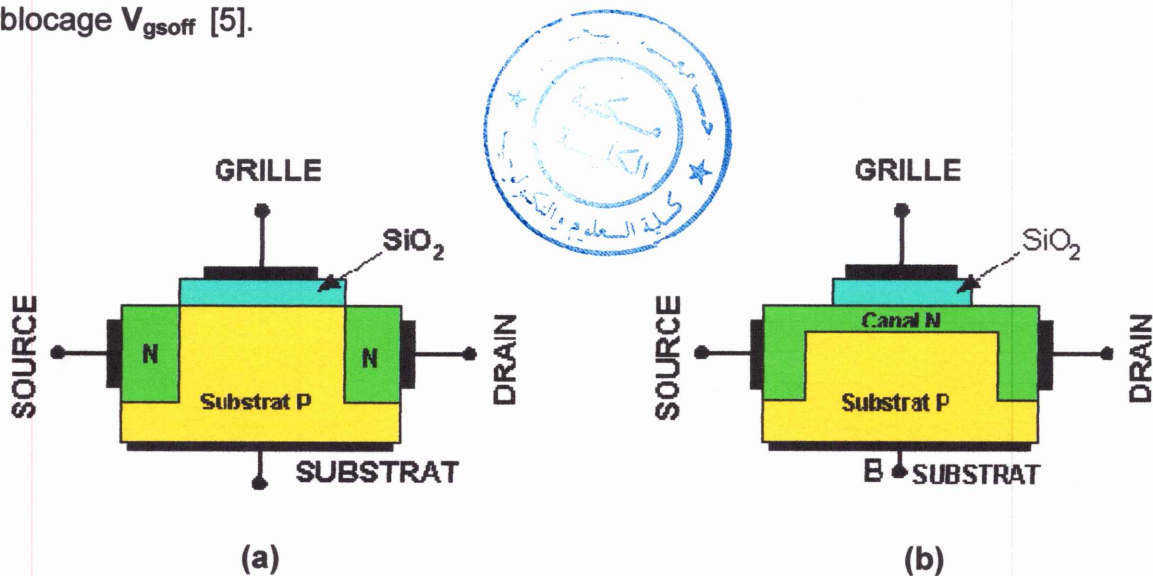


Figure I.4 : Structure du **MOSFET** à canal **N**
(a) à enrichissement, (b) à appauvrissement

	Canal N	Canal P
Enrichissement	Transistor normalement bloqué. <i>Formation d'un canal N</i> Conducteur en réalisant la condition d'inversion à la surface du matériau de type P.	Transistor normalement bloqué. <i>Formation d'un canal P</i> Conducteur en réalisant la condition d'inversion à la surface du matériau de type N.
Appauvrissement	Transistor normalement passant. Suppression du canal N conducteur en réalisant la désertion.	Transistor normalement passant. Suppression du canal P conducteur en réalisant la désertion.

Tableau I.1 : les différents types de MOSFET

3.3. Symbole :

Le courant dans les transistors **MOS** est un courant unipolaire de porteurs minoritaires :

- les électrons dans le cas du transistor **NMOS** (source et drain sont de type N)
- les trous dans le cas du transistor **PMOS** (source et drain sont de type P)

La **Figure I.5** montre le symbole du **TMOS** dans les deux cas :

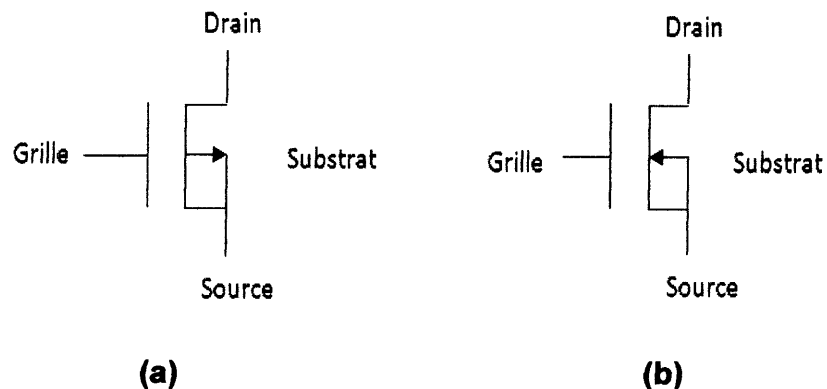


Figure I.5: Symbole du TMOS : (a) : NMOS, (b) : PMOS.

3.4. Principe de fonctionnement :

En l'absence de toute polarisation ($V_{ds} < 0$), l'état électrique de la structure est conditionné par l'état de la capacité **MOS** qui peut être le régime d'accumulation, de déplétion ou d'inversion.

Si $V_{gs} = 0$, aucun courant de drain ne passera, car le circuit source-drain est composé de deux jonctions **PN** : il y en aura toujours une en inverse.

Lorsqu'on applique une tension V_{gs} positive, l'électrode de grille, l'isolant et le substrat **P** forment un condensateur. Les électrons (porteurs minoritaires du substrat **P**) sont alors attirés vers la grille. Pour une tension V_{gs} suffisamment élevée (tension de seuil), la concentration en électrons dans le substrat est supérieure à la concentration en trous au voisinage de la grille ; on a alors une couche **N** dite couche d'inversion entre les zones **N** de la source et du drain. Les deux jonctions disparaissent, on n'a plus qu'un canal **N**, et le courant peut passer entre drain et source.

Mais, pour une tension V_{ds} supérieur à V_{gs} , on a un phénomène de pincement du canal induit **N**. le courant de drain tend alors vers une valeur constante. Ce mode de fonctionnement est appelé : mode à enrichissement ; car une tension V_{gs} positive enrichit le canal en porteurs minoritaires, permettant le passage du courant.

Notre étude va se consacrer uniquement sur le fonctionnement des transistors **MOS** à enrichissement à canal **N**. Lorsque la différence de potentiel entre la grille et le substrat est nulle il ne se passe rien. Au fur et à mesure de l'augmentation de cette différence de potentiel les charges libres dans le semi-conducteur sont repoussées de la jonction semi-conducteur/oxyde, créant différentes zones de fonctionnement [6]: le régime bloqué, le régime linéaire et le régime de saturation.

3.4.1. Le régime bloqué (Zone d'accumulation) :

Il représente l'état du composant en absence de polarisation de grille (V_g). Le transistor **MOS** est alors représenté par deux jonctions **PN** tête-bêche. Le seul courant qui peut alors résulter d'une polarisation drain-source est le courant inverse de l'une ou de l'autre des jonctions. Ce courant en régime bloqué (I_{off}) doit être le plus faible possible afin d'éviter toute consommation superflue lorsque le dispositif est non passant (**Figure I.6**).

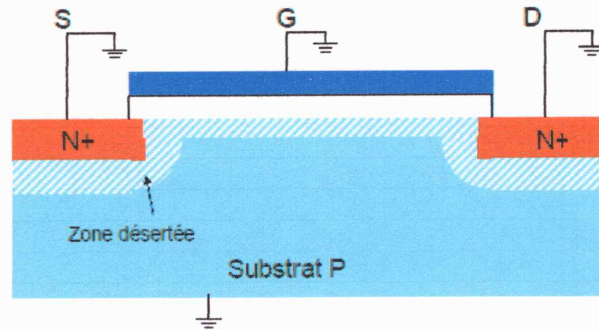


Figure I.6 : Coupe de **MOSFET** représentative de son fonctionnement en absence de polarisation

3.4.2. Le régime linéaire :

L'application d'une tension positive (négative pour le **PMOS**) sur l'électrode de grille supérieure à une certaine tension de seuil V_t produit l'apparition d'une couche d'inversion de type **N** entre la source et le drain. Un canal de type **N** relie la source au drain. Plus la tension de grille V_{gs} est élevée, plus la densité de porteurs dans la couche augmente (**Figure I.7**).

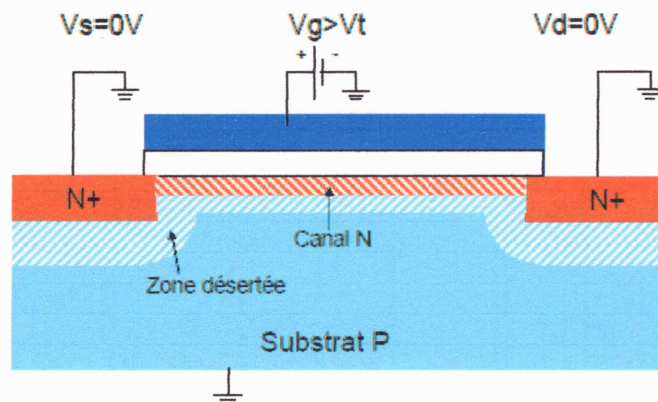


Figure I.7: Activation du canal ($V_{gs} > V_t$)

Une fois le canal formé. Si une tension de drain est appliquée, un courant circule entre le drain et la source. La variation de la tension V_{ds} modifie la couche d'inversion et fait ainsi varier la conductance du canal. Tant que la tension de drain V_{ds} reste faible, le courant reste proportionnel à la tension V_d appliquée. Le composant fonctionne en régime linéaire dans lequel le canal se comporte comme une résistance contrôlée par la tension de grille V_{gs} (**Figure I.8**).

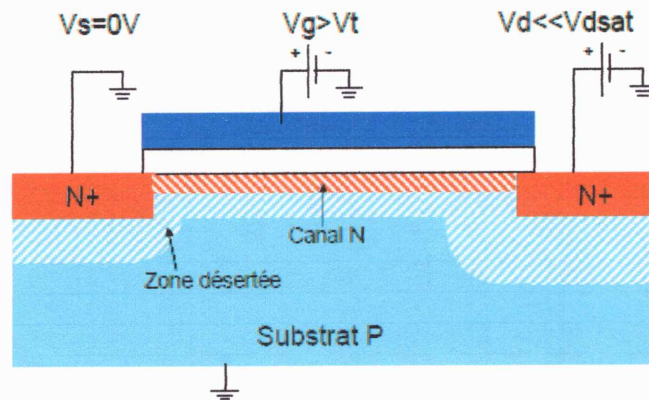


Figure I.8 : Coupe de **MOSFET** représentative de son fonctionnement en régime linéaire (**faible V_{ds}**)

3.4.3. Le régime de saturation :

Plus la tension V_{ds} appliquée est élevée, plus le potentiel côté drain diminue. De ce fait la densité d'électrons et également la conductance diminuent. Le courant de drain n'est alors plus proportionnel à V_{ds} et aboutit au phénomène de saturation du courant. Durant ce régime, le courant est alors indépendant de la tension de drain appliquée. Pour une tension appliquée entre la grille et le drain ($V_{gs}-V_{ds}$) égale à la tension de seuil V_t le canal se pince côté drain et la conductivité du canal s'annule au voisinage du drain. La tension de drain à laquelle le pincement a lieu est appelée tension de saturation V_{dsat} , et le courant correspondant est appelé courant de saturation I_{dsat} (**Figure I.9**).

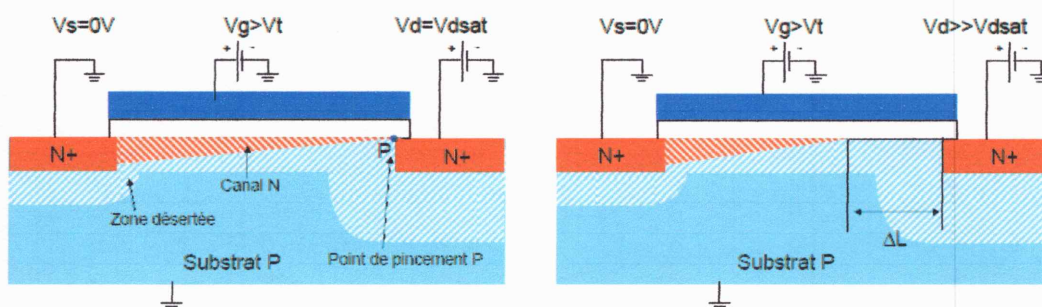


Figure I.9 : Coupes de **MOSFETs** représentatives de son en régime de saturation (gauche) et en régime de sursaturation ou la longueur de canal est réduite de ΔL (droite)

En continuant d'augmenter la tension de drain, la longueur effective du canal diminue progressivement et le point de pincement se rapproche de la source. La région voisine du drain n'est plus en inversion. Dans ces conditions, le courant est transporté par les porteurs libres dans le canal conducteur jusqu'au point de

pincement, ces porteurs sont ensuite propulsés vers l'électrode de drain par le fort champ électrique qui existe dans la région désertée. La tension aux bornes du canal reste constante et égale à V_{dsat} . Si la variation relative $\Delta L/L$ de la longueur du canal est faible, le courant de drain est égal à I_{dsat} et indépendant de V_{ds} [1].

3.5. Caractéristiques électrique idéales du transistor MOS :

Les transistors **MOS** sont caractérisés électriquement en utilisant les graphiques $I_{ds}=f(V_{gs})$ et $I_{ds}=f(V_{ds})$. Ces caractéristiques sont schématisées de manière idéale en **Figure I.10**, ce qui nous permet de relier les différents régimes de la capacité **MOS** définis dans le paragraphe précédent aux modes de fonctionnement du transistor **MOSFET** [7].

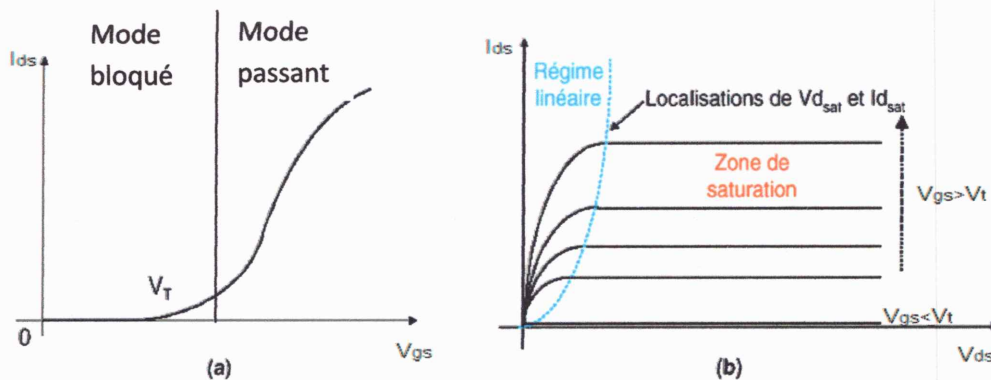


Figure I.10 : (a) Graphique $I_{ds}-V_{gs}$. (b) Graphique $I_{ds}-V_{ds}$. La ligne $V_{dsat}=V_{gs}-V_{th}$ sépare le régime ohmique du régime saturé

4. Les transistors MOS pour les RF :

Les applications radiofréquences (RF), analogiques et signaux mixtes analogique/numérique sont, depuis quelques années, très importantes pour la réussite commerciale des technologies des semi-conducteurs. Ces applications font partie intégrante des communications numériques sans fil (**wifi, Bluetooth, réseaux sans fil, GSM, GPS**) [3]. Les dispositifs sont donc utilisés pour des circuits figurant dans la chaîne de réception ou d'émission de telles applications : amplificateur faible bruit, boucle à verrouillage de phase (dont l'oscillateur commandé en tension est un élément particulièrement délicat), convertisseurs analogique-numérique et numérique-analogique.

Parmi les performances RF d'un dispositif comme le **MOSFET** peuvent être abordées par des grandeurs telles que ses fréquences de transition et maximum

d'oscillation. La réduction de l'épaisseur d'oxyde de grille et de la longueur du canal permet donc directement d'avoir des composants de plus en plus rapides, présentant un intérêt grandissant pour les applications RF dans ce domaine, l'ITRS donne la table sur les performances suivantes (**Tableau I.2**) :

Année	2006	2008	2010	2012	2014	2016	2018	2020
Epaisseur équivalente D'oxyde de grille (nm)	2.1	1.9	1.5	1.4	1.2	1.1	1.0	0.9
Longueur de grille (nm)	65	45	32	25	20	16	13	11
f_t (GHz)	140	220	280	360	440	550	670	790
F_{max} (GHz)	220	310	420	530	650	790	980	1110

Tableau I.2 : Développement des performances RF des MOSFET

Les performances de rapidité du transistor MOS sont moindres que celles des composants réalisés en technologies III-V ou bipolaire, mais il possède par ailleurs de nombreux avantages :

- Il n'a pas besoin d'une polarisation négative et positive comme les **MESFETs** ;
- Ses performances sont généralement suffisantes pour les applications énumérées plus haut, dont la fréquence de fonctionnement est inférieure à 10 GHz ;
- Il présente l'intérêt d'une excellente intégration avec des fonctions numériques ;
- Il revient moins cher à fabriquer ;

Des structures ont été élaborées afin de pouvoir réaliser des transistors MOS de puissance tout en remédiant à l'apparition des phénomènes d'avalanche et de perçage. Deux grandes familles de transistor MOS de puissance sont référencées : Les **MOSFET** de puissance verticaux (**VDMOS**) et les **MOSFET** de puissance latéraux (**LDMOS**). Le transistor **VDMOS** souffre d'instabilité aux fréquences élevées. Le transistor **LDMOS** possède aussi l'avantage, par rapport au transistor à configuration vertical (**VDMOS**) d'avoir intrinsèquement ses trois électrodes coplanaires, ce qui le rend favorable à l'intégration. Il est également compatible avec les technologies **BiCMOS** avancées, ce qui fait de lui un candidat idéal pour assurer la partie puissance dans un circuit intégré [7].

Notre étude sera consacrée sur les **MOSFET** de puissance latéraux (**LDMOS**).

5. Le transistor LDMOS:

Ces structures de puissances sont réalisées par les procédés de double-diffusion et d'auto-alignement sur la grille en poly-silicium. Comme son nom l'indique, la particularité du transistor **LDMOS** par rapport aux structures verticales, provient du chemin latéral qu'emprunte son courant. La géométrie se présente le plus souvent sous forme de bandes parallèles source-drain interdigitées [5].

Les transistors **LDMOS** sont aussi caractérisés par une zone N^- située entre la fin du canal d'inversion et le drain N^+ , zone appelée drift ou extension de drain (**LDD** de : **L**ightly **D**oped **D**rain), ceci a pour but, l'augmentation de la tension de claquage (**Figure I.11**).

La grille est réalisée en polysilicium et sa résistance d'accès est fortement réduite par sa siliciuration. Certains travaux du **MIT** (**M**assachusetts **I**nstitute of **T**echnology), rendent compte de l'utilisation d'une grille partiellement métallique pour abaisser la résistance de grille et améliorer fortement les fréquences des **LDMOS** dans le futur. Cependant, étant donné les contraintes des procédés actuels, il convient de travailler sur une siliciuration de grille la plus complète possible [7].

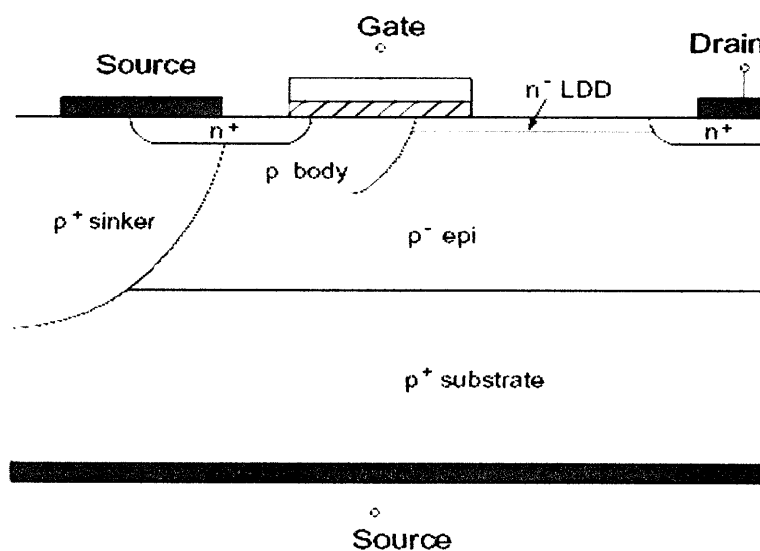


Figure I.11 : Vue en coupe d'un transistor **LDMOS** [8]

La technologie **LDMOS** fournit une solution intégrée pour l'amplification de puissance en radiofréquence. On décrit souvent la complexité d'une technologie en spécifiant son nombre de niveau de métallisation, car de ce nombre dépendent les composants réalisables.

Les deux caractéristiques essentielles de la technologie **LDMOS** qui diffèrent d'une technologie **CMOS** conventionnelle sont :

- Permet de relier directement la source du transistor au **Bulk** (masse) et évite ainsi d'utiliser des contacts, pistes et autres fils de câblage qui induisent des perturbations selfiques, résistives et des parasites.
- Augmenter la tension de claquage ce qui permet de réaliser des transistors de puissance.

Ces deux seules différences autorisent la réalisation de transistor de puissance avec des tensions d'alimentation et de claquage élevées [2].

6. Mesure des transistors en radiofréquences :

6.1. Les paramètres de réparation :

Les paramètres **S** (de l'anglais Scattering parameters), coefficients de diffraction ou de répartition sont utilisés en hyperfréquences, en électricité ou en électronique pour décrire le comportement électrique de réseaux électriques linéaires en fonction des signaux d'entrée.

De nombreuses propriétés électriques peuvent être exprimées en utilisant les paramètres **S**, comme le gain, les pertes en réflexion, le rapport d'ondes stationnaires (**ROS**) ou le coefficient de réflexion.

Bien que le formalisme des paramètres **S** soit applicable pour toutes les fréquences, ils sont utilisés régulièrement dans le domaine des hyperfréquences. Ces paramètres dépendent de la fréquence de mesure et peuvent être mesurés grâce à des analyseurs de réseaux. Ils sont généralement représentés sous forme matricielle et leurs manipulations obéissent aux lois de l'algèbre linéaire.

6.2. Mesure des paramètres S :

On modélise un dispositif hyperfréquence par un ensemble de 'ports'. Chaque port correspond à une ligne de transmission ou l'équivalent d'une ligne de transmission d'un mode propagatif d'un guide d'onde. Le terme de 'port' a été introduit par **H. A. Wheeler** dans les années **1950**. Lorsque plusieurs modes se propagent dans une ligne, on définit alors autant de ports que de modes propagatifs.

Les paramètres **S** relient les ondes incidentes avec les ondes réfléchies par les ports du dispositif. Ainsi, un dispositif hyperfréquence est décrit complètement comme est « vu » au niveau de ses ports. Pour certains composants ou circuits, les paramètres **S** peuvent être calculés en utilisant des techniques analytiques d'analyse des réseaux ou bien mesurés avec analyseur de réseau.

On mesure donc les paramètres **S**, qui sont eux reliés à une notion de puissance. Ce sont en réalité des coefficients de réflexion et de transmission (voir **Figure I.12**) ; on les mesure sur entrée et sortie ramenées à une impédance de référence (habituellement 50Ω).

Une fois déterminés, ces paramètres **S** peuvent être mis sous forme matricielle. Par exemple, pour un dispositif hyperfréquence à **N** ports :

$$\begin{bmatrix} b_1 \\ \vdots \\ b_N \end{bmatrix} = \begin{bmatrix} S_{11} & \cdots & S_{1N} \\ \vdots & \ddots & \vdots \\ S_{N1} & \cdots & S_{NN} \end{bmatrix} \cdot \begin{bmatrix} a_1 \\ \vdots \\ a_N \end{bmatrix} \quad (1.3)$$

Un élément spécifique de la matrice **S** peut être déterminé par :

$$S_{ij} = \frac{b_i}{a_j} \Big|_{a_k = 0} \quad \text{Pour } k \neq j \quad (1.4)$$

6.3. Matrice **S** d'un quadripôle :

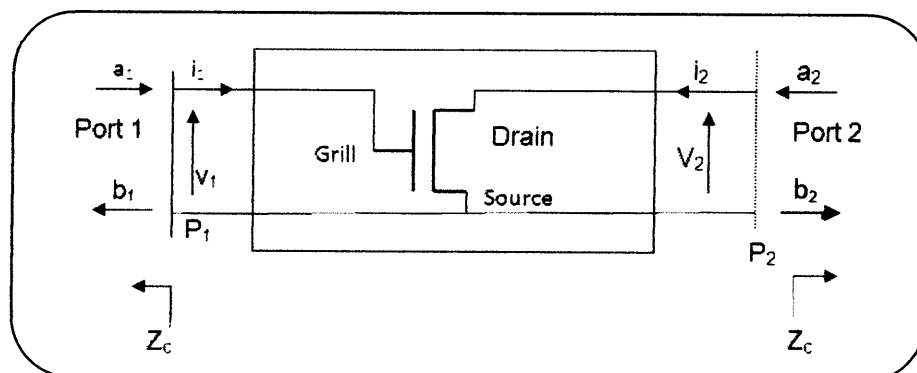


Figure I.12 : Représentation d'un transistor en source commune, sous la forme d'un quadripôle

L'utilisation la plus fréquente des paramètres **S** concerne les quadripôles, comme par exemple des amplificateurs. Dans cette situation, les relations entre les ondes incidentes, réfléchies et transmises sont décrites par la relation :

$$\begin{bmatrix} b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \cdot \begin{bmatrix} a_1 \\ a_2 \end{bmatrix} \quad (1.5)$$

Soit:

$$\begin{cases} b_1 = S_{11}a_1 + S_{12}a_2 \\ b_2 = S_{21}a_1 + S_{22}a_2 \end{cases} \quad (1.6)$$

Les paramètres **S** représentent alors physiquement :

$$S_{11} = \left. \frac{b_1}{a_1} \right|_{a_2=0} \quad (1.7)$$

$$S_{12} = \left. \frac{b_1}{a_2} \right|_{a_1=0} \quad (1.8)$$

$$S_{21} = \left. \frac{b_2}{a_1} \right|_{a_2=0} \quad (1.9)$$

$$S_{22} = \left. \frac{b_2}{a_2} \right|_{a_1=0} \quad (1.10)$$

- **S₁₁** : Coefficient de réflexion à l'entrée lorsque la sortie est adaptée ;
- **S₁₂** : Coefficient de transmission inverse lorsque l'entrée est adaptée ;
- **S₂₁** : Coefficient de transmission direct lorsque la sortie est adaptée ;
- **S₂₂** : Coefficient de réflexion à la sortie lorsque l'entrée est adaptée ;

Les paramètres **S** sont mesurés par un analyseur de réseau vectoriel (ou **VNA** : Vector Network Analyzer), et usuellement représentés dans un **abaque de Smith**, qui est une transformation du plan des impédances complexes en un plan des coefficients de réflexion complexe [3].

6.4. Présentation d'un analyseur de réseaux :

Les mesures de paramètres **S** se font par le biais d'un analyseur de réseau vectoriel. Cet appareil permet d'obtenir des informations portant sur l'amplitude et

la phase en réalisant des mesures micro-ondes en réflexion et en transmission dans une bande de fréquence. Il se présente soit sous forme intégrée soit sous forme de trois appareils séparés permettant de remplir les fonctions suivantes :

- L'excitation du composant à l'aide d'une source hyperfréquence par l'injection d'une onde de puissance au composant.
- L'acquisition des mesures qui permet de prélever les ondes incidentes et réfléchies. Ces ondes sont démodulées à l'aide de mélangeurs afin de pouvoir traiter les informations d'amplitude et de phase dans le calculateur.
- Le traitement des données par acquisition et traitement numériques des signaux démodulés réalisés en temps réel par le calculateur qui pilote la source RF et l'affichage des paramètres **[S]** sous forme de diagramme Smith [3].

L'analyseur de réseaux est l'outil indispensable tant pour la caractérisation des composants de base comme les transistors et les composants passifs que pour la caractérisation de circuits intégrés, ou non, comme les amplificateurs et les mélangeurs utilisés dans le domaine des télécommunications.

Le synoptique simplifié d'un analyseur de réseaux 2 ports est donné à la **Figure I.13**. Il comprend une source RF (Radio Fréquence) synthétisée construite en général autour d'un oscillateur à quartz de grande stabilité (TCXO : Temperature Compensated Crystal Oscillator ou OCXO : Oven Controlled Temperature Crystal Oscillator) et d'une boucle à verrouillage de phase (PLL pour Phase Locked Loop). Dans un analyseur 2 ports, la source peut être dirigée vers le port 1 (ou port 2) pour la mesure des paramètres S_{11} et S_{21} (ou S_{22} et S_{12}). La puissance injectée est ajustée au moyen d'un atténuateur. Il est importants de pouvoir ajuster la puissance lors des tests sur des dispositifs actifs (transistor amplificateur, mélangeur, ...), en effet les paramètres **S** sont des paramètres petits signaux et doivent être mesurés dans le domaine linéaire. La puissance fournie par la source est séparée en deux (power splitter), La tension réfléchiée est mesurée, suivant le domaine de fréquence, au moyen d'un pont (VSWR bridge pour Voltage Standing Wave Ratio) ou d'un coupleur (directionnel coupler) basé sur le principe de deux lignes couplées. Les signaux RF sont translatés autour d'une fréquence intermédiaire (FI) au moyen d'un mélangeur et d'un oscillateur

local. Ils sont ensuite échantillonnés et numérisés et enfin traités numériquement dans un processeur [3].

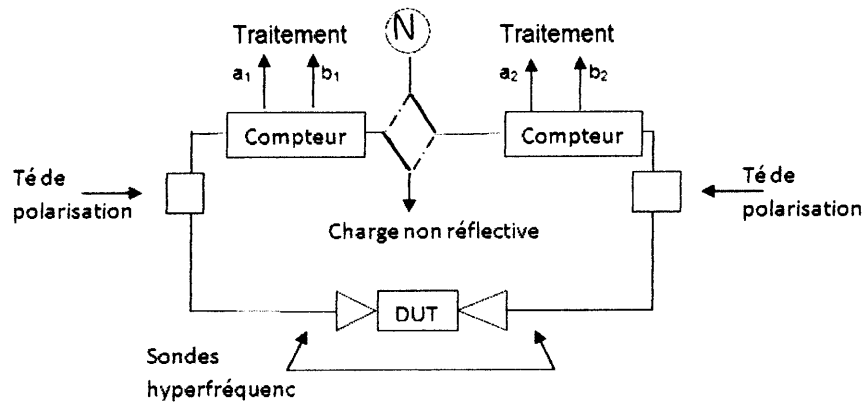


Figure I.13 : Principe de fonctionnement d'un analyseur de réseau Vectoriel

La mesure se fait en deux étapes :

- Le sens direct : l'onde incidente est injectée à l'entrée du **DUT** (Device Under Test), l'onde réfléchiée à l'entrée et l'onde transmise à la sortie sont mesurées (S_{11} et S_{21}).
- Le sens inverse : l'onde incidente est injectée à la sortie du **DUT**, l'onde réfléchiée à la sortie et l'onde transmise à l'entrée sont mesurées (S_{22} et S_{12}). La **Figure I.14** illustre le principe de mesure des paramètres **S**.

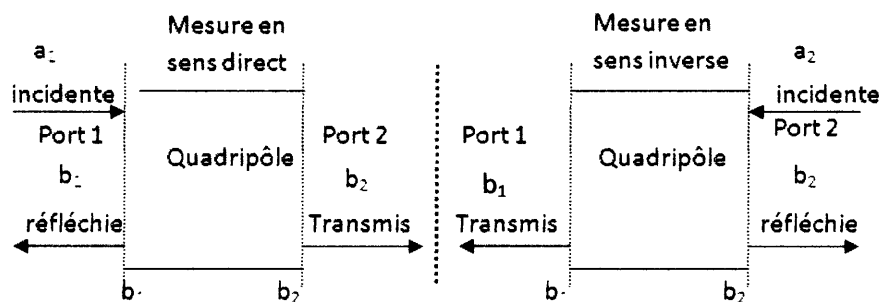


Figure I.14 : Principe de mesure des paramètres **S**

7. L'abaque de Smith :

L'abaque de Smith est l'outil graphique le plus utilisé dans le domaine des hautes fréquences. Des appareils de mesure comme les analyseurs de réseau donnent une représentation de leurs acquisitions dans ce type d'abaque (au choix

avec un plan de Bode) ; les constructeurs de composants **HF** et micro-ondes présentent également souvent les caractéristiques de leurs produits par le même moyen. Il s'agit donc d'un outil dont la maîtrise est indispensable pour l'étude de circuit hautes et hyperfréquences.

D'autre part, l'abaque de Smith donne une représentation graphique simple de phénomènes décrits par des équations mathématiques complexes ; elle permet une meilleure compréhension du comportement d'une ligne. Son application dépasse l'étude des phénomènes de propagation et permet en particulier de résoudre les problèmes d'adaptation d'impédance en général et ce qui en découle (gain, stabilité, bande passante et stabilité d'un amplificateur **HF**). L'abaque de Smith n'est rien d'autre qu'une représentation du plan complexe avec une graduation permettant de lire la valeur d'impédance associé à un coefficient de réflexion.

8. Conclusion :

Ce chapitre est consacré à l'étude du transistor **MOSFET**, nous avons parlé de sa structure, son fonctionnement ainsi que ses différents types.

Dans notre travail, nous avons choisi le transistor **LDMOS** parce qu'il offre beaucoup d'avantages dans le domaine des radiofréquences.

Finalement, nous avons donné quelques notions sur les paramètres **S**, leurs mesures ainsi que l'abaque de Smith qui sont indispensables dans n'importe quelle étude aux radiofréquences.

Chapitre II

**Modélisation du transistor LD-MOS en
radiofréquences**

1. Introduction :

La modélisation des dispositifs d'un circuit intégré s'inscrit parmi les méthodologies permettant de réduire le temps de cycle et le coût d'un circuit. En effet, une des particularités des circuits intégrés est qu'une fois fabriqués ils ne peuvent être modifiés. Ainsi, lors de la conception du circuit, le comportement électrique de celui-ci doit être simulé pour vérifier qu'il fonctionne correctement. Pour être pertinente, cette simulation doit bien entendu être la plus proche possible de la réalité. Le but de la modélisation est donc d'élaborer, pour chaque dispositif, un équivalent Mathématique, le modèle, qui permet d'en reproduire et d'en prédire le comportement électrique.

En pratique, on dispose du modèle, qui est un jeu d'équations basées sur la physique, et de mesures de structures de test, c'est-à-dire de composants isolés. Ces mesures permettent d'extraire les paramètres caractéristiques de la technologie. Les principales difficultés résident dans le fait que développer un modèle représente un très long travail de recherche ; par ailleurs, la réduction des dimensions des dispositifs impose la prise en compte d'effets de petite géométrie de plus en plus nombreux, ce qui complique à la fois les modèles en eux-mêmes et la méthodologie d'extraction des paramètres [9].

La modélisation des transistors **MOS** pour la conception et la simulation de circuits est un défi constant en raison de révolution incessante de la technologie **CMOS**. La modélisation avec maintien de sens physique est un défi encore plus grand pour le monde de la conception et la simulation des circuits analogiques.

Les modèles électriques reposant sur le schéma équivalent, doivent traduire de façon la plus simple et la plus exacte possible, les évolutions des divers éléments intrinsèques qui composent le schéma équivalent du composant. Une méthode permettant d'extraire les éléments intrinsèques du schéma équivalent à partir des mesures de paramètres **S** d'un transistor en boîtier a été développée. Le modèle électrique ainsi conçu est destiné à être implanté dans un logiciel commercial **ADS (Advanced Design System)**.

2. Considérations pour la modélisation non linéaire :

La modélisation d'un composant doit répondre à un ensemble d'exigences qui, elles, sont définies par le domaine d'application et les demandes du concepteur en termes de résultats de simulation.

Pour illustrer ceci, nous allons prendre un exemple très simple qui est le cas d'une impédance. Si le concepteur s'intéresse uniquement au rapport du courant avec la tension appliquée sur cet élément, la loi d'Ohm $i=v/z$ suffit pour le décrire. Cependant, si l'on est intéressé aussi par l'influence de l'effet Joule et de la température sur le courant, il est nécessaire d'inclure ce phénomène et de rendre le modèle plus complexe. Il en va de même pour le bruit thermique, etc.

De manière générale, un modèle idéal de transistors **MOS** adapté pour la conception de circuits intégrés numériques, analogiques ou mixtes, doit satisfaire les points suivants :

1. Le modèle doit donner une bonne précision sur les caractéristiques de courant **I-V** dans une large gamme de polarisation.
2. Il doit prédire, de façon rigoureuse, les caractéristiques dynamiques en régime petit et grand signal, même pour des fréquences de fonctionnement proches de la fréquence de transition du composant.
3. Il doit donner une bonne prédiction du bruit blanc et du bruit basse fréquence.
4. Les recommandations 1 à 3 doivent être vérifiées sur tous les régimes de polarisation et pour diverses valeurs de potentiel de substrat V_b .
5. Toutes les exigences précédentes doivent être satisfaites pour une large gamme de températures.
6. Le modèle doit être valable pour une large gamme de largeur W et de longueur L_g de la grille (paramétrable en W , L_g).
7. Il doit avoir le strict minimum possible de paramètres. Ceux-ci doivent être reliés directement à la structure du composant et au procédé de fabrication technologique.
8. Le modèle doit être facile à intégrer (implémenter) dans un simulateur. Pour le calcul numérique, il doit être robuste et continu entre les régimes de fonctionnement.

9. La méthode d'extraction des paramètres du modèle doit être la plus simple possible. Le nombre de composants-test ainsi que le nombre de mesures requis pour l'extraction des paramètres doit être le plus petit possible.

Tous les points énoncés précédemment représentent évidemment le cas d'un modèle idéal. Il n'existe pas de modèle pouvant satisfaire la totalité de ces exigences. Cependant, l'approche et le type de modélisation font apparaître divers avantages et désavantages. Ainsi, le choix d'un modèle ou d'une approche de modélisation doit s'effectuer en fonction des besoins comme des moyens offerts [10].

Par la suite, nous allons présenter trois types de modélisation concernant les **MOSFET**, avec leurs avantages et leurs inconvénients. Ainsi, en combinant les moyens offerts et les exigences requises dans le cadre de ces travaux, nous allons exposer le choix de modélisation effectué.

3. Types de modélisation :

On peut généralement distinguer trois types de modélisation:

3.1. La modélisation physique:

Elle est basée sur la physique des composants semi-conducteurs. Tous les paramètres ont une signification physique directement liée à la géométrie du composant (W , L_g), au procédé technologique et à la physique du composant (dopages, potentiels de bandes plates...).

Par définition, un modèle physique répond à une majorité d'exigences présentées ci dessus. Ainsi, il est adapté à la simulation statistique en rapport avec les paramètres technologiques, il peut prévoir le comportement du transistor à diverses températures et peut tenir compte de nombreux effets, de manière analytique.

Cependant, le temps de développement d'un modèle physique peut durer plusieurs années et ne jamais prendre fin, car, à chaque nouvelle génération technologique, de nouveaux effets physiques apparaissent et doivent être pris en compte. D'autre part, afin d'assurer une bonne robustesse numérique, les équations doivent être les plus simples possibles et doivent assurer une continuité

entre les différents régimes de fonctionnement. Ceci entraîne automatiquement une limitation dans les expressions du modèle physique. Finalement, d'un point de vue pratique, les désavantages les plus importants sont le nombre de paramètres et les méthodes d'extraction des modèles physiques.

Aujourd'hui les modèles physiques les plus répandus pour les transistors MOS sont le **BSIM** développé à l'université de Berkeley et le **MOSMODEL** de Philips. Prenons en exemple la version du **BSIM3v3**. Il comprend à peu près 400 paramètres afin d'assurer tous les régimes de fonctionnement et un grand nombre d'effets physiques. Une grande partie des effets sont décrits par des équations semi-empiriques qui, finalement, ne sont plus vraiment reliées à la physique du composant. D'autre part, le nombre de transistors test exigés pour l'extraction des paramètres est très élevé. Ceci oblige les ingénieurs de modélisation à incorporer un nombre non négligeable de structures de mesures sur les masques technologiques. De ce fait, le nombre de mesures requises afin d'extraire les paramètres est très élevé. Enfin, l'extraction exige de la part de l'ingénieur de modélisation une formation technique très spécifique sur le modèle précis.

Aujourd'hui, le temps d'extraction d'un modèle de type **BSIM** est tellement élevé qu'il ne se prête pas à la modélisation de technologies en court de développement [11.12].

3.2. La modélisation phénoménologique (ou empirique) : [11]

La modélisation phénoménologique est une approche purement empirique, c'est-à-dire qu'elle se base uniquement sur la représentation des effets observables et mesurables, indépendamment de leur nature. Ainsi, un élément quelconque du composant (par exemple un courant) va être représenté par une équation purement mathématique. Les paramètres d'un modèle empirique n'ont pas de signification physique et servent uniquement à ajuster l'équation sur la grandeur mesurée.

Un modèle empirique peut n'en satisfaire qu'un nombre restreint. Il ne peut être utilisé pour faire une étude statistique sur les composants en fonction des paramètres de fabrication technologiques. Les lois d'échelle sur la géométrie des composants (surtout sur L_g) ne sont pas valables, car le modèle ne tient pas en compte l'évolution de chaque élément physique en fonction des dimensions du

composant. D'autre part, les effets de température sur les éléments modélisés empiriquement sont très difficiles à incorporer. Finalement, l'extraction requiert obligatoirement une procédure d'optimisation, chose qui peut mener à différents ensembles de valeurs de paramètres pour un même composant.

Toutefois, les avantages de la modélisation phénoménologique ne doivent pas être négligés. L'élaboration d'un tel modèle peut s'avérer très rapide ; des équations simples peuvent très bien décrire le comportement électrique du transistor, sur tous les régimes de polarisation et sur la gamme de fréquence de fonctionnement envisagés. Même certaines lois d'échelle peuvent être incluses dans les équations. Une fois le modèle élaboré, l'extraction des paramètres est rapide et les mesures requises sont simples et peu nombreuses.

Par ailleurs, à cause de la nature de la modélisation empirique, le modèle est facilement incorporable dans un simulateur de circuits quelconque. Grâce à la simplicité de tels modèles, le temps de calcul numérique, de la part du simulateur, peut être considérablement réduit.

3.3. La modélisation à base de données expérimentales (ou par table) :

La modélisation à base de données expérimentales est très similaire à la modélisation phénoménologique. La différence majeure est que les éléments non linéaires ne sont pas décrits par des fonctions mathématiques, mais par des matrices de données de mesures paramétrée suivant plusieurs entrées (V_{gs} , V_{ds} , température ...). Les points de mesures sont reliés entre eux par des fonctions d'interpolation. Ceci entraîne certains avantages et inconvénients.

Le modèle est valable uniquement dans la plage des mesures effectuées, car, au-delà, les fonctions d'interpolation ne peuvent nullement assurer le comportement du composant. Il en découle que, pour des polarisations proches à la limite des mesures, ces modèles présentent d'énormes problèmes de discontinuité. Ceci est un inconvénient majeur, car il peut entraîner la divergence lors d'un calcul. D'autre part, peu de lois d'échelle peuvent être prises en compte et chaque composant doit être individuellement mesuré [7].

On peut désigner le modèle par table comme le plus simple et le plus rapide à mettre au point puisqu'il ne nécessite pas d'étapes d'optimisations parfois coûteuses en temps.

Les avantages sont similaires à ceux des modèles phénoménologiques, avec, de plus, une rapidité d'extraction plus élevée.

4. Choix de modélisation :

Afin de modéliser les transistors **MOS** en hyperfréquence, nous avons d'abord considéré les besoins et le but de l'étude.

Nous avons constaté que la modélisation physique ne pouvait pas répondre à notre besoin, à cause de la complexité et du temps d'extraction du modèle, ainsi que les modèles à base de données expérimentales qui présentent d'énormes problèmes de discontinuité pour des polarisations qui ne sont pas proches à la limite des mesures.

Nous avons donc fait le choix de la modélisation phénoménologique qui rendait le travail beaucoup plus flexible et rapide.

5. Méthodologie suivie durant ce travail :

La chronologie à suivre pour l'extraction des éléments du modèle est présenté par l'organigramme suivant:

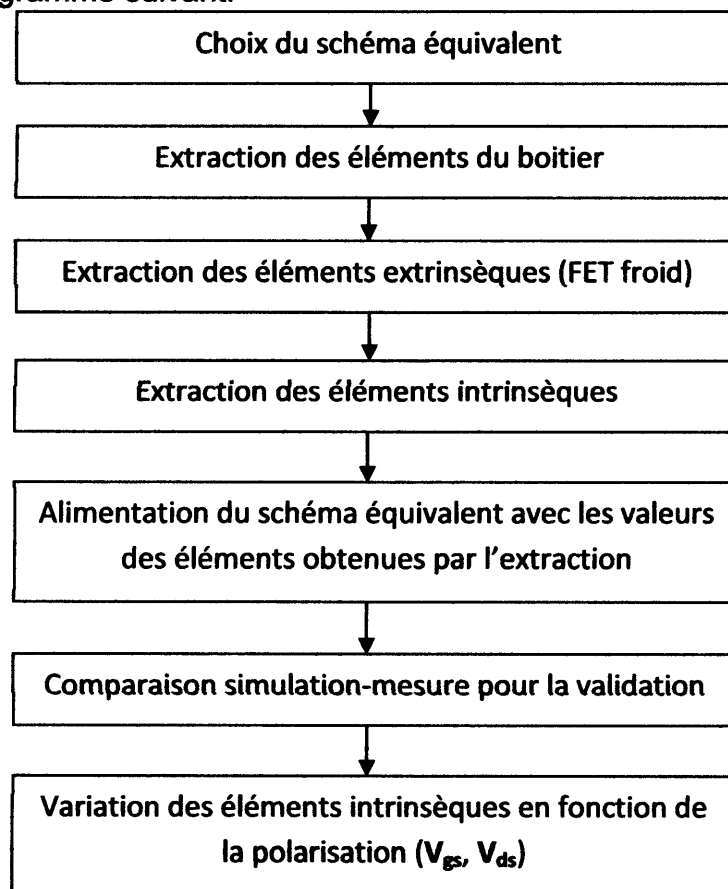


Figure II.1: Plan de travail du projet

6. Conclusion :

Dans ce chapitre nous avons abordé les principes de la modélisation des transistors **MOS** dans le domaine des radiofréquences

Dans un premier temps, nous avons cité les exigences de la modélisation, puis les trois types de modélisation les plus utilisées.

Par une brève étude des différents types de modélisation et tenant compte de la simplicité et la rapidité d'extraction des paramètres, nous avons choisi la modélisation phénoménologique.

Enfin, nous avons présenté la méthodologie suivie durant notre travail.



Chapitre III

Caractérisation électrique du transistor

LD-MOSFET

1. Introduction :

Pour une modélisation précise du transistor **LDMOS**, il faut faire l'étude et la caractérisation électrique du comportement **RF** de ce dernier.

Les caractéristiques **RF** du transistor **MOS** sont directement liées aux éléments parasites qui accompagnent son fonctionnement. Il est nécessaire d'étudier le comportement du modèle petit signal du transistor et d'extraire ces paramètres [9].

L'objectif de la caractérisation des transistors est de connaître les propriétés de ces composants dans les conditions de fréquence et de polarisation qui définissent leur domaine d'utilisation.

Le but de ce chapitre est la détermination des valeurs de tous les éléments du schéma électrique équivalent d'un transistor **LDMOSFET**, qui sont des composants très utilisés pour les amplificateurs de puissance des stations de base et des relais pour les systèmes de communications sans fil.

2. Schéma équivalent électrique utilisé :

Un schéma équivalent électrique petit signal représente le fonctionnement dynamique d'un composant autour d'un point de polarisation.

L'approche quasi-statique est considérée comme la base de la plupart des modèles **RF** du transistor **MOS**. Cette approche définit les charges dans le canal comme une fonction instantanée des tensions de polarisations, c'est-à-dire que leur variation se passe en même temps et à la même vitesse [9].

Nous nous sommes basés sur un schéma équivalent petit signal, largement utilisé. Il est défini selon une approche non-quasi statique pour une topologie à source commune et un potentiel de body nul (connecté à la source). Les différents éléments électriques constituant le schéma équivalent représentent les diverses parties du transistor et leurs mécanismes physiques.

D'après sa structure et son fonctionnement physique, le transistor est divisé en trois parties : sa partie intrinsèque et sa partie extrinsèque et comme dans notre cas le transistor est discret (monté en boîtier) on a donc la partie correspond

aux éléments du boîtier. La partie intrinsèque correspond à la partie active du transistor, c'est-à-dire au canal. La partie extrinsèque correspond aux zones reliant la partie active du composant avec les métallisations de contact. De même, le schéma équivalent est constitué par ses éléments extrinsèques, ses éléments intrinsèques et ses éléments du boîtier [7].

Le schéma équivalent du transistor FET, représenté à la **Figure III.1**, comprend une partie intrinsèque et une partie extrinsèque ainsi que la partie boîtier. Que ce soit pour l'une ou l'autre partie, le schéma équivalent repose sur l'hypothèse que ses éléments sont indépendants de la fréquence jusqu'à la fréquence de coupure du transistor [13, 14]. En d'autres termes, le schéma équivalent utilisé est suffisant pour décrire le comportement du transistor tant que ses éléments sont constants en fonction de la fréquence. Cette hypothèse est primordiale pour l'extraction des éléments du schéma équivalent à partir des mesures [13, 15-17].

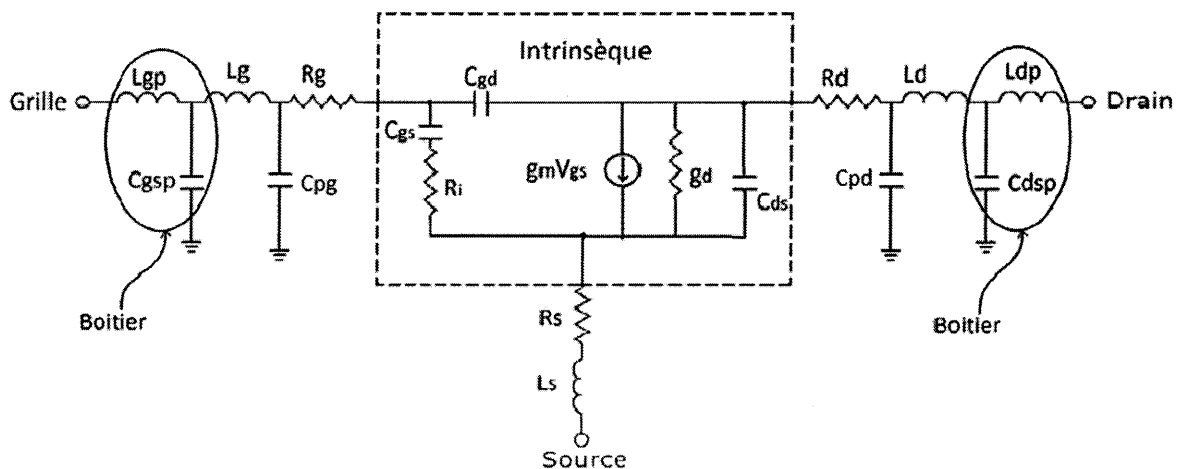


Figure III.1 : Schéma équivalent du transistor LDMOS

2.1. Éléments intrinsèques :

La **Figure III.2** montre le schéma équivalent de la partie intrinsèque. Chaque élément du schéma équivalent intrinsèque reflète un mécanisme physique ou une propriété électrique du transistor. Ces éléments sont des fonctions de la polarisation et de la longueur de grille. L'extraction de la partie intrinsèque du transistor se fait ensuite lorsque celui-ci est polarisé [7].

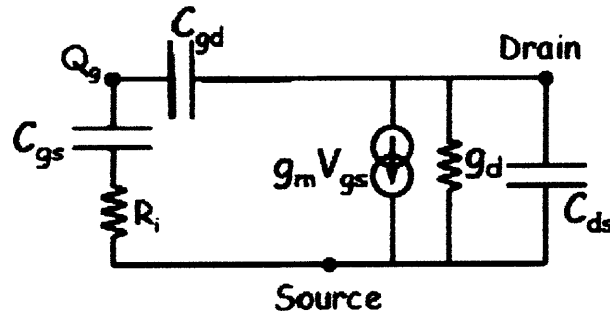


Figure III.2 : Schéma équivalent intrinsèque du transistor **MOS**

L'effet transistor est modélisé par une source de courant donnée par $g_m \cdot V_{gs}$, g_m étant la transconductance et traduisant la commande du canal par la tension V_{gs} . V_{gs} est le signal appliqué aux bornes de la capacité C_{gs} . La transconductance est définie par [18]:

$$g_m = \left. \frac{\partial I_{ds}(V_{gs}, V_{ds})}{\partial V_{gs}} \right|_{V_{ds}=cte} \quad (III.1)$$

L'élément g_d représente la conductance de drain du transistor qui est définie par [18]:

$$g_d = \left. \frac{\partial I_{ds}(V_{gs}, V_{ds})}{\partial V_{ds}} \right|_{V_{gs}=cte} \quad (III.2)$$

Dans les équations (III.1) et (III. 2), I_{ds} est le courant circulant entre le drain et la source du transistor et dépend des potentiels V_{gs} et V_{ds} .

C_{ds} correspond aux capacités en série des jonctions de source et de drain. Les éléments C_{gs} et C_{gd} représentent respectivement la capacité entre la grille et la source et la capacité entre la grille et le drain. Elles sont définies par la relation suivante :

$$C_{ds} = \left. \frac{\partial Q_d(V_{gs}, V_{ds})}{\partial V_{ds}} \right|_{V_{gs}=cte} \quad (III.3)$$

↕ Q_d est la charge accumulée sous l'électrode de drain.

Les capacités C_{gs} et C_{gd} sont les charges qui fluctuent en fonction du champ électrique émanant de la grille vers les métallisations, les régions N^+ de drain et de source. L'estimation de ces capacités dans un dispositif **MOSFET** est très importante, et cela particulièrement pour la simulation des circuits **RF** (Radio Fréquence) [7].

Ces capacités représentent la commande de la charge stockée sous l'effet des tensions V_{gs} et V_{gd} . Les équations décrivant leur évolution reposent sur le

principe de la conservation de la charge. Ce principe assure la convergence des simulations en grand signal et correspond à une réalité physique.

$$C_{gs} = \left. \frac{\partial Q_g(V_{gs}, V_{gd})}{\partial V_{gs}} \right|_{V_{gd}=cte} \quad (III.4)$$

$$C_{gd} = \left. \frac{\partial Q_g(V_{gs}, V_{gd})}{\partial V_{gd}} \right|_{V_{gs}=cte} \quad (III.5)$$

Q_g est la charge totale stockée dans la grille et dépend aussi des potentiels V_{gs} et V_{ds} . Dans les équations (III. 4) et (III.5), C_{gs} et C_{gd} sont définies par rapport aux potentiels V_{gs} et V_{gd} . Néanmoins, dans la topologie source commune, les potentiels de contrôle usuels sont V_{gs} et V_{ds} . A partir de la relation entre les trois potentiels ($V_{gd}=V_{gs}-V_{ds}$), C_{gs} et C_{gd} peuvent être exprimées sous la forme :

$$C_{gs} = \left. \frac{\partial Q_g(V_{gs}, V_{ds})}{\partial V_{gs}} \right|_{V_{ds}=cte} + \left. \frac{\partial Q_g(V_{gs}, V_{ds})}{\partial V_{ds}} \right|_{V_{gs}=cte} \quad (III.6)$$

$$C_{gd} = \left. \frac{\partial Q_g(V_{gs}, V_{ds})}{\partial V_{ds}} \right|_{V_{gs}=cte} \quad (III.7)$$

L'élément R_i est lié aux effets non-quasi statiques. Le caractère distribué de la capacité de grille et de la résistance du canal conduit à considérer la partie du canal sous la grille comme une ligne de transmission « R-C » non uniforme. L'impédance d'entrée de cette ligne est équivalente à la capacité grille-source en série avec une résistance R_i . La détermination de cette résistance demeure difficile, particulièrement dans la région ohmique et en régime très pincé. Elle est souvent dépendante des tensions de commande du composant. Cette résistance permet de mieux modéliser l'impédance d'entrée du transistor. Cependant, elle montre sa limite lors de la montée en fréquence du composant [19].

2.2. Eléments extrinsèques :

Les éléments extrinsèques du schéma équivalent sont illustrés sur la Figure III.3. Ils sont supposés indépendants des polarisations et du régime de fonctionnement du composant.

Les résistances R_s et R_d modélisent la résistivité des caissons fortement dopés, respectivement, de source et de drain [8].

La résistance R_g est due principalement à la résistance de siliciuration de grille ainsi qu'aux pertes métalliques. Ces résistances sont distribuées sur toute la largeur de la grille.

Il est important de noter que R_d et R_s sont inversement proportionnels à la largeur du transistor, alors que R_g est proportionnelle à la largeur totale.

Les deux inductances L_g et L_d appelées aussi selfs parasites de connexion, modélisent les fils de connexion aux électrodes du composant. Le comportement inductif des fils de contact « bonding », peut être pris en compte par ces éléments.

Les inductances L_s modélise essentiellement les effets inductifs dus aux trous de contact afin de joindre le plan de masse de la puce « via-hole » [19].

Les capacités C_{pg} et C_{pd} sont des capacités électrostatiques parasites des plots de métallisation de grille et de drain par rapport au substrat [7].

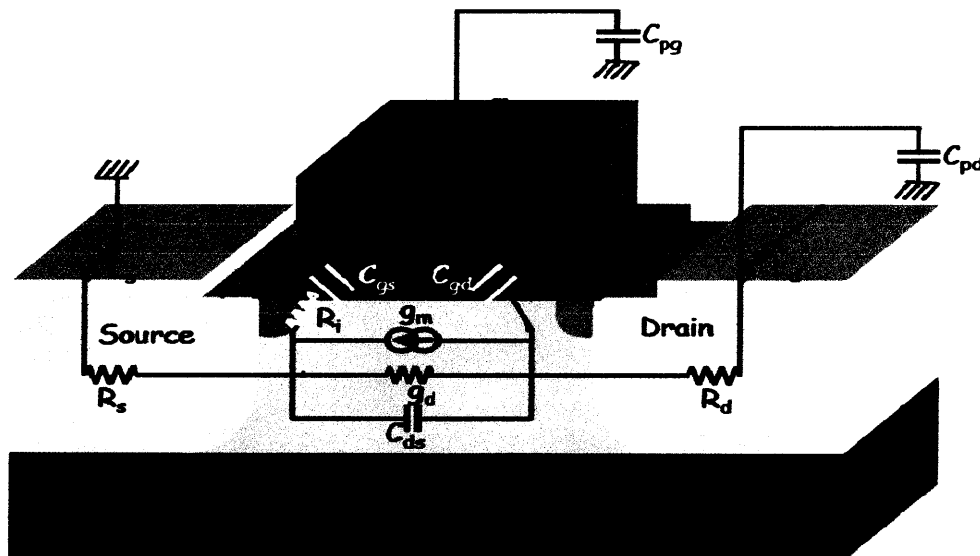


Figure III.3 : Signification physique des éléments intrinsèques et extrinsèques du schéma équivalent

3. Extraction des éléments du modèle :

La précision des modèles des transistors est cruciale pour simuler correctement les performances des circuits. En RF, il faut non seulement prédire avec exactitude le comportement intrinsèque dans le canal où l'effet transistor se produit, mais il faut aussi prédire l'influence des éléments parasites d'accès. Ces derniers, qui constituent la partie extrinsèque et les éléments du boîtier du

transistor, prennent une importance telle qu'ils ne peuvent plus être négligés pour des applications RF [16].

Dans le but d'étudier ces éléments parasites, le **MOSFET** est divisé en trois parties:

La première partie est la partie dite intrinsèque. Elle joue le rôle utile et actif du transistor; elle est décrite par la physique du **MOSFET**.

La deuxième partie est une partie extrinsèque, elle est donc composée d'éléments passifs tels que des résistances ou des capacités. Les performances **RF** du **MOSFET** ne peuvent par conséquent qu'être dégradées par ces éléments. Par exemple, les capacités parasites sont responsables d'une perte de vitesse du composant ; une résistance induit une dissipation de la puissance et donc une perte du gain, mais aussi une modification du comportement en fréquence, et une dégradation des performances de bruit. Il convient donc de modéliser ces parties extrinsèques le plus précisément possible.

La troisième partie est le boîtier. L'étape préalable à la modélisation de ces éléments est leur extraction, qui est faite à partir de la mesure. La modélisation des parasites a pour vocation de couvrir un grand nombre de technologies, car ces éléments sont inévitables. Une méthodologie d'extraction fiable, rigoureuse et indépendante de la technologie doit être utilisée dans ce but [4].

La procédure d'extraction des éléments intrinsèques et extrinsèques du schéma équivalent repose sur la mesure des paramètres **S** pour différentes polarisations. Cette méthode a été développée par **Mr. G. Dambrine**, elle est basée sur des transformations successives des paramètres **S** en paramètres **Y** et **Z** [19].

Dans notre cas, la procédure d'extraction des éléments du schéma équivalent utilisé repose sur la mesure des paramètres **S** pour différents points de polarisation dans la bande de fréquence 0.2 – 2.7 GHz. Les paramètres **S** sont mesurés par un analyseur de réseau vectoriel (ou **VNA**, Vector Network Analyser). On note que ces mesures sont faites par **Mr. M. Tamoum**.

Cependant, les éléments du boîtier du schéma équivalent sont donnés. Dans la référence [20, 21].

Eléments du boîtier	C_{gsp}	C_{dsp}	L_{gp}	L_{dp}
Unité	pF	pF	nH	nH
Valeur	4	3.9	0.1	0.1

Tableau III.1: Eléments du boîtier du transistor BLF2043F

3.1. Extraction des éléments extrinsèques :

En pratique, il est impossible de ne mesurer que l'une ou l'autre des parties intrinsèque ou extrinsèque. L'extraction doit donc être faite en utilisant la connaissance que l'on a priori du comportement de la partie intrinsèque. Pour cela, l'extraction des éléments parasites va être faite dans des conditions de fréquence et de polarisation pour lesquelles les caractéristiques intrinsèques du dispositif sont particulières et connues [4].

La partie extrinsèque est liée aux éléments parasites des zones d'accès entre la partie intrinsèque et les contacts métalliques reliant le transistor au reste du circuit. Ces éléments sont considérés comme étant indépendants de la polarisation.

Les éléments extrinsèques sont la matérialisation des phénomènes que l'on qualifie de parasites. Ils ne participent pas à l'effet transistor qui se produit dans le canal. Ils sont engendrés le plus souvent par les métallisations d'accès à la zone active. Il est nécessaire de commencer par déterminer leurs valeurs pour rendre possible l'extraction des éléments intrinsèques et donc des données principales et primordiales du modèle. Plusieurs méthodes nous sont proposées pour leur extraction [2] :

a. Simulation électromagnétique : à l'aide de simulateur électromagnétique du type Momentum, Sonnet, Ansys, HFSS ; on matérialise les métallisations d'accès à la zone active du transistor, et l'on simule les paramètres **S** associés sur une bande de fréquences données. De ces paramètres **S** on en déduit des éléments extrinsèques localisés. C'est une technique rapide et relativement précise.

b. Optimisation : on trouve des algorithmes de gradient, de recuit simulé, de diffusion simulée et des algorithmes génétiques. Ces méthodes consistent à trouver le minimum global d'une fonction objectif (ou fonction erreur) entre valeurs mesurées et valeurs simulées. Pratiquement, on optimise les valeurs des composants extrinsèques de telle sorte que le modèle équivalent ait une réponse électrique la plus proche possible des mesures. Extrêmement performante et rapide, cette méthode nécessite cependant de connaître la valeur d'échelle des paramètres recherchés afin d'éviter de tomber dans des minimums locaux de la fonction d'erreur.

c. Méthode statistique : basée sur une technique de régression linéaire. Elle permet à partir d'une mesure de paramètres S à un point de polarisation donnée de faire coïncider une expression analytique avec les paramètres Z , puis de faire une régression linéaire pour obtenir les paramètres Z à une fréquence hypothétique infinie et en déduire ainsi les éléments extrinsèques.

d. Calcul analytique : elle nécessite une bonne connaissance des propriétés physiques et géométriques des matériaux du transistor. En utilisant les simples lois ohmiques on approche les valeurs de ces composants extrinsèques. Cependant cette technique n'est pas une fin en soi, elle permet juste d'avoir un point de départ, une idée pour les autres méthodes, et en particulier pour l'optimisation.

e. Le FET «froid» (ou Cold FET) : comme son nom l'indique, cette méthode est uniquement destinée aux transistors de technologie FET. Elle consiste à effectuer des mesures de paramètres S sur le transistor polarisé de façon à ce que les éléments intrinsèques ne masquent pas les éléments extrinsèques. Ces états de polarisations sont :

$V_{ds}=0V$ & $V_{gs} > V_{th}$ (tension de seuil) : le canal du transistor est en «conduction », dans cet état on peut déterminer les valeurs des composants séries des éléments extrinsèques.

$V_{ds}=0V$ & $V_{gs} \ll V_{th}$: le canal du transistor est déplété, on a alors accès aux valeurs des composants parallèles des éléments extrinsèques.

C'est une méthode fiable et largement éprouvée dans la littérature scientifique. D'ailleurs, c'est la méthode utilisée dans le cadre de ce projet.

Nous polarisons la grille en direct, c'est-à-dire appliquer une tension $V_{gs}=14V$ et $V_{ds}=0V$. Ceci a pour effet de court-circuiter les éléments parallèles du schéma équivalent du LDMOSFET, les capacités de plot peuvent être négligées, seuls les éléments séries sont prise en compte, comme indiqué sur la **Figure III.4**.

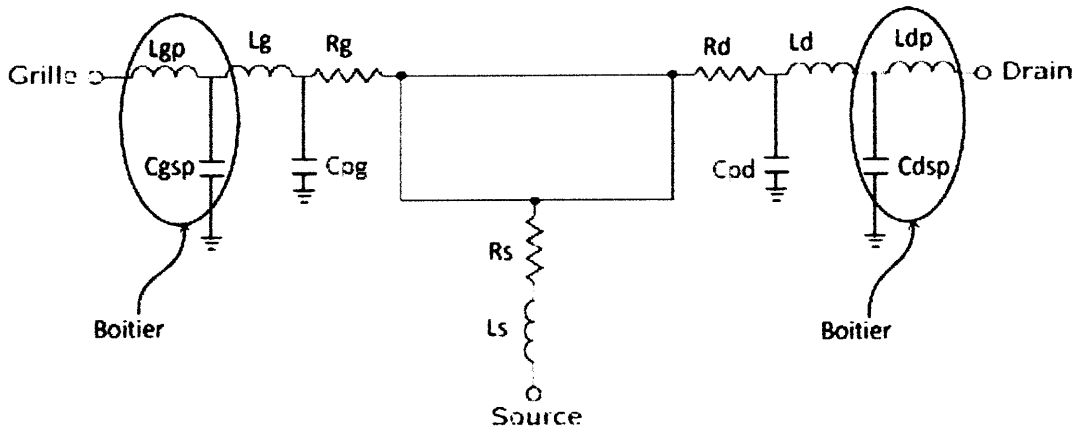


Figure III.4 : Schéma équivalent petit signal à polarisation froide pour $V_{ds}=0V$ et $V_{gs} \gg V_{th}$

Les parties réelles et imaginaires des éléments de la matrice Z extraite des mesures permettant alors, par identification, de déterminer les éléments résistifs et les réactances de ce quadripôle, à savoir les résistances et les inductances extrinsèques du transistor.

Nous utilisons le principe d'extraction des éléments du schéma équivalent à polarisation froide, à savoir la méthode basée sur des transformations successives (Annexe) des paramètres S en paramètres Z ou Y selon la procédure d'épluchage décrit dans le schéma de la **Figure III.5**:

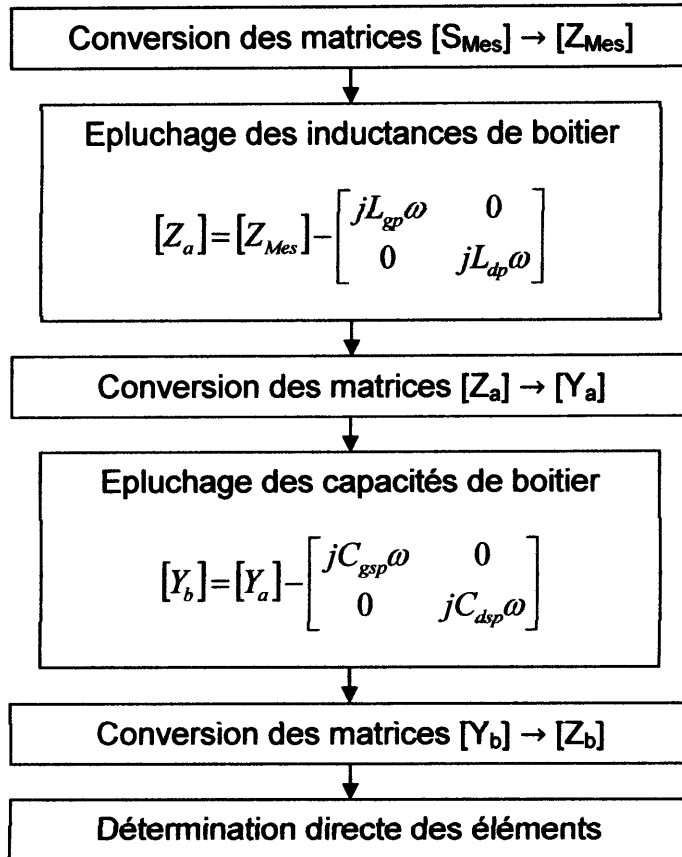


Figure III.5: Procédure d'extraction des éléments extrinsèques du LDMOS

On en déduit les éléments électriques extrinsèques en fonction des éléments de la matrice $[Z_b]$.

A partir de la Figure III.6, la matrice $[Z_b]$ du quadripôle est exprimée comme suite:

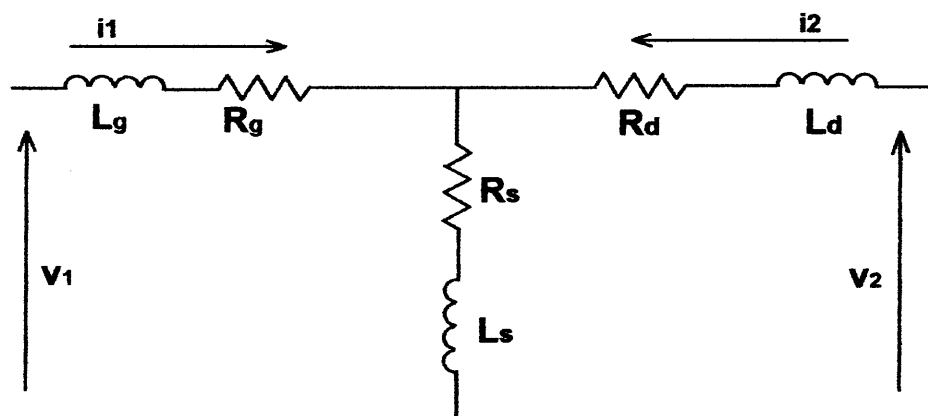


Figure III.6: Schéma équivalent à polarisation froide sans boitier

$$\begin{pmatrix} V_1 \\ V_2 \end{pmatrix} = \begin{pmatrix} I_1 \\ I_2 \end{pmatrix} \begin{pmatrix} Z_{11b} & Z_{12b} \\ Z_{21b} & Z_{22b} \end{pmatrix} \Rightarrow \begin{cases} V_1 = Z_{11b}I_1 + Z_{12b}I_2 \\ V_2 = Z_{21b}I_1 + Z_{22b}I_2 \end{cases} \quad (\text{III.8})$$

$$Z_{11b} = \left. \frac{V_1}{I_1} \right|_{I_2=0} = (R_g + R_s) + j\omega(L_g + L_s) \quad (\text{III.9})$$

$$Z_{12b} = \left. \frac{V_1}{I_2} \right|_{I_1=0} = R_s + j\omega L_s \quad (\text{III.10})$$

$$Z_{21b} = \left. \frac{V_2}{I_1} \right|_{I_2=0} = R_s + j\omega L_s \quad (\text{III.11})$$

$$Z_{22b} = \left. \frac{V_2}{I_2} \right|_{I_1=0} = (R_d + R_s) + j\omega(L_d + L_s) \quad (\text{III.12})$$

$$[Z_b] = \begin{pmatrix} (R_g + R_s) + j\omega(L_g + L_s) & R_s + jL_s\omega \\ R_s + jL_s\omega & (R_d + R_s) + j\omega(L_d + L_s) \end{pmatrix} \quad (\text{III.13})$$

Les éléments électriques extrinsèques sont exprimés comme suite:

$$R_s = \text{Re}(Z_{21b}) \quad (\text{III.14})$$

$$R_g = \text{Re}(Z_{11b}) - \text{Re}(Z_{12b}) \quad (\text{III.15})$$

$$R_d = \text{Re}(Z_{22b}) - \text{Re}(Z_{12b}) \quad (\text{III.16})$$

$$L_s = \frac{\text{Im}(Z_{12b})}{2\pi \cdot f} \quad (\text{III.17})$$

$$L_g = \frac{\text{Im}(Z_{11b}) - \text{Im}(Z_{12b})}{2\pi \cdot f} \quad (\text{III.18})$$

$$L_d = \frac{\text{Im}(Z_{22b}) - \text{Im}(Z_{12b})}{2\pi \cdot f} \quad (\text{III.19})$$

La **Figure III.7** illustre les graphes des éléments extrinsèques en fonction de la fréquence:

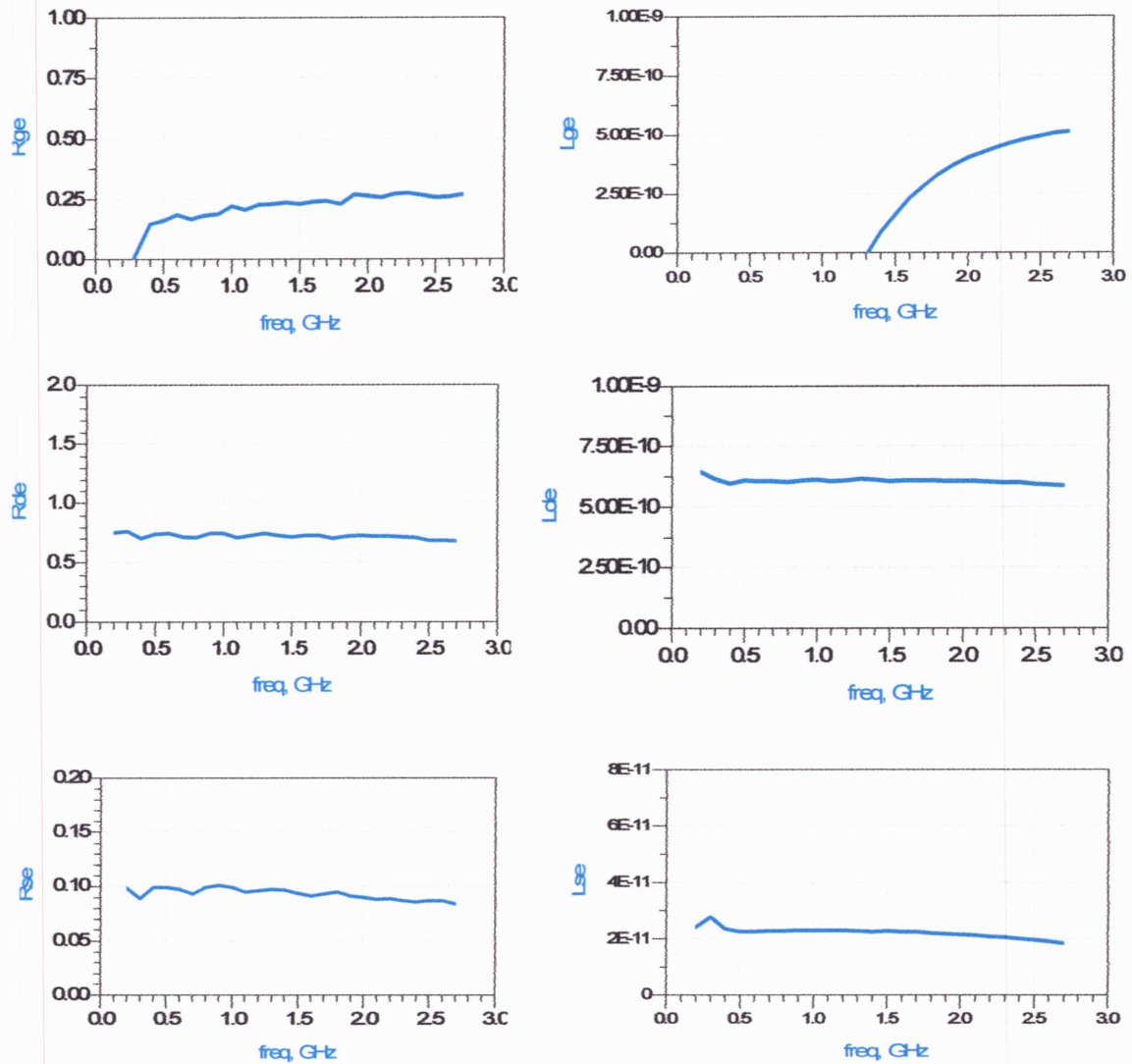


Figure III.7: Eléments extrinsèques (R_g , R_d , R_s , L_g , L_d et L_s) extraits en fonction de la fréquence pour $V_{gs}=14V$ et $V_{ds}=0V$

Il est important de noter que la détermination précise des résistances et des inductances est primordiale dans la validité du modèle. La moindre erreur dans la valeur extraite est immédiatement répercutée dans les valeurs des éléments intrinsèques.

On remarque que les graphes des éléments extrinsèques extraits sont plates ce qui veut dire que leurs valeurs sont indépendantes de la fréquence. Néanmoins une exception pour l'inductance L_g , on remarque que la courbe n'est pas plate,

ceci peut être expliqué par la sensibilité de cet élément aux erreurs de mesures faites par l'analyseur de réseaux, on prend la valeur pour laquelle les éléments intrinsèques soient plats.

En ce qui concerne les capacités de plots C_{pg} et C_{pd} , les techniques d'extraction existantes ne donnant pas de résultats physiques, nous déterminons leurs valeurs de manière empirique, elles sont choisies de façon que les éléments intrinsèques (C_{gs} , C_{ds} , C_{gd} , g_m , g_d et R_i) soient plats en fonction de la fréquence.

Les valeurs des éléments extrinsèques extraites sont rangées dans le **Tableau III.2** :

Eléments extrinsèques extraits	C_{pg}	C_{pd}	L_g	L_d	L_s	R_g	R_d	R_s
Unité	pF	pF	nH	nH	pH	Ω	Ω	Ω
Valeur	0.1	0.1	0.7	0.61	23	0.25	0.72	0.095

Tableau III.2 : Valeurs des éléments extrinsèques extraites à polarisation froide

3.2. Extraction des éléments intrinsèques :

Le principe d'extraction des éléments intrinsèques du schéma équivalent est celui mis au point par **G. Dambrine**. Il consiste à extraire les différents éléments à partir de la matrice admittance intrinsèque $[Y_i]$ du fait de la topologie en π du schéma équivalent intrinsèque.

Cette matrice admittance Y est obtenue par transformations successives de la matrice S mesurée. Dans notre configuration (l'existence du boîtier), les transformations successives de la matrice S mesurée jusqu'à la matrice Y suit le principe de la **Figure III.8**. Ensuite, à partir de la matrice admittance intrinsèque, on extrait par calcul analytique l'ensemble des paramètres intrinsèques du modèle équivalent.

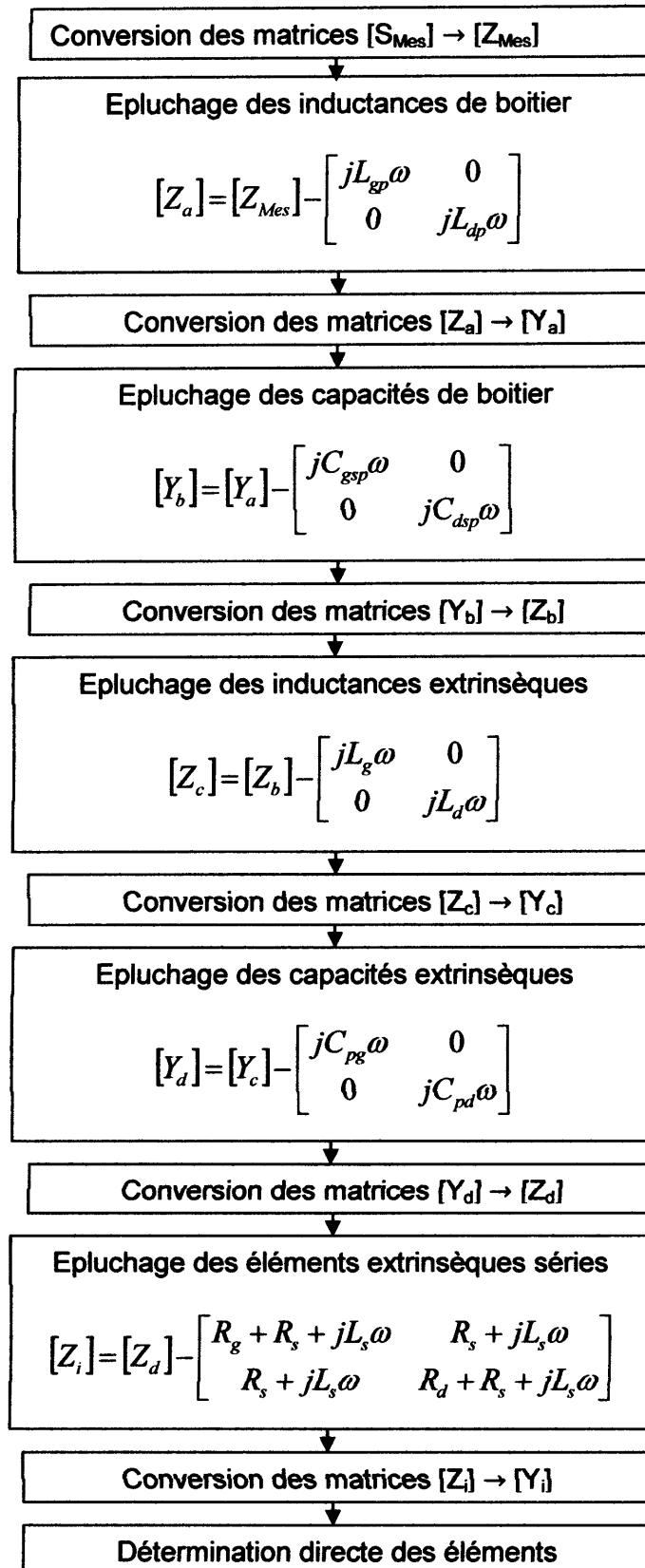


Figure III.8 : Procédure d'extraction des éléments intrinsèques du composant

La matrice $[Y_i]$ est donnée par [7] :

$$[Y_i] = \begin{bmatrix} Y_{11i} & Y_{12i} \\ Y_{21i} & Y_{22i} \end{bmatrix} = \begin{bmatrix} \frac{jC\omega}{1+jR_iC_{gs}\omega} + jC_{gd}\omega & -jC_{gd}\omega \\ \frac{g_m}{1+jR_iC_{gs}\omega - jC_{gd}\omega} & g_d + j\omega(C_{ds} + C_{gd}) \end{bmatrix} \quad (III.13)$$

On en déduit les éléments électriques intrinsèques en fonction des éléments $[Y_i]$.

$$C_{gs} = \frac{\text{Im}(Y_{11i}) + \text{Im}(Y_{12i})}{\omega} \left[1 + \left(\frac{\text{Re}(Y_{11i}) + \text{Re}(Y_{12i})}{\text{Im}(Y_{11i}) + \text{Im}(Y_{12i})} \right)^2 \right] \quad (III.14)$$

$$C_{gd} = \frac{-\text{Im}(Y_{12i})}{\omega} \left[1 + \left(\frac{\text{Re}(Y_{12i})}{\text{Im}(Y_{12i})} \right)^2 \right] \quad (III.15)$$

$$C_{ds} = \frac{\text{Im}(Y_{22i}) + \text{Im}(Y_{12i})}{\omega} \quad (III.16)$$

$$R_i = \frac{\text{Re}(Y_{11i}) + \text{Re}(Y_{12i})}{C_{gs}\omega[\text{Im}(Y_{11i}) + \text{Im}(Y_{12i})]} \quad (III.17)$$

$$g_d = \text{Re}(Y_{22i}) + \text{Re}(Y_{12i}) \quad (III.18)$$

$$g_m = \sqrt{(1 + (R_i C_{gs} \omega)^2) \cdot [\text{Re}(Y_{21i}) - \text{Re}(Y_{12i})]^2 + [\text{Im}(Y_{21i}) - \text{Im}(Y_{12i})]^2} \quad (III.19)$$

Les éléments extraits du transistor à $V_{gs}=5.6V$ et $V_{ds}=26V$ sont illustrés sur la Figure III.9.

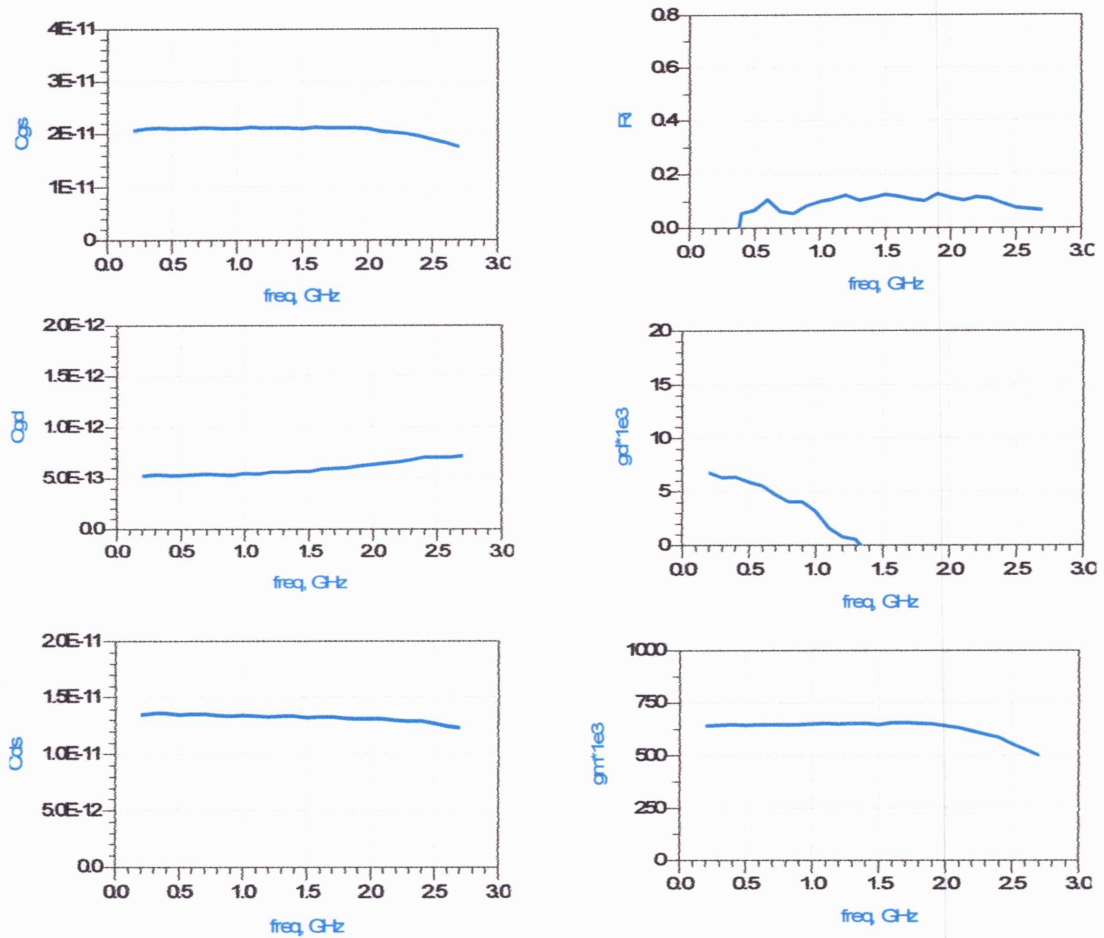


Figure III.9 : Eléments intrinsèques g_d , g_m , C_{gs} , C_{gd} , C_{ds} et R_i extraits en fonction de la fréquence à $V_{ds}=26V$ et $V_{gs}=4.8V$

Eléments intrinsèques extraits	C_{gs}	C_{gd}	C_{ds}	R_i	g_d	g_m
Unité	pF	pF	pF	Ω	mS	mS
Valeur	21	0.53	13.3	0.12	6.99	650

Tableau III.3 : Eléments intrinsèques extraits à $V_{ds}=26V$ et $V_{gs}=4.8V$

Nous observons que les éléments C_{gs} , C_{gd} , C_{ds} et g_m sont constants dans la bande fréquentielle 0.2-2.7GHz. Cependant, la conductance du drain g_d présente une nette variation en fonction de la fréquence. En effet, elle diminue lorsque la fréquence augmente. Cela est dû aux erreurs lors de la mesure des paramètres S . Dans notre travail nous avons choisi la valeur de la conductance g_d pour des plus faibles fréquences. Cependant, nous verrons dans le chapitre suivant que malgré la valeur de g_d prise, le model reproduit précisément les caractéristiques électriques hyperfréquences.

4. Conclusion :

Dans ce chapitre, nous avons montré la possibilité d'une caractérisation RF d'un transistor **LDMOS** monté en boîtier.

Dans un premier temps, nous avons développé les techniques d'extraction des éléments électriques, basées sur des mesures hyperfréquences de paramètres **S**. Nous avons choisit la méthode du **FET froid** et on prend leurs mesures pour extraire les éléments extrinsèques et la méthode basée sur les transformations des paramètres **S** en paramètres **Z** et **Y** mis au point par **G. Dambrine** pour extraire les éléments intrinsèques.

Finalement, nous avons présenté les résultats de la caractérisation en fonction de la fréquence. Nous remarquons une indépendance des éléments intrinsèques de la fréquence ce qui confirme le bon choix du schéma équivalent et la procédure d'extraction suivie. Nous concluons que la méthode présentée permet une détermination simple et précise des paramètres d'un transistor.



Chapitre IV
Résultats et Interprétations

1. Introduction :

La nécessité du recours aux ordinateurs s'explique par les possibilités des mesures expérimentales avec la variation des différents paramètres de composant. Le fait est que l'obtention des échantillons prototypes nécessite d'effectuer tout un processus pénible et onéreux de conception et de fabrication qui peut durer plusieurs mois. C'est pourquoi la simulation électrique, par le biais de modèle mathématique élaboré est devenue une étape très importante dans la conception des circuits intégrés, car elle constitue non seulement une aide à sa mise au point mais permet en plus d'analyser et de prédire son comportement et ses performances, donc sa modification ainsi que son optimisation avant même son envoi en fabrication [6].

2. Définition d'un simulateur :

Pour étudier le comportement électrique des composants et circuits intégrés, on utilise généralement un simulateur électrique. En effet, ce type de simulateur permet d'étudier le comportement électrique d'un composant à travers un schéma électrique équivalent le modélisant. En plus, ce logiciel permet d'éviter toute fausse manipulation, lors de mesures réelles, qui risque d'endommager le composant ou le circuit intégré analogique [22].

Il est donc devenu l'outil indispensable des concepteurs pour prévoir et vérifier le comportement électrique d'un circuit d'après la description de sa topologie et de ses composants.

La simulation permet de dimensionner et de tester des modèles d'organisation établis afin d'en vérifier de manière objective l'efficacité grâce à des indicateurs de performance dont les valeurs sont renseignées par la simulation [23]. La démarche de simulation se décompose en plusieurs étapes :

- 1- La définition du besoin et des objectifs poursuivis : la simulation permet de définir les enjeux et d'évaluer les bénéfices espérés d'un scénario de dimensionnement et/ou d'organisation. L'estimation des bénéfices est cruciale car elle permet de justifier la mise en œuvre d'une démarche de simulation.

- 2- La modélisation du fonctionnement du système à étudier pour représenter de manière dynamique le fonctionnement d'un système qui donne lieu :
 - A un cahier des charges du modèle de simulation.
 - A une cueillette des données.
 - A une définition des paramètres à fixer et des indicateurs de performance à suivre.
- 3- La simulation du fonctionnement du plateau technique.
- 4- L'analyse des résultats : la simulation fournit un certain nombre de résultats par les indicateurs de performance et pour chaque alternative de fonctionnement testée, ceux-ci sont agrégés pour être comparés.

3. Nécessite de la simulation :

Les dispositifs hyperfréquences sont de plus en plus utilisés de nos jours. Il devient primordial de pouvoir les simuler avec précision avant la réalisation. Le but final est d'avoir un circuit qui, une fois réalisé, fonctionne du premier coup tout en respectant les contraintes du cahier de charges et ce sans aucune retouche. Nous évitons ainsi un surcoût inutile lié à la réalisation d'un grand nombre de maquettes de tests tout en réduisant considérablement le temps de conception. Il est alors possible de maîtriser et réduire le coût final du produit.

Pour atteindre ces objectifs, il est nécessaire de disposer d'outils adéquats tels que des logiciels commerciaux de **CAO**.

La taille, la complexité et les performances des circuits électroniques de télécommunication sont de plus en plus contraignantes tandis que le temps et le coût de commercialisation doivent être réduits au maximum.

La simulation présente une importance capitale pour assurer la validité d'une conception avant la fabrication du circuit correspondant. Toute erreur non détectée dans la conception peut en effet provoquer des itérations très coûteuses en argent et en temps.

La simulation intervient à des niveaux critiques du flot de conception-vérification : elle permet d'en réduire le nombre d'étapes et ainsi de diminuer le temps et le coût global de fabrication. Aussi, il y a une nécessité permanente de recherches théoriques pour le développement d'outils de **CAO** plus performants en termes de :

- Vitesse d'exécution, alors que la taille et la complexité des circuits augmentent.
- Précision, car le cahier de charges est de plus en plus exigeant.
- Mémoire, car la capacité des machines n'est pas toujours suffisante pour traiter les gros circuits.
- Robustesse, pour répondre aux contraintes de temps de conception.

Afin de tenir compte de tous les éléments du modèle équivalent du transistor ainsi que les éléments du boîtier, nous avons utilisé le simulateur **ADS** qui est largement utilisé dans l'industrie et la recherche [19].

4. Le logiciel ADS :

ADS (Advanced Design System) est un simulateur très vaste. Pour apprendre toutes ses fonctionnalités, il nécessite donc, un temps considérable.

Sous sa plus simple forme, **ADS** a la même fonctionnalité que d'autres programmes **SPICE** comme **PSPICE**. Il y a une interface utilisateur graphique pour tracer le schéma du circuit (entrée schématique). Comme beaucoup de programmes commerciaux **SPICE**, le logiciel vient avec un nombre considérable des bibliothèques prédéfinies. Puisque le logiciel **ADS** est destiné aux applications **RF**, la majorité des dispositifs dans sa bibliothèque sont des dispositifs **RF** et micro-ondes. Cependant, il y a peu de **FETs** et de **BJTs** basse fréquences [5].

ADS est un logiciel destiné à aider au développement des circuits électroniques mixtes analogiques hyperfréquences et numériques. Au travers d'une interface compacte, il dispose de nombreux modules permettant d'analyser les circuits de façon adaptée aux besoins classiques : en continu, en régime variable, en temporel, en bruit... Il dispose aussi de méthodes d'analyse spécifiques aux hyperfréquences : analyse en paramètres **S**, analyse des non linéarités par les méthodes « harmonique balance », analyse d'enveloppes complexes intégrant les non-linéarités et simulateur électromagnétique de circuit planaires multicouches multiconducteurs. Par ailleurs, différentes méthodes d'analyse « génériques », complémentaires dans la conception globale d'une chaîne de transmission, sont implémentées : analyse paramétrique multi-variables, de sensibilité, de rendement, de plan d'expérience et d'optimisation. Enfin, un simulateur à flot de données de type « Berkeley/Ptolemy » permet d'étudier les systèmes à données discrétisées sur la base de nombreux modèles mixtes logiques, numériques et comportementaux.

Voici les différentes simulations qu'en peut utiliser dans le logiciel **ADS** :

1. Simulation DC : Elle détermine le comportement en régime statique du système.
2. Simulation des paramètres S : Elle consiste en la détermination des rapports d'onde aux accès du système pour un point de fonctionnement linéaires (petit signal) autour du point de polarisation.
3. Simulation temporelle (transitoire) : elle permet la détermination de l'évolution temporelle des signaux du système.
4. Simulation en équilibrage harmonique : Elle détermine le régime établi dans le domaine fréquentiel.
5. Simulation d'enveloppe : Elle détermine le régime transitoire des enveloppes des signaux.

Dans notre projet, nous allons utiliser la simulation S-paramètre qui nécessite des composants de terminaison (the termination component) appelées **Term**, qui devraient être utilisée pour définir les ports d'entrée et de sortie. Le **Term** d'entrée doit être identifié comme **Num=1** et le **Term** de sortie **Num=2**. Ils devraient être reliés à la terre.

5. Caractéristiques statiques du composant utilisé :

La caractéristique statique constitue une première approche du composant, la **Figure IV.1** représente le réseau des caractéristiques de sortie du transistor **LDMOS** utilisé donnant l'évolution du courant I_{ds} circulant entre le drain et la source lorsqu'on augmente la tension V_{ds} en maintenant la tension V_{gs} constante.

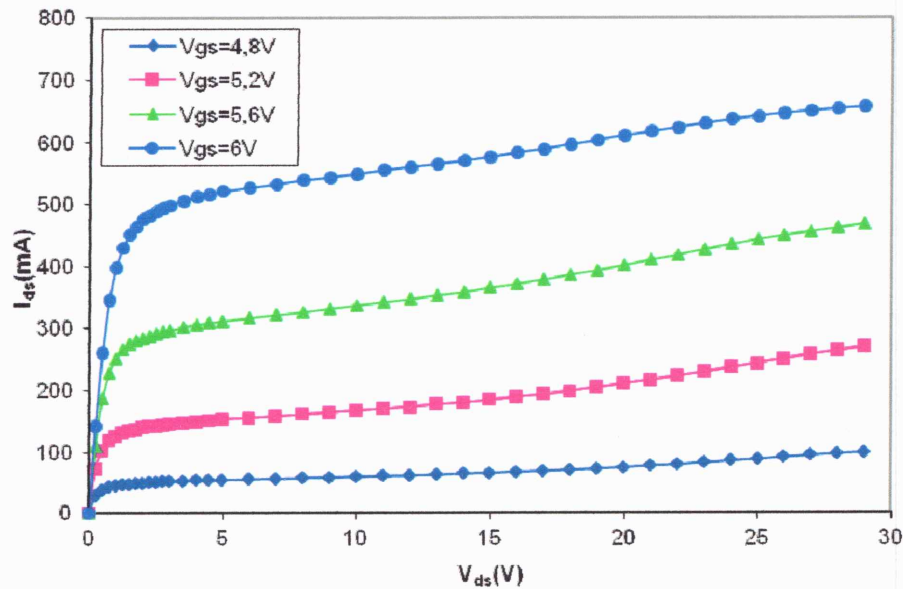


Figure IV.1 : Caractéristiques statiques de sortie du transistor LDMOS

La **Figure IV.2** représente la caractéristique de transfert qui donne l'évolution du courant I_{ds} en fonction de V_{gs} pour V_{ds} constante.

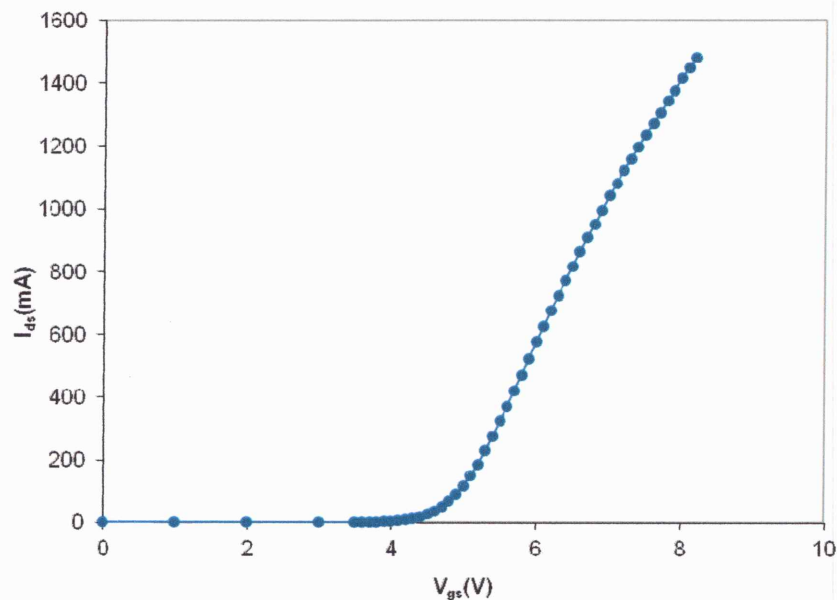


Figure IV.2 : Caractéristiques statiques de transfert du transistor LDMOS

6. Intégration du schéma équivalent dans le simulateur :

Nous avons implanté les paramètres **S** mesurés pour chaque point de polarisation dans le logiciel **ADS** sous forme de fichier Touchstone à extension **S2P**.

La **Figure IV.3** montre le design utilisé dans logiciel **ADS** pour la visualisation des paramètres **S** mesurés. Pour cela, on introduit le fichier contenant les

paramètres **S** dans le simulateur **ADS**. Les mesures sont faites par **M. TAMOUM** à l'aide d'un analyseur de réseau vectoriel **VNA**, ce dernier fournit les résultats sous forme de fichiers d'extension **S2P** contenant les valeurs des paramètres **S** pour la gamme de fréquence utilisée (entre **0.2 à 2.7 GHz**). Dans notre cas le fichier est appelé « **ALM22014.S2P** » concernant la polarisation $V_{ds}=26V$ et $V_{gs}=5.6V$.

Nous indiquons aussi les fréquences de début, de fin et le pas dans le simulateur **S-Paramètres**. Le fichier des mesures **S2P** doit être copié dans le dossier « **data** » du projet. Par conséquent nous pouvons visualiser les différents résultats sous forme de tableau de valeurs.

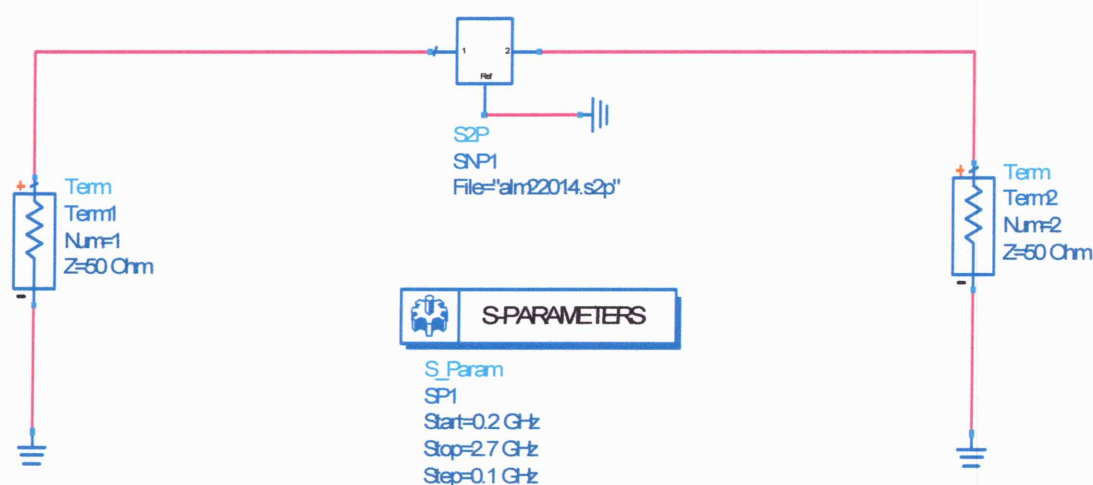


Figure IV.3 : Design utilisé pour la visualisation des paramètres **S** mesurés sous **ADS**

Les équation décrivant les différentes transformations des paramètres **S** en paramètres **Z** ou **Y** ainsi que celle décrivant les élément intrinsèques du schéma équivalent sont ajoutées également dans le simulateur **ADS**. De cette manière, l'extraction de ces élément devient automatique pour chaque point de polarisation et pour chaque fréquence.

Les résultats de la simulation peuvent être visualisés sur les abaques de **Smith**, des courbes de module et de phase ou encore sous forme de tableaux.

La **Figure IV.4** montre les paramètres **S** mesurés sur l'abaque de **Smith**.

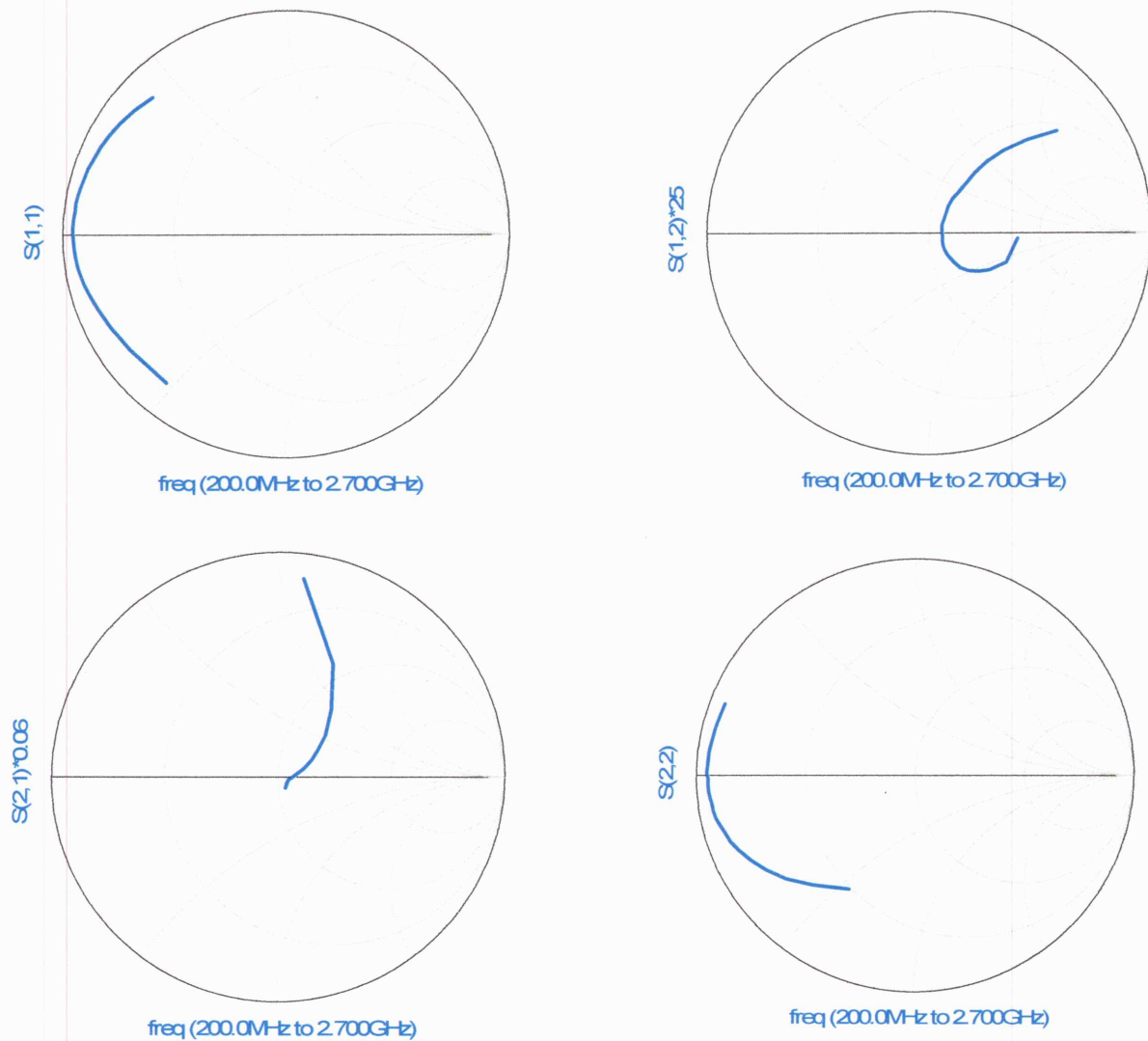


Figure IV.4 : Paramètres S mesurés

7. Comparaison entre mesure et simulation des paramètres S :

Le modèle petit-signal final implémenté sous ADS est présenté par la **Figure IV.5 :**

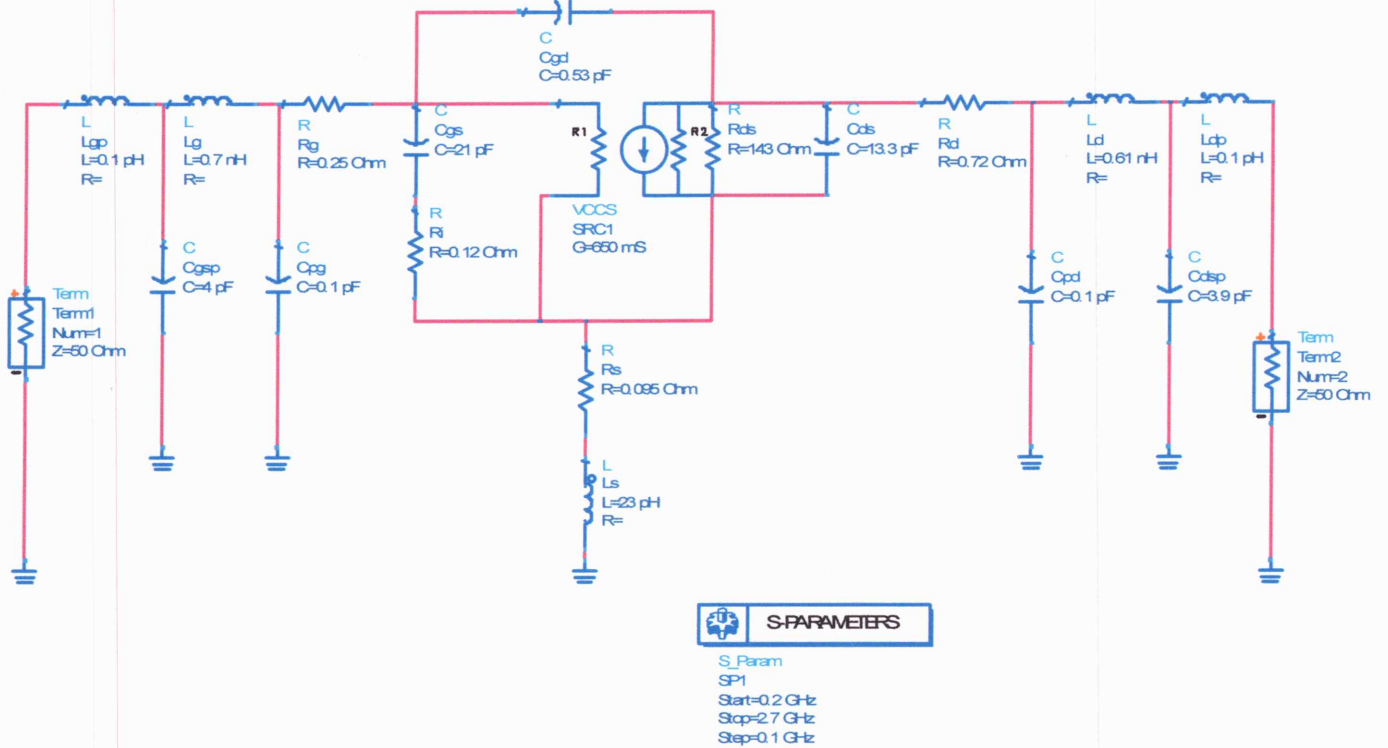


Figure IV.5 : Schéma équivalent petit-signal introduit dans le simulateur ADS

La validation du modèle en régime petit signal consiste en une comparaison entre les paramètres **S** mesurés et ceux simulés, pour cela nous utilisons un des avantages d'ADS qui permet de visualiser les résultats de plusieurs designs en même temps et donc la possibilité de comparer les résultats des mesures avec ceux des calculs.

La Figure IV.6 montre la comparaison entre les paramètres **S** mesurés et calculés du transistor dans la gamme de fréquence utilisée. Le composant est polarisé en saturation pour $V_{gs}=5.6V$ et $V_{ds}=26V$.

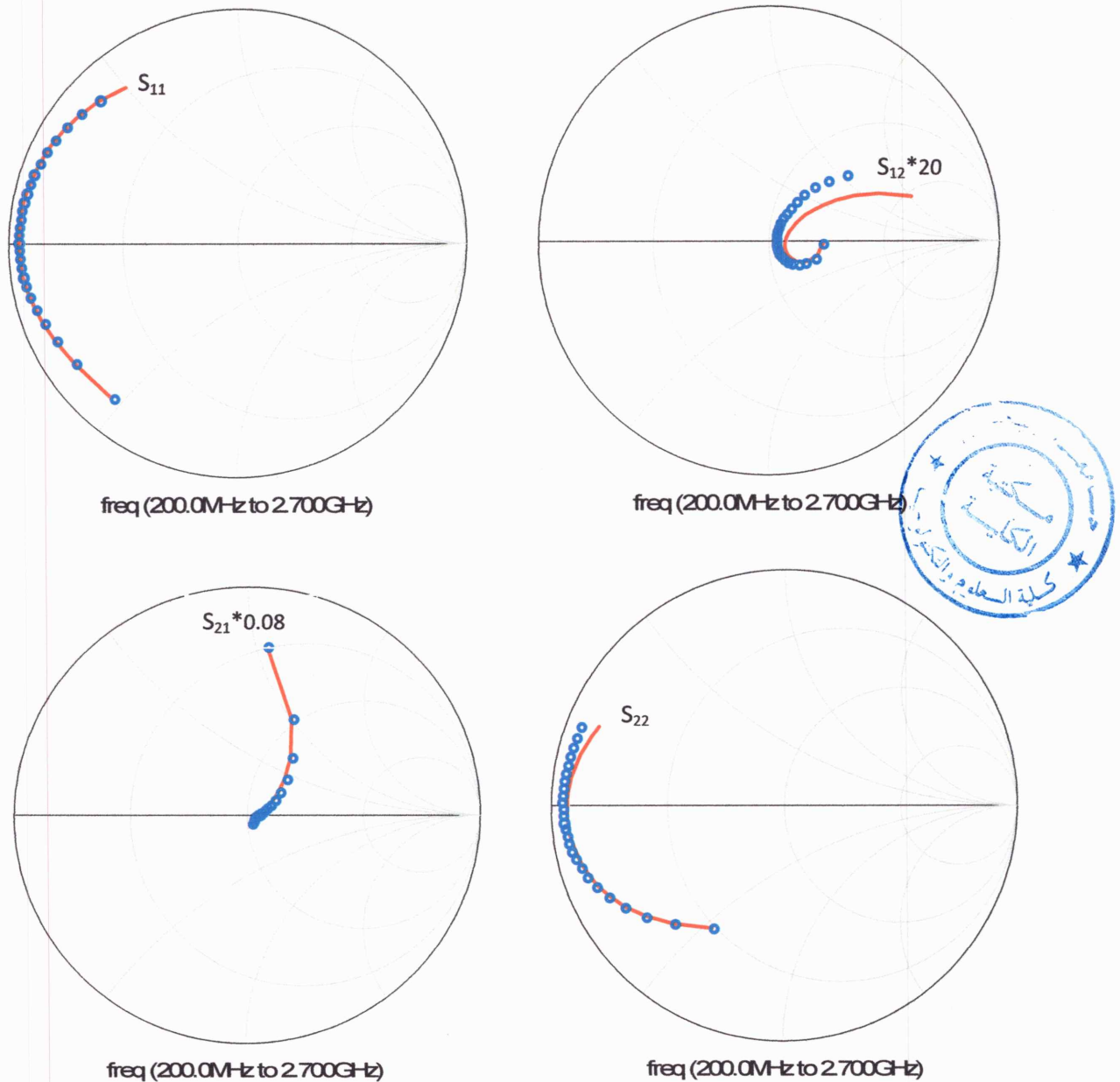


Figure IV.6 : Comparaison entre mesure et simulation des paramètres **S** pour $V_{gs}=5.6V$ et $V_{ds}=26V$ (— Simulation, $\square\square\square$ Mesure)

Nous remarquons que les résultats de la simulation et ceux de la mesure se collent, ce qui montre une bonne prédiction des performances petit signal.

Il faut noter que cette comparaison ne peut être qu'indicative, car la représentation sur l'abaque de **Smith** donne une information mixte du module et la phase de chacun des paramètres **S**. De plus, la comparaison est montrée pour un seul point de fonctionnement du composant. Pour plus de précision, nous représentons chacun des paramètres **S** mesurés et simulés, en module et en phase comme l'indiquent les **Figures IV.7** et **IV.8**.

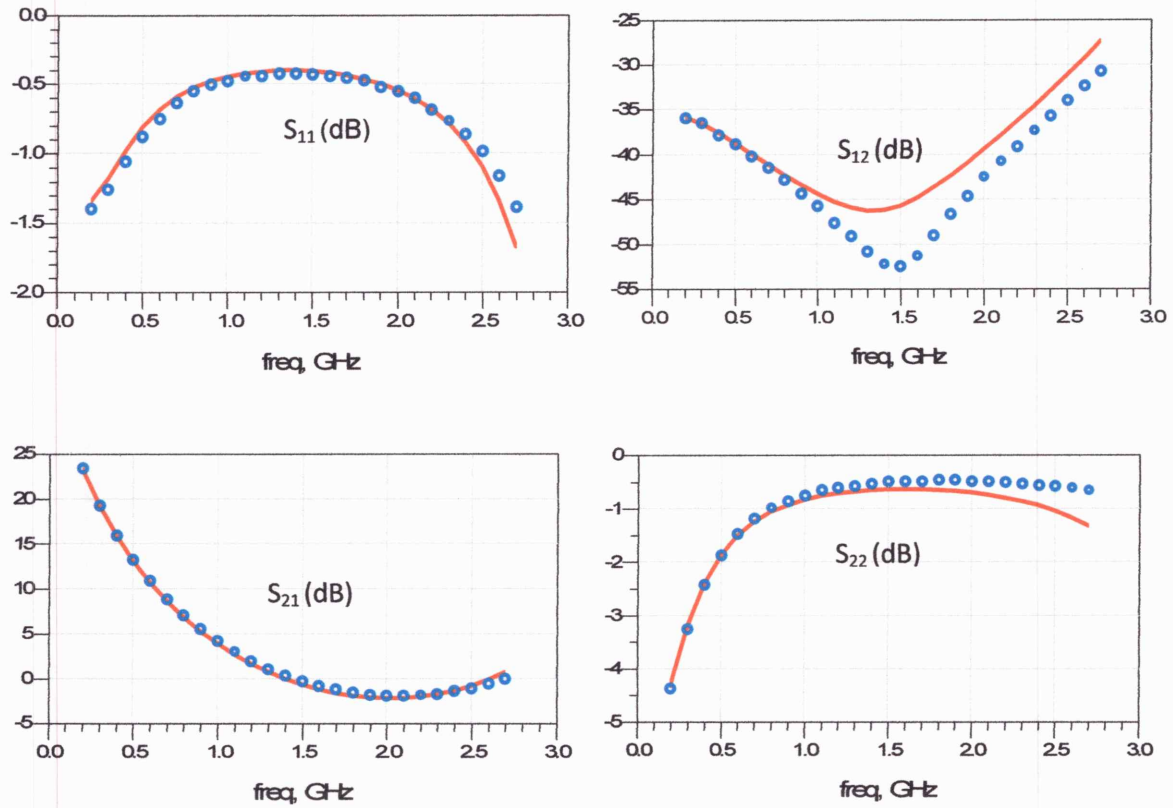


Figure IV.7 : Comparaison entre les paramètres **S** mesurés et simulés en dB pour $V_{gs}=5.6V$ et $V_{ds}=26V$ (— Simulation, $\square\square\square$ Mesure)

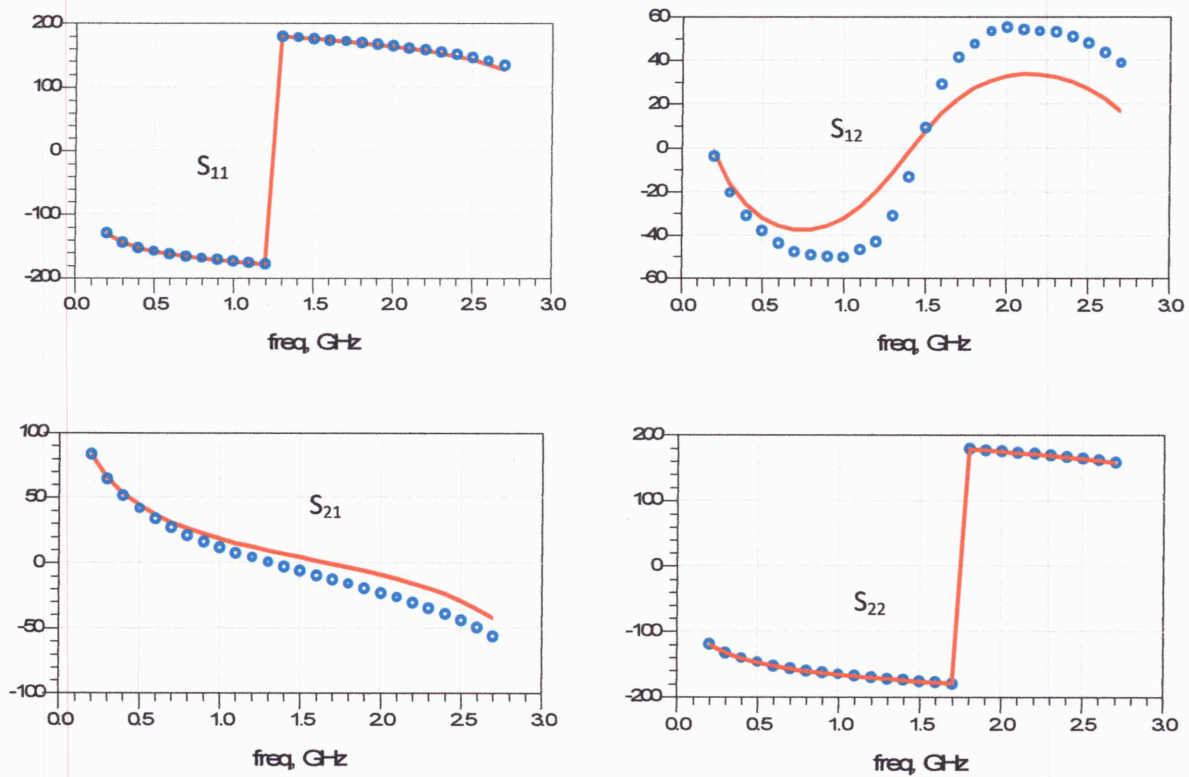


Figure IV.8 : Comparaison entre les paramètres **S** mesurés et simulés en phase pour $V_{gs}=5.6V$ et $V_{ds}=26V$ (— Simulation, $\square\square\square$ Mesure)

Les figures montrent un bon accord obtenu sur les paramètres de dispersion entre les données provenant de la simulation et celles de la mesure.

Pour valider le modèle dans les différents régimes de polarisation, nous faisons une comparaison des paramètres S mesurés et calculés pour différents points de polarisation.

Pour le régime de faible inversion saturation on prend comme exemple les points ($V_{gs}=4.8V$, $V_{ds}=28V$) et ($V_{gs}=4.8V$, $V_{ds}=16V$).

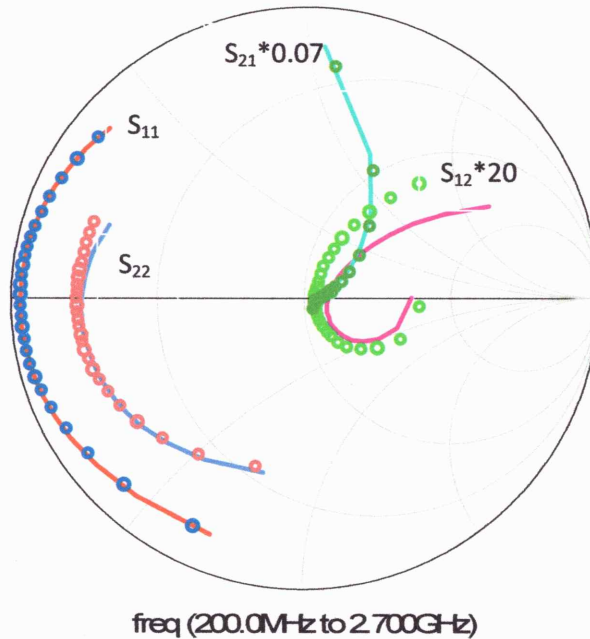


Figure IV.9 : Comparaison entre mesure et simulation des paramètres S pour $V_{gs}=4.8V$ et $V_{ds}=28V$ (— Simulation, □□□ Mesure)

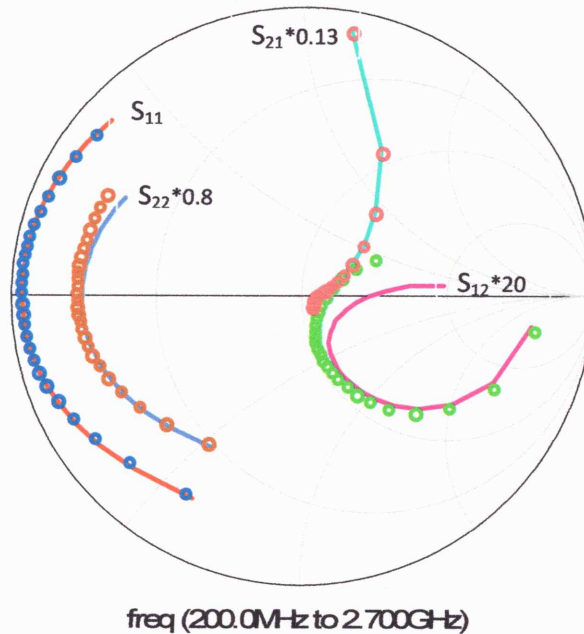


Figure IV.10 : Comparaison entre mesure et simulation des paramètres S pour $V_{gs}=4.8V$ et $V_{ds}=16V$ (— Simulation, □□□ Mesure)

Pour le régime de forte inversion saturation on prend comme exemple les points ($V_{gs}=6V$, $V_{ds}=16V$) et ($V_{gs}=5.6V$, $V_{ds}=26V$).

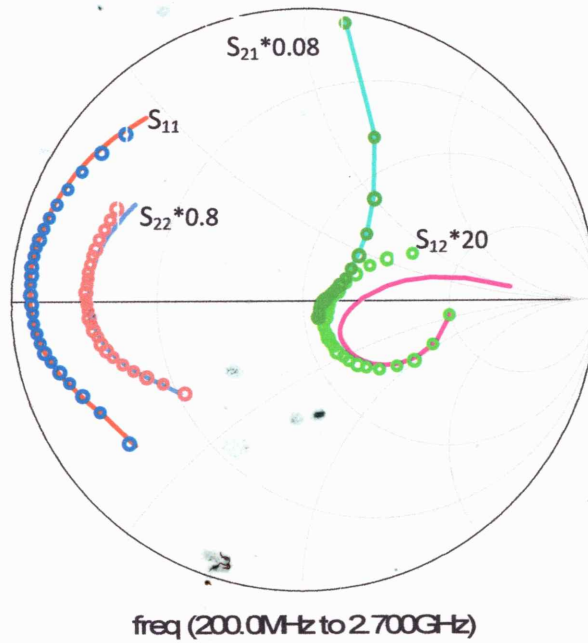


Figure IV.11 : Comparaison entre mesure et simulation des paramètres S pour $V_{gs}=6V$ et $V_{ds}=16V$ (— Simulation, □□□ Mesure)

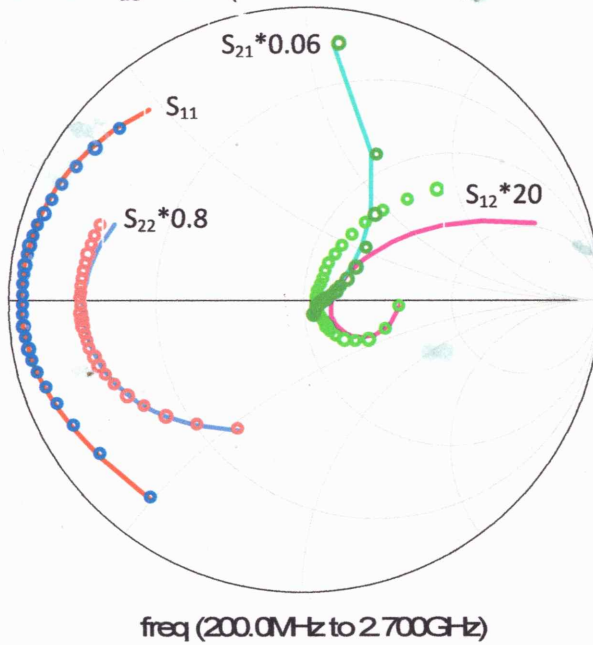


Figure IV.12 : Comparaison entre mesure et simulation des paramètres S pour $V_{gs}=5.6V$ et $V_{ds}=26V$ (— Simulation, □□□ Mesure)

Pour le régime linéaire on prend comme exemple les points ($V_{gs}=5.6V$, $V_{ds}=0.5V$) et ($V_{gs}=6.6V$, $V_{ds}=0.25V$).

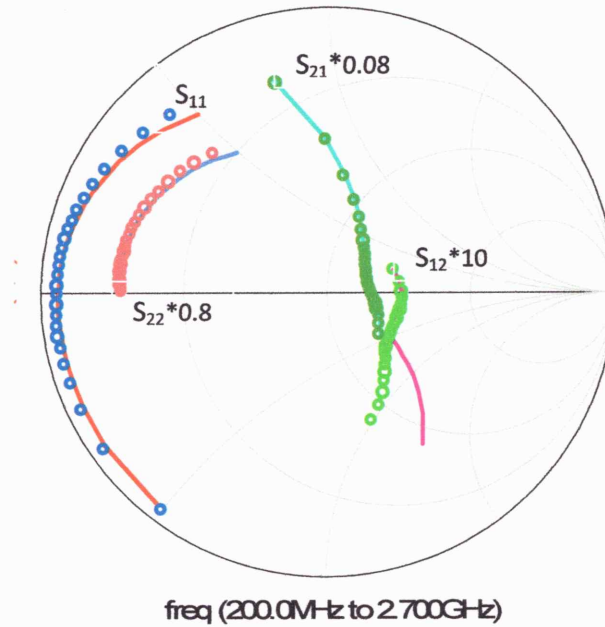


Figure IV.13 : Comparaison entre mesure et simulation des paramètres **S** pour $V_{gs}=5.6V$ et $V_{ds}=0.5V$ (— Simulation, □□□ Mesure)

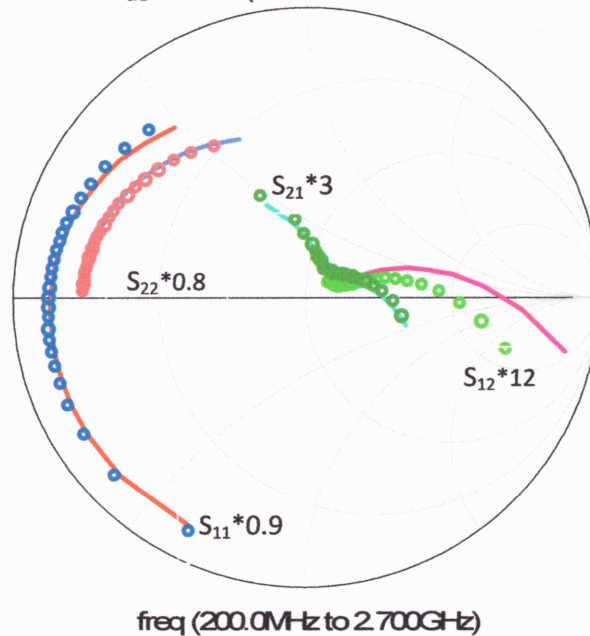


Figure IV.14 : Comparaison entre mesure et simulation des paramètres **S** pour $V_{gs}=6.6V$ et $V_{ds}=0.25V$ (— Simulation, □□□ Mesure)

D'après les résultats de simulation faite pour les points de polarisation cités, nous remarquons qu'il y a un bon accord entre la mesure et la simulation, et cela, pour les points de fonctionnement en régime de faible inversion et de forte inversion, soit en saturation ou en régime linéaire.

Nous pouvons donc, dire que le schéma choisi pour notre étude est convenable pour la modélisation et la caractérisation du transistor **LDMOS**, pour les différents

régimes de fonctionnement, et cela, pour les fréquences allant de **0.2 à 2.7GHz**. Aussi, nous pouvons conclure, que la méthode d'extraction utilisée est assez précise. Ce résultat est très intéressant car il prouve la validité de la méthode pour les différents régimes de fonctionnement du transistor.

On note que le transistor **LDMOS** étudié est souvent utilisé pour concevoir des amplificateurs de puissance en classe **AB** qui constituent un élément essentiel des stations de base, cela veut dire que les transistors sont souvent polarisés en faible inversion-saturation. Pour ce régime, nous avons déjà cité deux exemples ; pour **$V_{gs}=4.8V$** et **$V_{ds}=28V$** ou **$V_{ds}=16V$** . D'après les **Figures IV.9** et **IV.10**, nous remarquons une très bonne concordance entre la mesure et la simulation.

8. Etude de la linéarité des éléments intrinsèques :

8.1. Variation des éléments intrinsèques en fonction de la polarisation du drain V_{ds} pour différentes valeurs de la tension V_{gs} :

La **Figure IV.15** montre l'évolution des capacités **C_{gs} , C_{ds} et C_{gd}** en fonction de la tension **V_{ds}** pour différentes valeurs de **V_{gs}** .

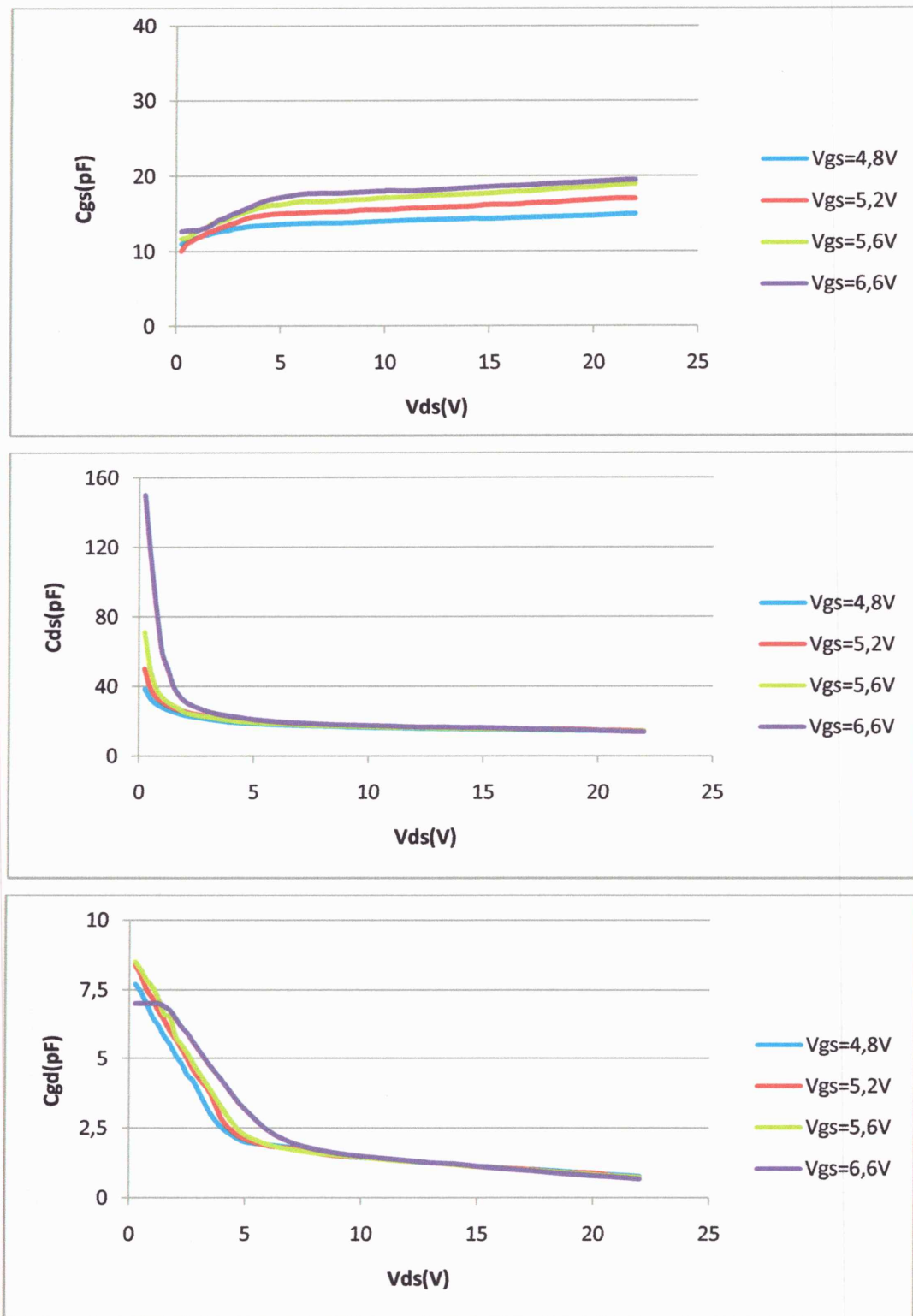


Figure IV.15 : Variation des capacités C_{gs} , C_{ds} et C_{gd} en V_{ds} pour différentes valeurs de V_{gs}

La Figure IV.16 montre la transconductance g_m , la conductance de sortie g_d , et la résistance R_i en fonction de la tension V_{ds} pour différentes valeurs de V_{gs} .

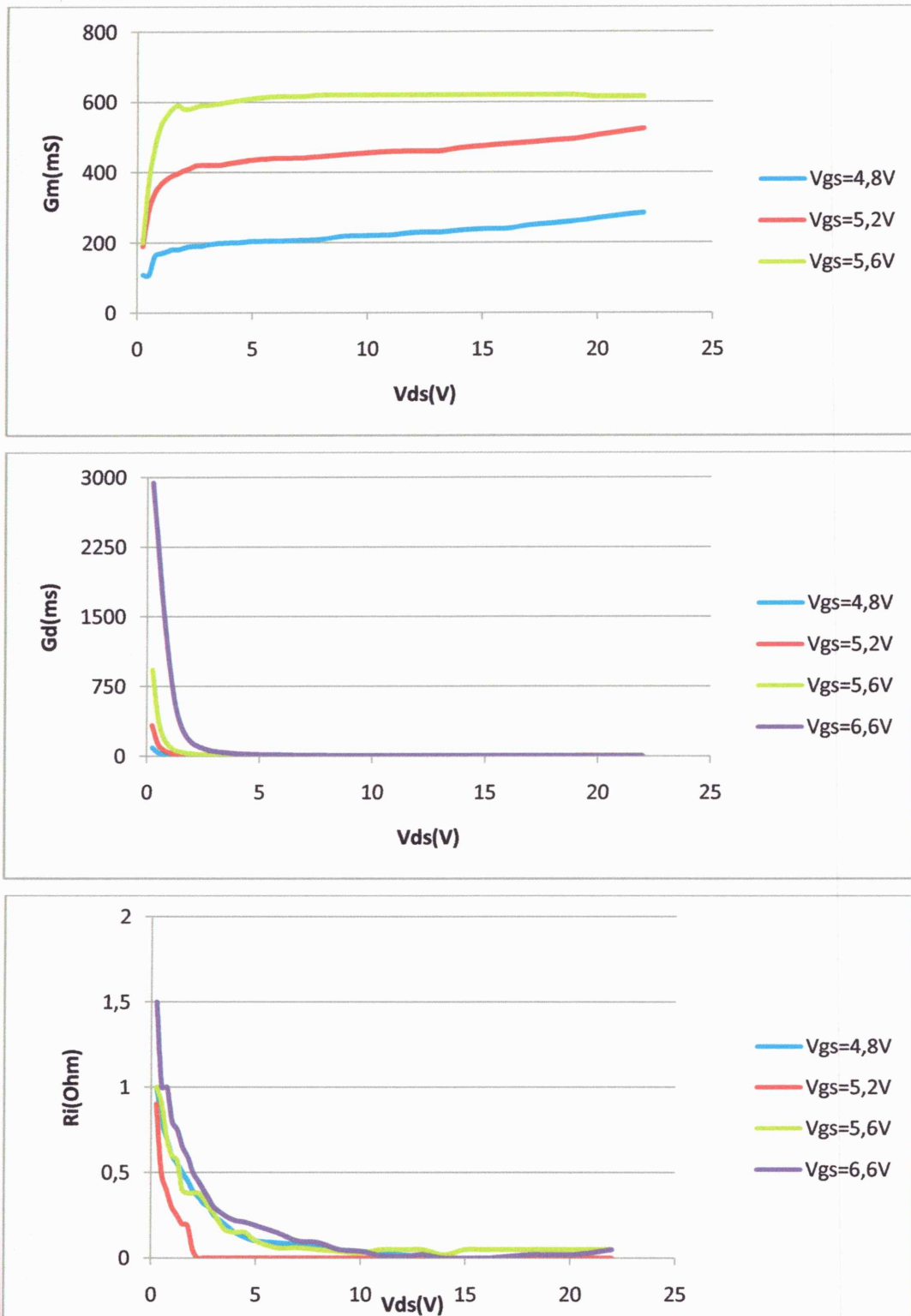


Figure IV.16 : Variation de la transconductance g_m , de la conductance de sortie g_d , et de la résistance R_i en fonction de V_{ds} pour différentes valeurs de V_{gs}

8.2. Variation des éléments intrinsèques en fonction de la polarisation de la grille V_{gs} pour différentes valeurs de la tension V_{ds} :

La Figure IV.17 montre l'évolution des capacités C_{gs} , C_{ds} et C_{gd} en fonction de la tension V_{gs} pour différentes valeurs de V_{ds} .

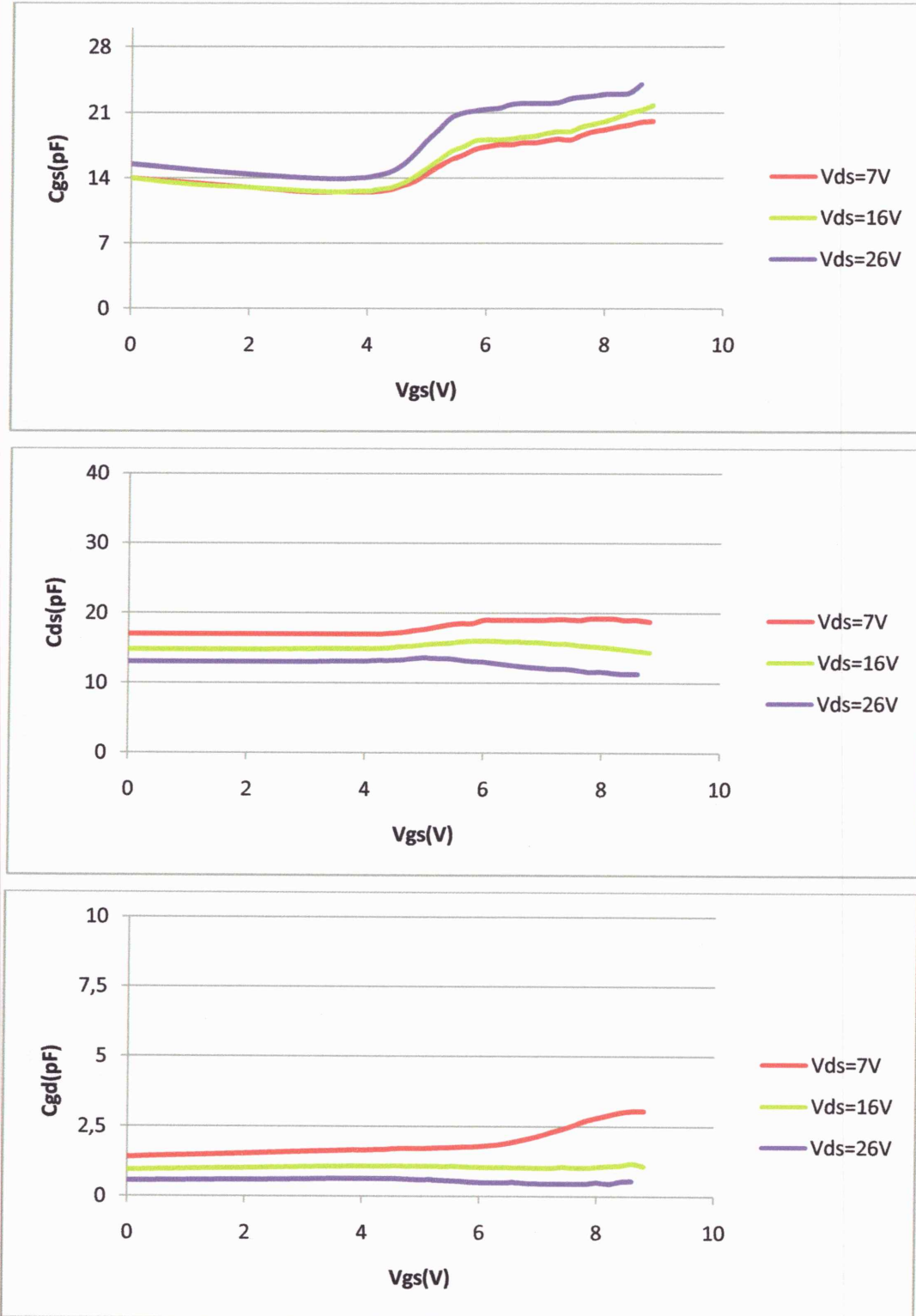


Figure IV.17 : Variation des capacités C_{gs} , C_{ds} et C_{gd} en fonction de V_{gs} pour différentes valeurs de V_{ds}

La **Figure IV.18** montre la transconductance g_m , la conductance de sortie g_d , et la résistance R_i en fonction de la tension V_{gs} pour différentes valeurs de V_{ds} .

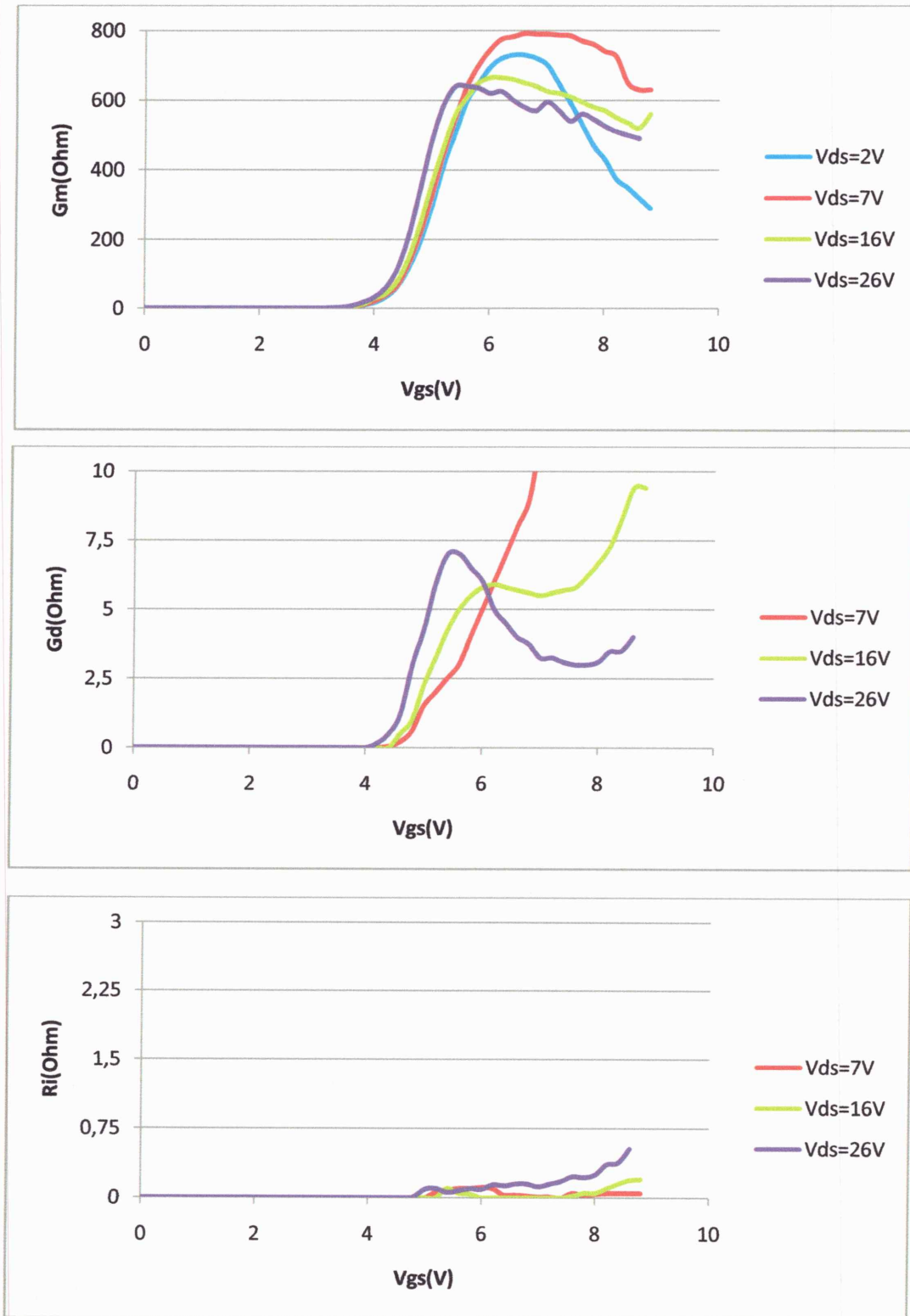


Figure IV.18 : Variation de la transconductance g_m , de la conductance de sortie g_d , et de la résistance R_i en fonction de V_{gs} pour différentes valeurs de V_{ds}

Nous remarquons des **Figures (IV.15) à (IV.18)** que :

- Les résultants obtenus sont comparables à ceux trouvés dans la littérature [17, 18, 24].
- Les éléments intrinsèques ne sont pas influencés par la variation de la polarisation V_{ds} tenant compte que le transistor utilisé est destiné à des applications fonctionnant dans le régime de saturation.
- Les éléments influencés par la polarisation V_{gs} sont la capacité intrinsèque grille source C_{gs} , la transconductance de sortie g_m et la conductance de drain g_d .
- Cette étude nous a permis de connaître les éléments intrinsèques qui sont influencés par la polarisation et ceux qui ne changent pas de valeur en fonction de la polarisation et donc pouvant être considérés comme linéaires.

9. Conclusion :

Dans ce dernier chapitre nous avons pu s'introduire et se familiariser avec le logiciel **ADS**. Pour la validation de notre modèle en régime petit-signal, nous avons faits d'abord une représentation des paramètres **S** mesurés et de ceux simulés, puis nous avons fait ensuite une comparaison entre les deux. Les résultats de cette comparaison ont été très satisfaisants et ont une bonne concordance. Ces derniers confirment la précision et l'efficacité de la technique utilisée pour l'extraction des éléments du schéma équivalent.

A la fin de ce chapitre, nous avons représenté les variations des éléments intrinsèques en fonction de la polarisation (V_{gs} , V_{ds}), ainsi, nous avons déduis qu'il y a des éléments qui peuvent être considérés comme éléments linéaires.



Conclusion Générale

Conclusion Générale

Les communications sans fil ne cessent d'intégrer la vie quotidienne moderne. Ces applications font partie intégrale du domaine des radiofréquences (RF), et elles se sont développées grâce au progrès des transistors et de leurs performances. Le transistor **LDMOSFET** est une technologie très prometteuse pour ces applications, car elle présente une faible consommation en puissance, demande de faibles tension de polarisation et ses performances sont suffisamment élevées.

L'objectif principal de ce travail était de se doter d'un modèle linéaire petit signal pour le transistor **LDMOS** de puissance dans le domaine des hyperfréquences. Nous avons choisi d'adopter la technique de modélisation phénoménologique pour sa simplicité et sa rapidité d'extraction des paramètres.

Nous avons aussi expliqué comment extraire les éléments extrinsèques et intrinsèques, à partir de la mesure des paramètres **S** et en utilisant un schéma équivalent.

La comparaison entre la mesure et la simulation du modèle à été faite en utilisant le logiciel **ADS**. Les résultats obtenus en régime petit signal ont donné une très bonne concordance entre la mesure et la simulation, ce qui indique que le schéma équivalent utilisé est très convenable et la méthode d'extraction utilisée est assez efficace et permet une détermination précise des paramètres d'un transistor grâce à sa rapidité et sa simplicité. Cette démarche était indispensable pour arriver à une compréhension globale du fonctionnement de ce transistor et à une modélisation de bonne qualité.

Dans la dernière tâche de ce travail, nous avons présenté les variations des éléments intrinsèques en fonction de la polarisation V_{gs} et V_{ds} . Cela nous a permis de déterminer les éléments intrinsèques non-linéaires du transistor qui sont ; la transconductance g_m , la conductance g_d et la capacité grille-source C_{gs} .

Enfin, nous proposons pour poursuivre et améliorer ce travail, les perspectives suivantes :

- ✓ Cette technique peut être appliquée à d'autres types de transistors (**HEMT, MESFET,...**)
- ✓ Une étude de la sensibilité des éléments du schéma équivalent aux paramètres **S** donnera plus d'information sur la précision du modèle.
- ✓ Essayer d'utiliser d'autres schémas équivalents de la littérature en appliquant la même méthode d'extraction du modèle et faire une étude comparative.
- ✓ Etudier les effets thermiques lors de la conception des circuits, c'est-à-dire l'établissement d'un modèle électrique tenant compte de la température, parce que dans le domaine des télécommunications, la génération de fortes puissances va entraîner un échauffement du transistor.

Annexe

Matrices de passage

Les paramètres sont normalisés par rapport à $Z_c=1$.

	S	Z	Y	H	A
S	$\begin{pmatrix} b_1 \\ b_2 \end{pmatrix} = \begin{pmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{pmatrix} \begin{pmatrix} a_1 \\ a_2 \end{pmatrix}$	$S_{11} = \frac{(Z_{11}-1)(Z_{22}+1) - Z_{12}Z_{21}}{(Z_{11}+1)(Z_{22}+1) - Z_{12}Z_{21}}$ $S_{12} = \frac{Z_{12}}{(Z_{11}+1)(Z_{22}+1) - Z_{12}Z_{21}}$ $S_{21} = \frac{Z_{21}}{(Z_{11}+1)(Z_{22}+1) - Z_{12}Z_{21}}$ $S_{22} = \frac{(Z_{11}-1)(Z_{22}+1) - Z_{12}Z_{21}}{(Z_{11}+1)(Z_{22}+1) - Z_{12}Z_{21}}$	$S_{11} = \frac{(1-Y_{11})(1+Y_{22}) - Y_{12}Y_{21}}{(1+Y_{11})(1+Y_{22}) - Y_{12}Y_{21}}$ $S_{12} = \frac{-2Y_{12}}{(1+Y_{11})(1+Y_{22}) - Y_{12}Y_{21}}$ $S_{21} = \frac{-2Y_{21}}{(1+Y_{11})(1+Y_{22}) - Y_{12}Y_{21}}$ $S_{22} = \frac{(1+Y_{11})(1-Y_{22}) + Y_{12}Y_{21}}{(1+Y_{11})(1+Y_{22}) - Y_{12}Y_{21}}$	$S_{11} = \frac{(h_{11}-1)(h_{22}+1) - h_{12}h_{21}}{(h_{11}+1)(h_{22}+1) - h_{12}h_{21}}$ $S_{12} = \frac{2h_{12}}{(h_{11}+1)(h_{22}+1) - h_{12}h_{21}}$ $S_{21} = \frac{-2h_{21}}{(h_{11}+1)(h_{22}+1) - h_{12}h_{21}}$ $S_{22} = \frac{(h_{11}-1)(h_{22}+1) - h_{12}h_{21}}{(h_{11}+1)(h_{22}+1) - h_{12}h_{21}}$	$S_{11} = \frac{A+B-C-D}{A+B+C+D}$ $S_{12} = \frac{2(AD-BC)}{A+B+C+D}$ $S_{21} = \frac{2}{A+B+C+D}$ $S_{22} = \frac{-A+B-C+D}{A+B+C+D}$
Z	$Z_{11} = \frac{(1+S_{11})(1-S_{22}) - S_{12}S_{21}}{(1-S_{11})(1-S_{22}) - S_{12}S_{21}}$ $Z_{12} = \frac{2S_{12}}{(1-S_{11})(1-S_{22}) - S_{12}S_{21}}$ $Z_{21} = \frac{2S_{21}}{(1-S_{11})(1-S_{22}) - S_{12}S_{21}}$ $Z_{22} = \frac{(1-S_{11})(1+S_{22}) + S_{12}S_{21}}{(1-S_{11})(1-S_{22}) - S_{12}S_{21}}$	$\begin{pmatrix} v_1 \\ v_2 \end{pmatrix} = \begin{pmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{pmatrix} \begin{pmatrix} i_1 \\ i_2 \end{pmatrix}$	$\begin{pmatrix} Y_{22} & -Y_{12} \\ -Y_{21} & Y_{11} \end{pmatrix} \begin{pmatrix} v_1 \\ v_2 \end{pmatrix}$	$\begin{pmatrix} \Delta h & h_{12} \\ h_{22} & 1 \\ -h_{12} & 1 \\ h_{22} & h_{22} \end{pmatrix}$	$\begin{pmatrix} A & \Delta A \\ C & C \\ 1 & D \\ C & C \end{pmatrix}$
Y	$Y_{11} = \frac{(1-S_{11})(1+S_{22}) + S_{12}S_{21}}{(1+Y_{11})(1+Y_{22}) - Y_{12}Y_{21}}$ $Y_{12} = \frac{2S_{12}}{(1+S_{11})(1+S_{22}) - S_{12}S_{21}}$ $Y_{21} = \frac{-2S_{12}}{(1+S_{11})(1+S_{22}) - S_{12}S_{21}}$ $Y_{22} = \frac{(1+S_{11})(1-S_{22}) - S_{12}S_{21}}{(1+Y_{11})(1+Y_{22}) - Y_{12}Y_{21}}$	$\begin{pmatrix} Z_{22} & -Z_{12} \\ -Z_{21} & Z_{11} \\ \Delta h & \Delta h \end{pmatrix}$	$\begin{pmatrix} i_1 \\ i_2 \end{pmatrix} = \begin{pmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{pmatrix} \begin{pmatrix} v_1 \\ v_2 \end{pmatrix}$	$\begin{pmatrix} 1 & h_{12} \\ h_{11} & h_{11} \\ h_{21} & \Delta h \\ h_{11} & h_{11} \end{pmatrix}$	$\begin{pmatrix} D & \Delta A \\ B & B \\ -1 & A \\ B & B \end{pmatrix}$
H	$h_{11} = \frac{(1+S_{11})(1+S_{22}) - S_{12}S_{21}}{(1-S_{11})(1+S_{22}) + S_{12}S_{21}}$ $h_{12} = \frac{2S_{12}}{(1-S_{11})(1+S_{22}) + S_{12}S_{21}}$ $h_{21} = \frac{-2S_{12}}{(1-S_{11})(1+S_{22}) + S_{12}S_{21}}$ $h_{22} = \frac{(1-S_{11})(1-S_{22}) - S_{12}S_{21}}{(1-Y_{11})(1+Y_{22}) + Y_{12}Y_{21}}$	$\begin{pmatrix} \Delta Z & Z_{12} \\ Z_{22} & Z_{22} \\ -Z_{21} & 1 \\ Z_{22} & Z_{22} \end{pmatrix}$	$\begin{pmatrix} 1 & -Y_{12} \\ Y_{11} & Y_{11} \\ Y_{21} & \Delta Y \\ Y_{11} & Y_{11} \end{pmatrix}$	$\begin{pmatrix} v_1 \\ v_2 \end{pmatrix} = \begin{pmatrix} h_{11} & h_{12} \\ h_{21} & h_{22} \end{pmatrix} \begin{pmatrix} i_1 \\ i_2 \end{pmatrix}$	$\begin{pmatrix} B & \Delta A \\ D & D \\ -1 & -C \\ B & B \end{pmatrix}$
A	$A = \frac{(1+S_{11})(1-S_{22}) + S_{12}S_{21}}{2Y_{21}}$ $B = \frac{(1+S_{11})(1+S_{22}) - S_{12}S_{21}}{2Y_{21}}$ $C = \frac{(1-S_{11})(1-S_{22}) - S_{12}S_{21}}{2Y_{21}}$ $D = \frac{(1-S_{11})(1+S_{22}) - S_{12}S_{21}}{2Y_{21}}$	$\begin{pmatrix} Z_{11} & \Delta Z \\ Z_{21} & Z_{21} \\ 1 & Z_{22} \\ Z_{21} & Z_{21} \end{pmatrix}$	$\begin{pmatrix} -Y_{22} & 1 \\ -Y_{21} & Y_{21} \\ -\Delta Y & -Y_{11} \\ Y_{21} & Y_{21} \end{pmatrix}$	$\begin{pmatrix} -\Delta h & -h_{11} \\ h_{21} & h_{21} \\ -h_{22} & -1 \\ h_{21} & h_{21} \end{pmatrix}$	$\begin{pmatrix} v_1 \\ v_2 \end{pmatrix} = \begin{pmatrix} A & B \\ C & D \end{pmatrix} \begin{pmatrix} i_1 \\ i_2 \end{pmatrix}$

Références Bibliographiques

- [1]. **D. MULLER**, « Optimisation des potentialités d'un transistor **LDMOS** pour l'intégration d'amplificateur de puissance **RF** sur silicium », Thèse de Doctorat, Université de Limoges, 2006.
- [2]. **M. GUYONNET**, « Modélisation Electrothermique Non Linéaire de Transistor de puissance **LDMOS** : Application à la Détermination de règles d'Echelle », Thèse de Doctorat, Université de Limoges, 2005.
- [3]. **T. GUESSOUM** et **A. AZZOUZA**, « Modélisation du transistor **MOS** et utilisation en **RF** », Mémoire d'ingénieur, Université de Jijel, 2011.
- [4]. **E. BOUHANA**, « Analyse du comportement petit signal du transistor **MOS** : contribution à une nouvelle approche d'extraction et de modélisation pour des applications **RF** », Thèse de Doctorat de Université Lille, 2007.
- [5]. **S. BENCHARIF** et **H. ROULA**, « Caractérisation électrique et modélisation du transistor **LD-MOSFET** pour les applications **RF** », Mémoire d'ingénieur, Université de Jijel, 2011.
- [6]. **Z. BELAMRI** et **N. BOUGHEDDA**, « Caractérisation hyperfréquences des transistors **LDMOS** », Mémoire d'ingénieur, Université de Jijel, 2010.
- [7]. **M. TAMOUM**, « Caractérisation Fine et Modélisation Non-Linéaire des Transistors **MOSFET** », Thèse de doctorat, université de Ferhat Abbas, Sétif, 2013.
- [8]. **J. J. LIOU** et **F. SCHWIERZ**, « **RF MOSFET**: Recent Advances, Current Statue and Future Trends », *Solid-State Electronics*, Vol. 47, pp. 1.
- [9]. **M. LAHOUAL**, « Etude de caractérisation d'un **MESFET-GaAs** hyperfréquence et application en circuit amplificateur linéaire à faible bruit (**LNA**) en bande étroite autour de 10 GHz en technologie **MMIC** pour les systèmes à communications rapides », Thèse de Magister, Ecole Normale Supérieure d'enseignement technologique, 2009.
- [10]. **M. FERALLE**, « Etude du transport dans les transistors **MOSFETs** contraints : Modélisation Multi-échelle », Thèse de Doctorat, Institut National des sciences Appliquées de Lyon, Juin 2009.
- [11]. **A. SILIGARIS**, « modélisation grande signal de **MOSFET** en hyperfréquences : application à une nouvelle approche d'extraction et de modélisation pour des applications **RF** », Thèse de Doctorat de Université Lille, 2007.
- [12]. **T. GASSELING**, **C. CHARBONNIAUD**, **S. DELLIER**, « Mesures et modélisation des composants électroniques hyperfréquences », *Techniques de L'ingénieur*, In 38, pp. 1-8, Novembre 2005.
- [13]. **S. HNIKI**, « Contribution à la modélisation des dispositifs **MOS** haut tension pour les circuits intégrés de puissance ("Smart Power") », Thèse de Doctorat, Université Toulouse, 2010.

- [14]. **G. DAMBRINE, A. CAPPY, F. HELIODORE et E. PLAYEZ**, « A New Methode for Determining the FET Small-Signal Equivalent Circuit », *IEEE Tran. On MTT*, Vol. 36, No. 7, pp. 1151-1159, July 1988.
- [15]. **A. JARNDAL et G. KOMPA**, « A New Small Signal Modeling Approach Applied to GaN Devices », *IEEE Transactions on microwave theory and Techniques*, Vol. 53, No. 11, pp. 3440-3448, 2005.
- [16]. **C. PAVAGEAU**, « Utilisation des technologies **CMOS SOI 130 nm** pour des applications en gammes de fréquences millimétriques », Thèse de Doctorat, Université des Sciences et Technologies de Lille, 2005.
- [17]. **I. KWON, M. JE, k. LEE et H. SHIN**, « A simple and Analytical Parameter-Extraction Methode of a Microwave MOSFET », *IEEE Transactions on microwave theory and Techniques*, Vol. 50, No. 6, pp.1503-1509, June 2002.
- [18]. **A. SILIGARIS, G. DAMBRINE, D. SCHREURS et F. DANNEVILLE**, « A new Empirical Nonlinear Model for Sub-250 nm Channel MOSFET », *IEEE Microwave and Wireless Components Letters*, Vol. 13, No. 10, pp. 449-451, October 2003
- [19]. **F. AMROUCHE**, « Analyse, conception et réalisation de mélangeurs micro-ondes faible bruit à transistor à effet de champ **HEMT** », Thèse de doctorat, Université de Poitiers, 2004.
- [20]. **M. TAMOUM et R. ALLAM**, « Caractérisation non-linéaire d'un transistor **LD MOSFET** en boîtier », 16^{èmes} Journées Nationales Microondes, Grenoble, France, 27-28-29 Mai 2009.
- [21]. **M. TAMOUM, R. ALLAM et F. DJAHLI**, «Accurate Large- Signal Characterization of **LD MOSFET** Transistor in Package », *Microwave and Optical Technology Letters*, Vol. 53, No. 3, March 2011.
- [22]. **A. GALADI**, « Etude des propriétés physiques et nouvelle modélisation **SPICE** des transistors **FLIMOS** de puissance », Thèse de Doctorat, Université de Toulouse, 2008.
- [23]. **G. DAMBRINE et S. BOLLAERT**, «Composants à Semiconducteurs pour Hyperfréquences», *Technique de l'Ingénieur*, E 2810, pp. 1-23 Novembre 2007.
- [24]. **D. HEO et al.**, «An Improved Deep submicrometer MOSFET RF nonlinear Model with New Breakdown Current Model and Drain-to-Substrate Nonlinear coupling», *IEEE transactions on Microwave theory and techniques*, Vol. 48, No. 12, December 2000.