

République Algérienne Démocratique et Populaire
Ministre de l'Enseignement Supérieur
Et de la Recherche Scientifique
Université Mohamed Seddik Benyahia–Jijel-



Faculté des Sciences et de la Technologie
Département d'électronique
Mémoire de fin d'études pour l'obtention du diplôme de master en
Electronique
Option microélectronique
Thème

Etude de l'impact des paramètres structuraux
sur les caractéristiques électriques d'un
MOSFET-SOI

Encadré par :
Mr.Zigha Chemseddine

Réalisé par :
Benmeriouma Amina
Mimeche Asma



Remerciements

*Avant tout, nous tenons à remercier le bon DIEU
qui illuminé notre chemin et qui nos a armé de courage et
la volonté pour réaliser ce travail.*

Nos remerciements en premier lieu à notre promoteur,

Monsieur ZIGHA CHAmse DINE

*pour son aide, son suivi, ses encouragements et
ses conseils durant notre travail.*

*Enfin, tous ceux qui nous a aidé de près ou de loin, que ce soit par leur
amitié, leurs conseils ou leurs soutien moral, trouveront dans ces quelques
lignes l'expression de notre remerciements les plus vifs.*

À tous, pour tous, Merci



Dédicaces

Mes parents qui me sont les plus chers au monde, dont l'amour

et

Les sacrifices n'ont pas cessé de combler ma vie ;

Que Dieu les protège et les garde pour moi.

Mes frères et sœurs

Toute ma famille.

Toutes les amies durant mes années d'études

Tous ceux que me sont chers

Nous dédions ce travail...

ASMA, AMINA

Remerciement	i
Dédicace	ii
Sommaire	iii
Liste des acronymes	viii
Liste des figures	xiv
Liste des tableaux	xviii
Introduction générale.....	1

Chapitre I: Les bases du transistor MOSFET

I.1. Introduction.....	5
I.2. Transistor à effet de champ (MOSFET)	5
I.2.1. Historique.....	5
I.2.2. Présentation du transistor MOS bulk	6
I.2.3. Les types fondamentaux de MOSFET	6
I.2.3.1. Structure du MOS à appauvrissement canal N	6
I.2.3.2. Structure du MOS à appauvrissement canal P	7
I.2.3.3. Structure du MOS à enrichissement canal N	7
I.2.3.4. Structure du MOS à enrichissement canal P	8
I.3. Principe de fonctionnement d'un transistor MOSFET	8
I.3.1. MOS: état bloqué	9
I.3.2. MOS: état passant	10
I.3.3. MOS: état saturé	10
I.4. Régimes de fonctionnement :.....	11
I.4.1. Courant de drain.....	12
I.4.1.1. Courant de drain en régime faible inversion.....	12

SOMMAIRE

I.4.1.2. Courant de drain en régime forte inversion	13
I.5. Capacité MOS	14
I.6. Comportement dynamique.....	15
I.7. Les effets de la miniaturisation	16
I.7.1. Effets parasites	16
I.7.1.1. Dégradation de la pente sous le seuil	16
I.7.1.2. Effets Canaux Courts	17
I.7.2. Problèmes liés au dopage.....	18
I.8. Conclusion	19
I.9. Bibliographie.....	20

Chapitre II : Dispositif MOSFET SOI

II.1. Introduction	23
II.2. Contexte de l'industrie des semi-conducteurs	23
II.2.1. Applications, marché, acteurs.....	23
II.3. Caractéristiques du transistor MOSFET-SOI.....	25
II.3.1. La technologie SOI.....	25
II.3.2. Les matériaux SOI (substrats)	26
II.3.3. Choix de la technologie	27
II.3.4. Transistor MOSFET SOI.....	28
II.3.5. Les inconvénients de transistor SOI	29
II.3.6. SOI partiellement et entièrement déserté.....	29
II.4. Transistors FDSOI.....	31
II.4.1. Les avantages du transistor FDSOI.....	31
II.4.2. Les caractéristiques de nos plaques FD-SOI	32
II.5. Contrôle de effets canaux courts : pourquoi des films minces ?	32

SOMMAIRE

II.5.1. Impact sur l'électrostatique	33
II.5.2. La variabilité des transistors FDSOI	33
II.6. La tension de seuil dans le transistor FDSOI	34
II.7. Les capacités parasites dans les dispositifs FDSOI	35
II.8. Conclusion	36
II.9. Bibliographies.....	37

Chapitre III : Impact de la température et méthodes d'extractions des paramètres

III.1. Introduction	43
III.2. Effet de température	43
III.2.1. Impact de la température sur les paramètres électriques	43
III.2.1.1. La transconductance	43
III.2.1.2. Tension de seuil V_{th}	44
III.2.1.3. R_{DSon}	44
III.2.1.4. $BVDSS$	44
III.2.1.5. Les courants de fuite	44
III.2.1.6. La mobilité des porteurs	45
III.2.2. Caractérisation de la température de recuit	45
III.3. Étude basse température : FD SOI	46
III.3.1. Mobilité de porteurs de charge	47
III.3.1.1. Collisions avec les phonons	47
III.3.1.2. Collisions sur les centres coulombiens.....	47
III.3.1.3. Collisions sur la rugosité de surface.....	48
III.3.1.4. Combinaison des trois mécanismes de collisions	48
III.3.2. Étude comparative des mobilités entre FD SOI et Silicium massif	49
III.4. Mesures et extractions statiques	52

III.4.1. Mesures en statique	53
III.4.2. La méthode de la fonction Y	53
III.4.3. La méthode Split CV	55
III.5. L'extraction du DIBL	57
III.6. Conclusion.....	59
III.7. Bibliographie	60

Chapitre IV : Simulation numérique des paramètres de transistor FDSOI

IV.1. Introduction	64
IV.2. Présentation du plaquait des programmes SILVACO	64
IV.2.1. L'outil de simulation – Silvaco	65
IV.2.1.1. Les outils de simulation	66
IV.3. Définition de La Structure.....	67
IV.4. Les caractéristiques électriques.....	69
IV.4.1. Caractéristiques IDS-VGS du transistor MOS-bulk et MOS-FDSOI.....	69
IV.5. Les méthodes d'extraction	70
IV.5.1. L'extraction de V_{th}	71
IV.5.2. L'extraction de la mobilité.....	72
IV.5.3. L'extraction du coefficient d'atténuation de la mobilité θ_1	73
IV.6. Impact de la température sur les caractéristiques électriques du transistor FDSOI 28nm.....	75
IV.6.1. Variation du courant de drain $I_{ds}=f(V_{gs})$ à basse température	75
IV.6. 1.1. L'extraction de V_{th} à basse température.....	77
IV.6.1.2. L'extraction de mobilité à basse température	79
IV.6. 1.3. L'extraction de L'atténuation de la mobilité à basse température	80
IV.6.2. Variation du courant de drain $I_{ds}=f(V_{ds})$ à basse température	81

SOMMAIRE

IV.7. Effet de la Variation des paramètres structuraux du transistor FDSOI sur le courant IDS à basse température	81
IV.7.1. Effet de la Variation de la longueur de la grille sur le courant IDS	82
IV.7.2. Effet de la Variation de l'épaisseur de l'oxyde de grille sur IDS	84
IV.7.3. Effet de la Variation de l'épaisseur de l'oxyde enterré sur IDS	85
IV.7.4. Effet de la Variation de l'épaisseur de silicium sur IDS	86
IV.7.5. Effet de la Variation de la concentration ND sur le courant IDS	88
IV.7.6. Effet de la Variation de la concentration NA sur le courant IDS	89
IV.8. Comparaison des Paramètres électriques d'un transistor FDSOI 28nm et transistor FDSOI 14nm	91
IV.8.1. La comparaison des Courants de drain (I_d)	92
IV.8.2. La comparaison des tensions de seuil	92
IV.8.3. La comparaison des Transconductances G_m	93
IV.8.4. La comparaison de la mobilité et facteur d'atténuation μ_0	94
IV.8.5. La comparaison du DIBL	94
IV.9. Conclusion	96
IV.10. Bibliographie	97
Conclusion générale	98
Résumé	

Liste des acronymes

Liste des acronymes

A

A Paramètre des interactions coulombiennes

B

Bulk Transistor sur silicium massif

BOX Oxyde enterré

BP Plan de masse (Back Plane)

BV_{dss} Tension d'avalanche

C

CMOS Transistors Métal-Oxyde-Semi-conducteur complémentaires

C_{ox} Capacité de l'oxyde

C_{dep} Charge de déplétion dans le canal

C Capacité thermique

C_{GS} Capacité Grille Source

C_{GD} Capacité Grille Drain

C_{tot} Capacité totale

C_{gb} Capacité grille/substrat

C_{gc} Capacité due au canal

C_{ov} Capacité 'Overlap'

C_{par} Capacités parasites

C_{inv} Capacité associée à la charge d'inversion

CI Circuit intégré

D

DIBL Drain Induced Barrier Lowering

DG_{FET} Transistor double –grille

E

E_F Niveau d'énergie de Fermi

Liste des acronymes

E_i	Energie intrinsèque
E_g	Largeur de la bande interdite
ETSOI	Extremely thin SOI
E_g	Energie de la bande interdite du semi-conducteur (« gap »)
E_{eff}	champ électrique transversal effectif

F

FDSOI	Fully Depleted Silicon On Insulator
FinFET	Fin (shaped) Field Effect Transistor

G

G_m	Transconductance
GP	Ground Plane

H

high-k	Diélectrique ayant une haute permittivité
--------	-------------------------------------------

I

I_{OFF}	Courant de drain à l'état bloqué du transistor
I_{ON}	Courant de drain à l'état passant du transistor
I_D	Courant de drain
I_{GD}	Courant tunnel entre la grille et le drain
I_{GS}	Courant tunnel entre la grille et la source
I_{GSS}	La fuite entre grille et source
I_{Dsat}	Courant de drain de saturation
I_{Th}	Courant de seuil

Liste des acronymes

I_{ds} Courant drain source

K

k Constante de Boltzman

L

L_{EFF} Langueur effective de canal

L Langueur du canal

L_{eff1} Langueur effectif face avant

L_{eff2} Langueur effectif face arrière

L_{par} Langueur du a la capacité parasite

M

MOS Métal oxyde semi-conducteur

N

N_A Concentration des dopants accepteurs

N_D Concentration des dopants donneurs

N_i Concentration intrinsèque des porteurs

N_{cs} Concentration de charges de surface

N_{inv} Densités de charges des zones d'inversion

N_{dep} Densités de charges des zones de déplétion respectivement

P

PDSOI Partially-Depleted SOI

Q

Q_{inv} Charge d'inversion

Liste des acronymes

q	Charge électrique élémentaire absolue
R	
RDF	Random Dopant Fluctuation
R_{VT}	Regular de la tension de seuil
r	Coefficient de couplage capacitif entre la grille avant et la grille arrière
R_{sd}	Résistance série source-drain
R_d	Résistance d'avalanche
R_{Dson}	Résistance drain source a l'état ON
S	
SOI	Silicon On Insulator
SCE	Short Channel Effects
S	Pente sous le seuil
SOS	Silicon-On-Sapphire
SiO_2	Oxyde de Silicium.
SILVACO	Silicon Valley Corporation
T	
T	Température
T_{si}	Épaisseur de silicium
T_{ox}	Épaisseur d'oxyde
TCAD	Technology Computer Aided Design
TDEP	profondeur de déplétion
T_{iN}	nitride de titane

Liste des acronymes

U

UTBB	Ultra-Thin Body and BOX
U_{EFF}	Mobilité effective des porteurs

V

V_{th}	Tension de seuil
$V_{th,lin}$	Tension de seuil en régime linéaire
$V_{th,sat}$	Tension de seuil en régime saturé
V_D	Tension de drain
V_{Dsat}	Tension de drain de saturation
V_{FB}	Tension de bandes plates
V_{DD}	Tension d'alimentation
V_{DS}	Tension entre le drain et la source
V_{GS}	Tension entre la source et la grille
V_1	Tensions de polarisation du drain en linéaire
V_2	Tensions de polarisation du drain en saturée
V_g	Polarisation de la grille normalisée
V_d	Polarisation du drain normalisée
V_{BS}	Tensions bulk substrat
VLSI	Very Large Scale Integration.
VWF	Virtual Wafer Fabrication
V_{gacc}	potentiel de grille en accumulation

W

W	largeur du canal
W_{EFF}	Largeur effective de canal

Liste des acronymes

Z

ZCE	Zone de charge d'espace
ZTC	Zéro température coefficient
Φ_F	Potentiel de Fermi
Φ_m	Travail de sortie de métal
Φ_s	Travail de sortie de silicium
ϵ_r	Permittivité relative
ϵ_s	Permittivité de silicium
ϵ_{ox}	Permittivité d'oxyde
θ_1	Premier facteur d'atténuation de mobilité
χ	Coefficient en température de la tension de claquage
μ_0	Mobilité à faible champ électrique
μ_{sr}	Collisions sur les rugosités de surface
μ_n	Mobilité des électrons
μ_{ph}	Collisions avec les phonons
μ_{cs}	Collisions sur les centres coulombiens
μ_{eff}	Mobilité effectif
$\Delta\Psi_s$	Variation du potentiel de la surface
ΔV_{th}	Variation de la tension de seuil
$\Delta\Phi_m$	Variation du potentiel de surface dans le métal
$\Delta\Phi_{Bp}$	Variation du potentiel back plane

Listes des figures

Figure I. 1: Représentation schématique d'un transistor nMOS sur silicium massif.	6
Figure I. 2: MOS à appauvrissement canal N.	7
Figure I. 3: MOS à appauvrissement canal P.	7
Figure I. 4: MOS à appauvrissement canal P.	8
Figure I. 5: MOS à enrichissement canal N.	8
Figure I. 6: Effet de champ dans un transistor MOS.	9
Figure I. 7: état bloqué de transistor MOS.	9
Figure I. 8: état passant de de transistor MOS.	10
Figure I. 9: état saturé de transistor MOS.	10
Figure I. 10: Diagrammes de bandes d'énergie du système Métal-Oxyde-Semi-conducteur à canal N : (a) bandes plates, (b) accumulation, (c) déplétion ou faible inversion et (d) forte inversion.	11
Figure I. 11: Capacité MOS.	14
Figure I. 12: Localisation des différentes capacités parasites du MOSFET et schéma équivalent	15
Figure I. 13: Les effets parasites causés par la miniaturisation du MOSFET.	16
Figure I. 14: Mise en évidence de la pente sous seuil.	17
Figure I. 15: Principe de l'abaissement de la barrière de potentiel du à la réduction de la longueur de la grille du transistor.	18
Figure II. 1: Evolution du marché des semi-Conducteurs par région depuis 1990.	24
Figure II. 2: Part de marché des dix plus grosses entreprises de semi-conducteurs.	24
Figure II. 3: Augmentation des coûts de fabrication d'une usine CMOS (inset) et diminution du nombre d'entreprises capable de fabriquer un nœud CMOS.	25
Figure II. 4: Vue de profile du substrat silicium sur isolant.	26

Figure II. 5: Vues en coupe d'un (a) transistor sur silicium massif, (b) transistor partiellement déserté, (c) transistor totalement déserté avec un BOX épais et d'un transistor totalement déserté (d) avec un BOX mince.....	27
Figure II. 6: Structure d'un transistor (simple grille) SOI de type-n.....	28
Figure II. 7: Influence électrostatique sur le SOI à une grille	29
Figure II. 8: Schéma de principe d'un transistor SOI.	30
Figure II. 9: Diminution du DIBL pour les faibles épaisseurs de silicium et pour différentes longueurs de grille.....	33
Figure II. 10: Augmentation des résistances d'accès (RSD) avec la diminution de t_{Si}	33
Figure II. 11: Évolution des capacités parasites en fonction de la tension de grille sur des dispositifs FD SOI avec $W=1 \mu m$ et $T_{Box}=145 nm$ (HfO_2/TiN).....	36
Figure II. 12: Illustration des différentes capacités présentes sur la structure FD SOI.....	37
Figure III. 1: Dépendances empiriques de la mobilité effective associée à chaque mécanisme en fonction du champ effectif et de la température.....	49
Figure III. 2: (a) Mobilité split CV pour des structures nMOS silicium massif vs FD SOI ($T_{Si}=8 nm$, $T_{box}=25 nm$ $Hf SiON/TiN$), (b) Mobilité split CV pour des structures pMOS silicium massif vs FDSOI ($T_{Si}=8 nm$, $T_{box}=25 nm$ $HfSiON/TiN$).....	50
Figure III. 3: (a) Comparaison des mobilités à faible champ entre Bulk et SOI pour nMOS, (b) Comparaison des mobilités à faible champ entre Bulk et SOI pour pMOS.	50
Figure III. 4: Évolution de la mobilité à faible champ pour Bulk et FD SOI n&pMOS avec un 'fit' des mesures ($L_g=45 nm$, $T_{Si}=8 nm$, $T_{box}=25 nm$).....	51
Figure III. 5: (a) Contribution des composantes de la mobilité en fonction de la température pour un nMOS FD SOI vs Bulk 45 nm. (b) Contribution des composantes de la mobilité en fonction de la température pour un pMOS FD SOI vs Bulk 45 nm.....	51
Figure III. 6: Diagramme qui illustre les étapes nécessaires pour extraire les paramètres électrique	53

Figure III. 7: caractéristique de la fonction Y pour batterie de transistors de technologie 45nm sans poches un oxyde de silicium nitrurée.....	54
Figure III. 8: (a) Figure illustrant le schéma de connexion du transistor pour la mesure de la capacité grille-canal C_{gc} . (b) courbe de la capacité C_{gc} et la charge d'inversion Q_{inv} normalisées pour un dispositif FD SOI.	55
Figure III. 9: Figure de comparaison entre les courbes de mobilité extraite par la méthode split CV et la fonction Y.	56
Figure III. 10: mobilité effective en fonction de la tension face arrière V_B (-10 à 10 V avec un pas de 1 V).....	57
Figure III. 11: Illustration de l'effet du DIBL sur les courbes de courants $I_d(V_g)$ sur les canaux longs et courts.	58
Figure III. 12: Évolution du DIBL avec la longueur de grille et pour deux épaisseurs de Box pour NMOS et PMOS.....	58
Figure IV. 1: Organigramme de la structure VWF	65
Figure IV. 2: Différents niveaux d'abstraction.	66
Figure IV. 3: Diagramme de la simulation numérique de Silvaco.....	67
Figure IV. 4: Structure 2D du FDSOI (atlas).	68
Figure IV. 5: Structure FDSOI, Profil de dopage dans les différentes régions du dispositif, $L=28\text{nm}$, $t_{ox}=2\text{ nm}$	68
Figure IV. 6: Caractéristiques de transfert $I_{DS}-V_{GS}$, (a) MOS-FDSOI, (b) MOS-bulk.....	69
Figure IV. 7: Transconductance en fonction de la tension de grille (a) MOS-FDSOI, (b) MOS-bulk.....	70
Figure IV. 8: La fonction Y en fonction de la tension de grille(a) MOS-FDSOI, (b) MOS-bulk.....	71
Figure IV. 9: illustration de la fonction $Y(V_G)$ avec extrapolation de V_{Th} (a) MOS-FDSOI, (b) MOS-bulk.....	72

Figure IV. 10: illustration de la fonction $Y(VG)$ avec extraction de SY (a) MOS-FDSOI, (b) MOS-bulk.	72
Figure IV. 11: illustration de la fonction $Y(VG)$ avec extraction de SX (a) MOS-FDSOI, (b) MOS-bulk.	74
Figure IV. 12: Variation de la caractéristique $I_{ds}=f(V_{gs})$ pour différentes températures.	75
Figure IV. 13: Transconductance en fonction de la tension de grille pour le transistor FDSOI.	76
Figure IV. 14: illustration de la fonction $Y(VG)$ avec extrapolation de V_{th} pour différentes températures : (a) $T=235k$, (b) $T=250k$, (c) $T=275k$	77
Figure IV. 15: Variation de la tension de seuil en fonction de la température.	78
Figure IV. 16: illustration de la fonction $Y(VG)$ avec extraction de SY pour différentes températures.	79
Figure IV. 17: Variation de l'atténuation de la mobilité en fonction de la température.	80
Figure IV. 18: Variation de la caractéristique $I_{ds}=f(V_{ds})$ avec différent température.	81
Figure IV. 19: caractéristique $I_{DS}-V_{GS}$ pour différentes valeurs de la longueur de grille en fonction de température : (a) $T=235k$, (b) $T=250k$, (c) $T=275k$	83
Figure IV. 20: Variation de la tension de seuil en fonction de la longueur L_g avec différent température.	83
Figure IV. 21: caractéristique $I_{DS}-V_{GS}$ pour différentes épaisseur de l'oxyde de grille en fonction de température : (a) $T=235k$, (b) $T=250k$, (c) $T=275k$	84
Figure IV. 22: Caractéristique $I_{DS}-V_{GS}$ pour différentes valeurs de l'épaisseur d'oxyde enterré en fonction de température : (a) $T=235k$, (b) $T=250k$, (c) $T=275k$	89
Figure IV. 23: caractéristique $I_{DS}-V_{GS}$ pour différentes valeurs de l'épaisseur de silicium en fonction de température : (a) $T=235k$, (b) $T=250k$, (c) $T=275k$	87
Figure IV. 24: Variation de la tension de seuil en fonction de l'épaisseur de silicium avec différente température.	87
Figure IV. 25: Caractéristique de transfert $I_{DS}-V_{GS}$ pour différentes concentrations N_D en fonction de température : (a) $T=235k$, (b) $T=250k$, (c) $T=275k$	89

Figure IV. 26: Caractéristique de transfert IDS-VGS pour différentes concentrations NA en fonction de température : (a) T=235k, (b) T=250k, (c) T=275k.....	90
Figure IV. 27: Structure 2D du FDSOI pour Lg=14nm (atlas).....	91
Figure IV. 28: Comparaison des courants des transistors FDSOI 14nm et 28nm.	92
Figure IV. 29: Comparaison des tensions de seuil des transistors FDSOI 14nm et 28nm.....	92
Figure IV. 30: Comparaison des tensions de seuil des transistors FDSOI :(a)14nm et (b) 28nm.....	93
Figure IV. 31: Comparaison des transconductances des transistors FDSOI 14nm et 28nm.....	93
Figure IV. 32: Mise en évidence du DIBL pour FDSOI 28nm.....	94
Figure IV. 33: Mise en évidence du DIBL pour FDSOI 14nm.....	95

Liste des tableaux

Tableau II. 1: comparaison de quelques caractéristiques électrique d'un FD et PD SOI avec un MOSFET sur silicium massif. N : neutre, + : meilleur, - : plus.....	33
Tableau IV. 1: Résumé des valeurs adaptées pour les simulations de la structure étudiée....	69
Tableau IV. 2: Comparaison de la mobilité entre le transistor MOS-FDSOI et MOS-bulk.....	73
Tableau IV. 3: Comparaison du premier facteur d'atténuation entre le transistor MOS- FDSO et MOS-bulk.....	74
Tableau IV. 4: Variation de la mobilité en fonction de la température.....	79
Tableau IV. 5: Variation de l'atténuation de la mobilité en fonction de la température.....	80
Tableau IV.6: Comparaison de la mobilité entre 28 nm et 14 nm pour le transistor FDSOI.....	94

Introduction générale



Introduction

La microélectronique est un secteur industriel extrêmement concurrentiel représentant un chiffre d'affaire de 250 milliards d'euros en 2011. Cette industrie repose sur le transistor MOS (pour Métal- Oxyde-Semi-conducteur) à effet de champ. Il sert de base pour le développement de circuits intégrés, qui sont eux-mêmes utilisés pour de nombreuses applications telles que l'informatique, la téléphonie mobile, la photographie numérique, les consoles de jeux, l'automobile, l'aérospatiale, et bien d'autres.

Cependant, depuis les nœuds technologiques inférieurs à 100nm, les transistors MOS sur silicium massif sont confrontés à une dégradation de leurs caractéristiques électriques qui a pour conséquence de freiner la miniaturisation de ses dimensions. En effet, en raison des géométries proches de l'échelle atomique, de nombreux phénomènes physiques parasites apparaissent. Ceux-ci ont pour conséquence de dégrader le comportement des transistors, rendant les circuits sensibles aux phénomènes de fluctuations des procédés de fabrication et peu efficaces au niveau énergétique. Pour pallier aux limites de cette technologie, de nombreuses solutions technologiques et de conception ont été développées. Ces innovations ont permis de maintenir la technologie sur silicium massif attractive jusqu'au nœud 32nm. Pour les nœuds inférieurs, cette technologie fait aujourd'hui face à un vrai mur causé par la dégradation de l'électrostatique des transistors, l'empêchant de répondre aux besoins agressifs du marché actuel.

Pour un compromis haute vitesse et basse consommation, les principaux acteurs de la microélectronique ont été contraints de se tourner vers de nouvelles technologies. Ainsi, Intel a officiellement annoncé le 4 mai 2011 la mise en production de transistors MOS de type FinFET pour le nœud technologique 22 nm. D'autres sociétés, telles que STMicroelectronics, se sont quant à elles orientées vers des transistors MOS de type FDSOI sur oxyde enterré (BOX) mince dès le nœud 28 nm. Ces transistors à film mince offrent un meilleur contrôle électrostatique de la grille sur le canal, améliorant ainsi la pente sous le seuil et les effets canaux courts. Il en résulte un courant de saturation plus élevé, à courant statique égal, ce qui leur permet d'atteindre des vitesses de commutation bien supérieures. De plus, l'utilisation d'un film mince non dopé offre à ces transistors moins de fluctuations au niveau de la tension de seuil, permettant ainsi d'atteindre une tension minimale de fonctionnement globale plus faible. Cet aspect est essentiel dans une optique de réduction de la consommation d'un circuit.

Afin de quantifier les avantages et inconvénients de ces nouveaux dispositifs (FDSOI), il est indispensable de pouvoir les caractériser électriquement et modéliser le comportement de

Introduction générale

leurs paramètres électriques avec la réduction des dimensions et les variations de températures.

Dans le premier chapitre, nous présentons les bases du transistor à effet de champ sur silicium massif dit ‘ MOSFET bulk’, les modes et les différents régimes de fonctionnement, ainsi que les problèmes engendrés par sa miniaturisation.

Dans le deuxième chapitre, nous allons proposer une solution d’un effet des substrats indésirables de transistor sur silicium massif dit ‘la technologie SOI’, Nous présenterons, ensuite, les détails de cette architectures (SOI), les procédé de fabrication, les avantages et les inconvénients.

Le troisième chapitre est consacré à l’étude de l’impact de la température sur les paramètres du transistor FDSOI. Les principales procédures d’extraction des paramètres basées sur des mesures courant-tension dont la méthode dite « Fonction Y », principale méthode employée lors de ce travail, seront décrites.

Enfin le quatrième chapitre est consacré à la présentation des résultats de simulation des paramètres électriques du transistor FDSOI pour le nœud technologique 28 nm, ainsi que l’impact des basses températures, une comparaison avec le nœud technologique 14nm sera aussi faite en utilisant TCAD de SILVACO. Nous présenterons aussi les résultats obtenus sur le comportement des principaux paramètres électriques, extraits sur ces dispositifs via des mesures courant-tension par la méthode «Fonction Y » en fonction de la réduction de la longueur de grille.

Enfinement nous concluons sur les principaux résultats.

Chapitre I: Les bases du transistor MOSFET



I.1. Introduction

Le transistor MOSFET est considéré jusqu'à présent comme étant le plus important dispositif de l'industrie des circuits intégrés (CI). Sa taille n'a cessé de décroître d'un facteur de 2 tous les deux ans respectant ainsi la loi de Gordon Moore. Sa consommation est elle aussi en continuelle décroissance pour chaque nouvelle génération de transistors conçus.

Avec cette demande de plus en plus importante de dispositifs à plus grande vitesse, plus faible consommation et plus forte densité d'intégration, la taille du transistor n'a cessé de décroître passant ainsi de quelques micromètres à quelques nanomètres. C'est ainsi que le transistor MOSFET conventionnel a atteint ses limites physiques conduisant à la recherche de technologies alternatives, car avec la réduction considérable de sa géométrie, des effets indésirables connus sous le nom d'effets canaux courts apparaissent altérant son bon fonctionnement le rendant inopérable telle qu'il fut conçu au départ [1]. Ces effets viennent limiter les gains de performances apportés à chaquenouvelle génération. La réalisation d'un transistor MOS se complexifie et nécessite l'introduction d'un nombre croissant d'innovations technologiques et d'étapes de fabrication. Toutes ces étapes et complications augmentent donc le coût et la durée de mise au point des nouvelles générations de technologie CMOS et limitent leurs performances [2].

I.2. Transistor à effet de champ (MOSFET)

I.2.1. Historique

Le principe de fonctionnement du transistor (MOSFET) métal oxyde semi-conducteurs à effet de champ a été décrit pour la première fois par Lilienfeld en 1930 [3]. En décembre 1947, John Bardeen et Walter H. Brattain réalisaient le premier transistor en germanium[4]. Avec William B. Shockley le transistor à jonction et la théorie associée sont développées aux Bell Laboratoires en 1951. En 1958, Jack Kilby invente le circuit intégré en fabriquant cinq composants sur le même substrat [5]. C'est en 1960 que Kahng et Attala ont présenté le premier transistor MOS sur Silicium qui reste aujourd'hui le semi-conducteur généralement le plus utilisé, vu la qualité inégalée de l'interface créée par le silicium et l'oxyde de silicium (SiO_2), qui sert d'isolant. Peu après, l'élaboration de la technologie CMOS assura le futur commercial et technologique du MOSFET en électronique intégrée (mémoires, microprocesseurs, circuits logiques) grâce à une géométrie simple et une consommation pouvant être très faible.

I.2.2. Présentation du transistor MOS bulk

Le Transistor à Effet de Champ à Métal Oxyde Semi-conducteur (MOSFET : Metal Oxyde Semi-conducteur Field Effect Transistor) a sa grille isolée du canal par une couche de dioxyde de silicium (SiO_2).

Le transistor MOS possède 4 électrodes : la Source (Source) S: point de départ des porteurs, le Drain (Drain) D : point de collecte des porteurs. La Grille (Gate) G et le Substrat (Body) B sont les électrodes de la capacité MOS qui contrôle le nombre de porteurs présents dans le canal.

L'intensité du courant circulant entre la source et le drain est commandée par la tension entre la grille du substrat. Très souvent les électrodes de source et du substrat sont électriquement reliées, on retrouve un composant à 3 électrodes dans lequel le courant entre le Drain et la Source I_{DS} est commandé par une tension entre la Grille et la Source (potentiel de source = potentiel de substrat) : V_{GS} [6].

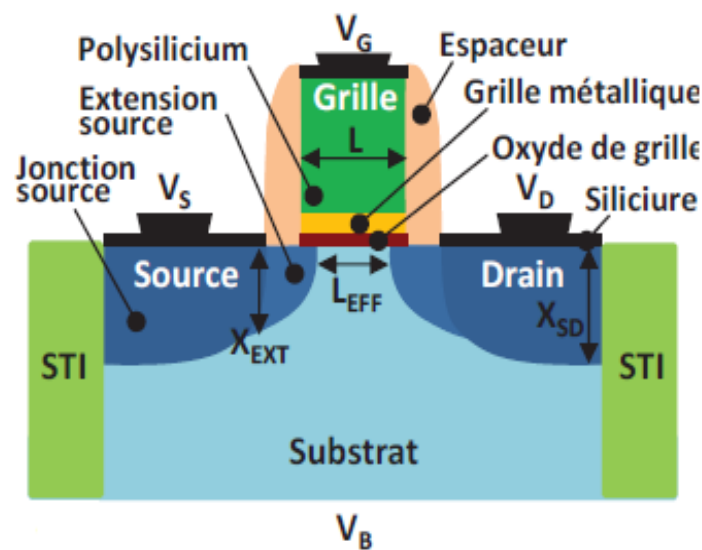


Figure I. 1: Représentation schématique d'un transistor nMOS sur silicium massif[5].

I.2.3. Les types fondamentaux de MOSFET

I.2.3.1. Structure du MOS à appauvrissement canal N

Dans le D-MOSFET, le drain et la grille sont reliés par un canal étroit du même type : N pour D-MOSFET canal N. Dans le cas du D-MOSFET canal N, si on applique une tension négative sur la grille par rapport au substrat, les électrons sont repoussés et la conductivité du canal diminue.

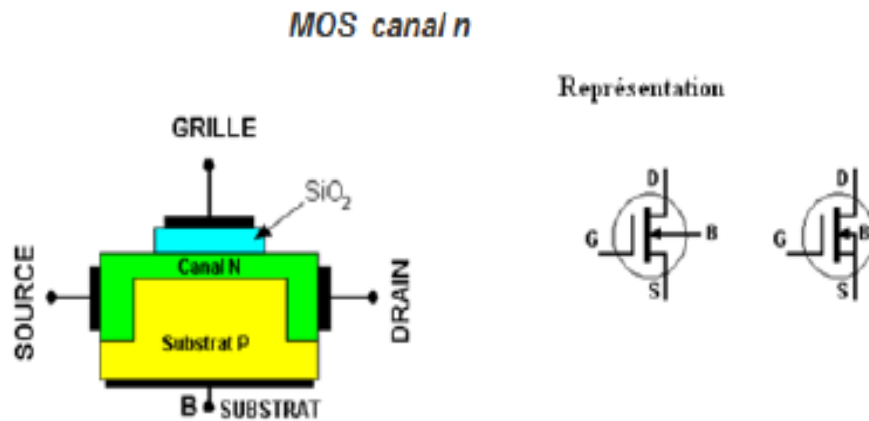


Figure I. 2: MOS à appauvrissement canal N.

I.2.3.2. Structure du MOS à appauvrissement canal P

Dans le D-MOSFET, le drain et la grille sont reliés par un canal étroit du même type : P pour D-MOSFET canal P. Dans le cas du D-MOSFET canal P, si on applique une tension positive sur la grille par rapport au substrat, les trous sont repoussés et la conductivité du canal diminue.

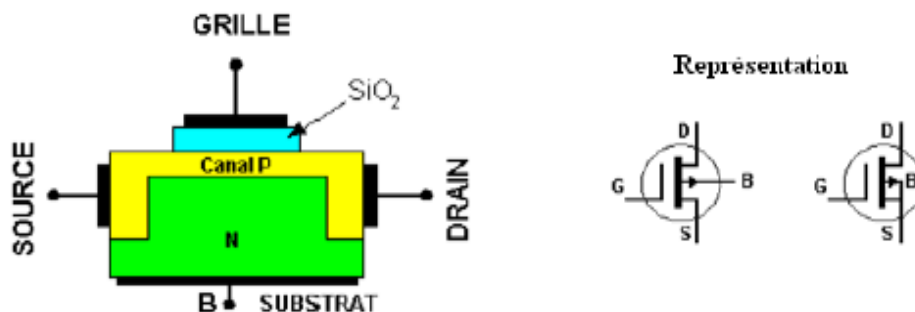


Figure I. 3: MOS à appauvrissement canal P.

I.2.3.3. Structure du MOS à enrichissement canal N

En appliquant une tension positive sur la grille, on attire les électrons à l'interface isolant-semi-conducteur et on repousse les trous. A partir d'une certaine valeur : tension de seuil V_{th} (*Threshold Voltage*), une couche d'inversion apparaît et le transistor devient de plus en plus passant.

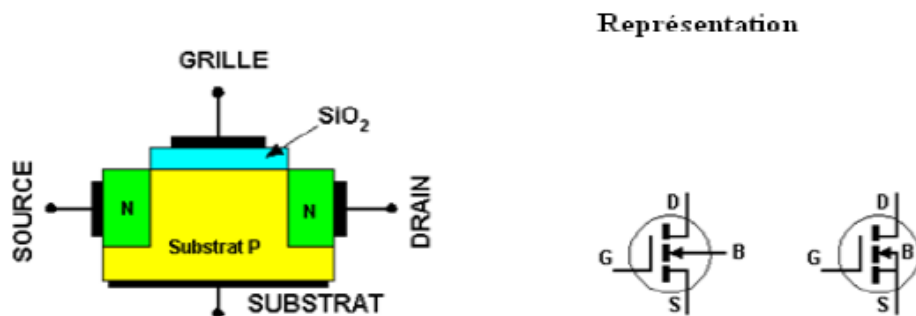


Figure I. 4: MOS à enrichissement canal P.

I.2.3.4. Structure du MOS à enrichissement canal P

Dans le cas du E-MOSFET canal P, si on applique une tension négative sur la grille par rapport au substrat, les électrons sont repoussés et les trous minoritaires sont attirés. A partir d'une certaine valeur : tension de seuil V_{th} (*Threshold Voltage*), une couche d'inversion apparaît et le transistor devient de plus en plus passant.

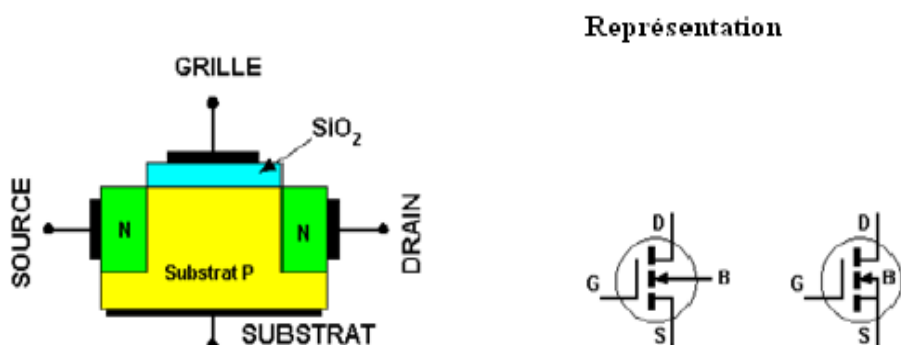


Figure I. 5: MOS à enrichissement canal N.

Les transistors MOS à enrichissement sont bloqués sans tension de commande sur la grille (**NORMALLY OFF**), ils deviennent passants à partir d'une certaine tension de grille V_{th} . Plus $|V_{GS}| > |V_{th}|$, plus le E-MOS devient passant [6].

I.3. Principe de fonctionnement d'un transistor MOSFET

Le principe du transistor MOS consiste à moduler la densité de porteurs du canal en jouant sur la polarisation de grille (V_{gs}). Celle-ci permet, par le biais du champ électrique ainsi créé, d'attirer une quantité de porteurs à la surface du semi-conducteur. Une couche conductrice se forme alors à ce niveau et permet la libre circulation d'un courant (I_{ds}), sous

réserve de l'application d'un champ électrique (i.e. d'une tension V_{ds}). Cette couche conductrice est appelée « couche d'inversion » ou parfois « canal » [7,8].

La figure I.6 illustre l'effet de champ dans un transistor MOS schématisé :

- l'une des électrodes (grille G) commande l'intensité du champ électrique et par conséquent la densité de charges électriques mobiles.
- l'autre (canal) possède deux contacts (dits de source S et de drain D) à ses extrémités, entre lesquels est appliquée une différence de potentiel.

Le canal conduit plus ou moins de courant en fonction de son niveau de remplissage en charges mobiles. De ce fait, le transistor MOS peut aussi être considéré comme une résistance modulable électro statiquement et reliant deux contacts (source et drain).

En résumé, un transistor MOS (TMOS) peut être considéré comme une capacité plane, à la différence près que les charges d'une des faces sont mises en mouvement latéral. Dans cette structure, la tension de grille (V_g) commande la quantité de charges et la tension de drain (V_d) qui les met en mouvement.

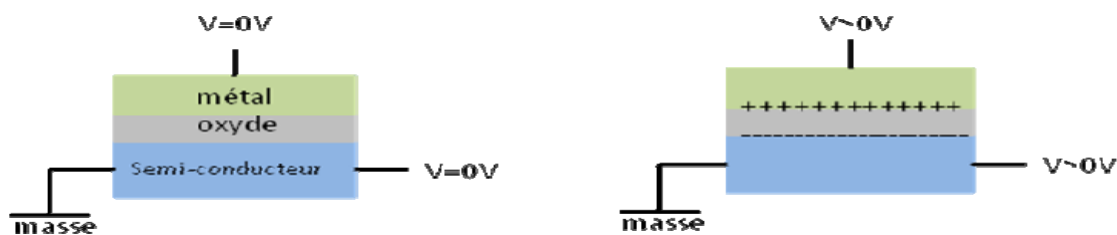


Figure I. 6: Effet de champ dans un transistor MOS.

I.3.1. MOS: état bloqué

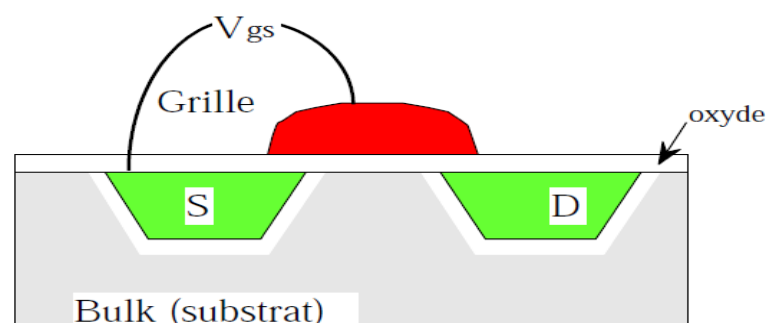


Figure I. 7: état bloqué de transistor MOS.

Si V_{gs} est inférieur à V_{th} (tension de seuil dépendant du dopage et de l'épaisseur d'oxyde) le transistor est bloqué Sa conduction extrêmement faible est exploitée en micropuissance.

I.3.2. MOS: état passant

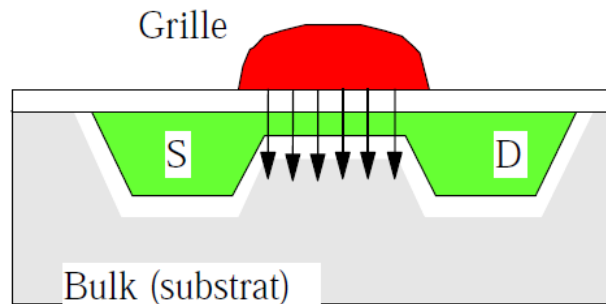


Figure I. 8: état passant de de transistor MOS.

Si V_{gs} est supérieur à V_{th} (tension de seuil) le transistor conduit Les charges positives sont repoussées vers le bas et les charges négatives (électrons) attirées vers le haut s'accumulent sous la grille.

Il y a inversion, et création d'un canal. Si le champ augmente, la densité de charges augmente et la profondeur du canal augmente également. Les charges disponibles croissent comme le carré du champ.

I.3.3. MOS: état saturé

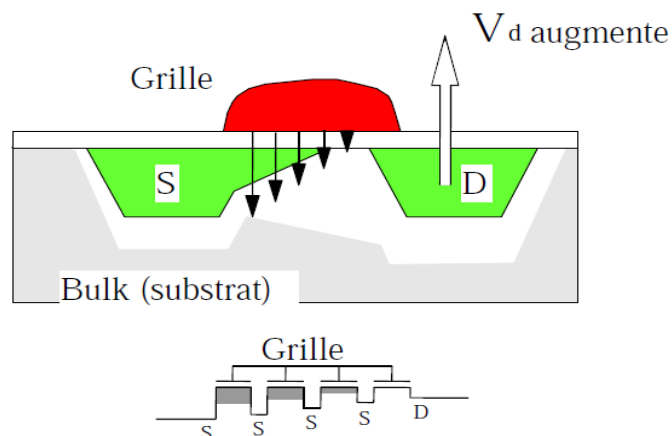


Figure I. 9: état saturé de transistor MOS.

Si V_d augmente trop alors V_{gd} devient inférieur à V_{th} alors le MOS se bloque du côté du drain. Plus V_d augmente, plus la résistance du MOS augmente. Le courant reste alors constant. On dit que le MOS sature [9].

I.4. Régimes de fonctionnement

L'application d'un potentiel électrique sur la grille modifie les courbures de bandes d'énergie du semi-conducteur. La figure I.10 représente un diagramme de bande d'énergie d'un transistor nMOSFET dans le régime des bandes plates et dans le régime accumulation, désertion, inversion faible et inversion forte.

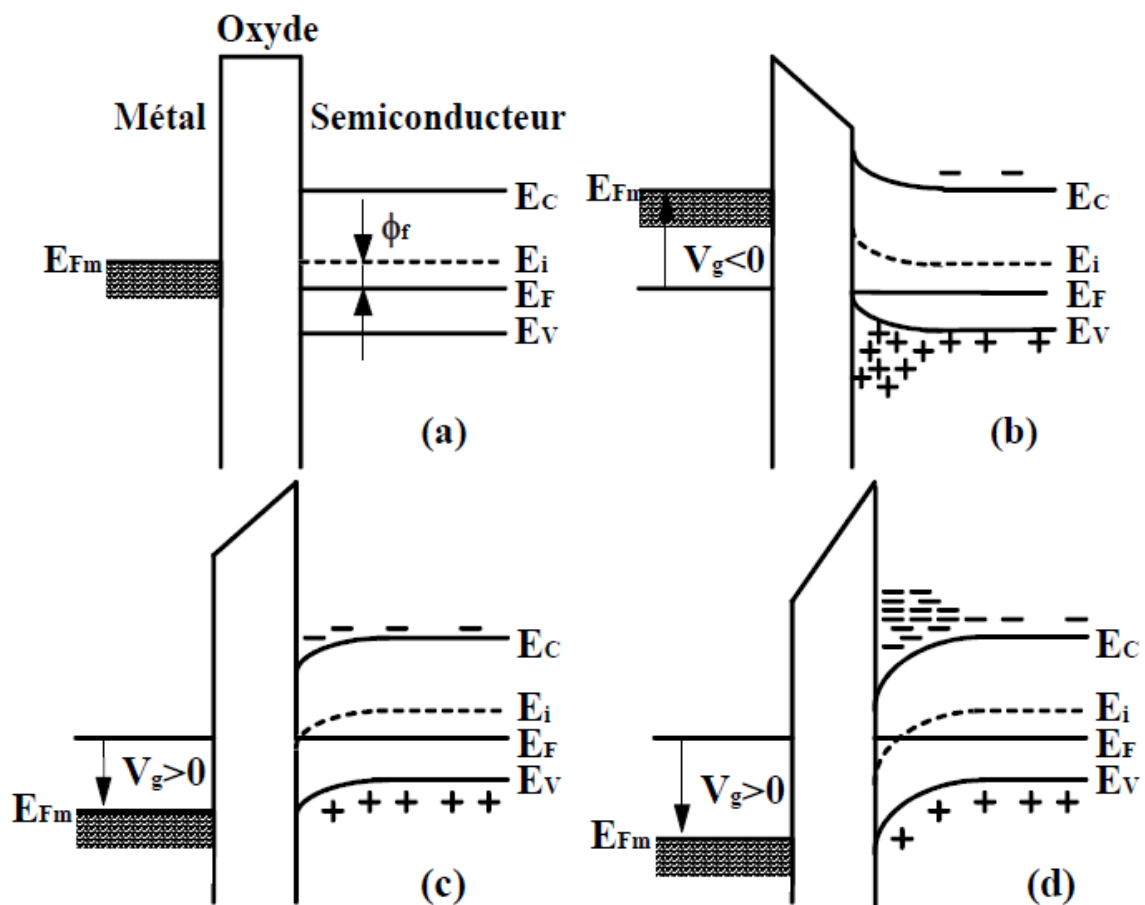


Figure I. 10: Diagrammes de bandes d'énergie du système Métal-Oxyde-Semi-conducteur à canal N : (a) bandes plates, (b) accumulation, (c) déplétion ou faible inversion et (d) forte inversion.

Le niveau de Fermi est donné par : $E_F = E_i - q\phi_f$ le potentiel de Fermi ϕ_f est donné par l'équation suivante dans le cas d'un dopage modéré :

$$\phi_f = \frac{KT}{q} \cdot \ln \frac{N_A}{n_i} \quad (I.1)$$

K est la constante de Boltzmann, T est la température, q est la charge élémentaire et n_i est la concentration intrinsèque de porteurs dans le matériau.

En fonction de la polarisation de la grille, on distingue différents régimes, séparés par deux valeurs, celle de la tension de bandes plates V_{FB} ($\Psi_s = 0$) et celle de la tension de seuil V_{th} ($\Psi_s = 2\Phi_f$):

- régime d'accumulation ($\Psi_s < 0$, $V_{GS} < V_{FB}$): dans ce cas, les porteurs majoritaires (trous) sont attirés à l'interface oxyde/semi-conducteur. Ils y sont encore plus nombreux que dans le volume.
- régime de déplétion ($0 < \Psi_s < \Phi_f$, $V_{th} < V_{GS} < V_{FB}$): dans ce cas, les porteurs majoritaires (trous) sont repoussés de l'interface. Il se crée ainsi une zone de charge d'espace, chargée par les impuretés ionisées fixes (dopants, accepteurs) et désertée en porteurs mobiles.
- régime d'inversion faible ($\Phi_f < \Psi_s < 2\Phi_f$, $V_{FB} < V_{GS} < V_{th}$) : Lorsque $\Psi_s = \Phi_f$, les concentrations des porteurs majoritaires et minoritaires sont égales en surface, donc égale à la valeur de la concentration n_i .
- régime d'inversion forte ($\Psi_s > 2\Phi_f$, $V_{GS} > V_{th}$) : la concentration des porteurs minoritaires en surface devient supérieure à la concentration des porteurs majoritaires dans le volume du semi-conducteur[10].

I.4.1. Courant de drain

Nous allons déterminer les différentes expressions de courant de drain correspondantes aux différents régimes de fonctionnement détaillés précédemment.

I.4.1.1. Courant de drain en régime faible inversion

En régime faible inversion (pour une tension de polarisation inférieure à la tension de seuil) le transistor est à l'état bloqué c'est-à-dire la hauteur de la barrière de potentiel est encore importante et seuls quelques porteurs arrivent à la franchir par activation thermique.

Il en résulte l'apparition d'un courant faible de diffusion dans le transistor qui varie exponentiellement par rapport à la tension de la grille V_g , l'expression est donnée par l'équation (I.2) [11].

$$I_d = \mu_0 \cdot C_{dep} \frac{W}{L} \left(\frac{KT}{q}\right)^2 \cdot (1 - \exp\left(\frac{-qV_d}{KT}\right)) \cdot \left(\exp\left(q \frac{V_g - V_{th}}{\alpha KT}\right)\right) \quad (I.2)$$

α étant égal à $(1 + C_{dep}/C_{ox})$, C_{ox} , étant la capacité d'oxyde en inversion forte, μ_0 étant la mobilité des porteurs à faible champ effectif transverse ($\alpha V_g = V_{th}$) et C_{dep} est la capacité liée à la couche déserté dans le substrat.

I.4.1.2. Courant de drain en régime forte inversion

Au-dessus de la tension de seuil, le transistor devient passant, mais l'expression de courant du canal dépend de la valeur de la tension de polarisation V_d , nous pouvons citer deux régimes de fonctionnement.

- **Régime linéaire**

Pour V_d faible et inférieure à la valeur $V_g - V_{th}$, l'inversion forte est réalisée à l'interface oxyde / canal tout le long du canal qui se comporte comme une résistance alors on parle de régime linéaire ou de régime ohmique et la variation de I_d en fonction de V_g à pour expression :

$$I_d = \mu_{eff} \cdot C_{ox} \frac{W}{L} \left(V_g - V_{th} - \frac{1}{2} V_d\right) V_d \quad (I.3)$$

μ_{eff} étant la mobilité effective des porteurs.

- **Régime saturé**

Lorsque V_d augmente au-delà de la valeur $V_g - V_{th}$, le potentiel de surface côté drain devient inférieur à $2\Phi_f$. La densité de porteurs devient donc nulle côté drain créant un point de pincement qui va se déplacer côté source lorsque $V_d \gg V_g - V_{th}$. Rien ne change entre l'extrémité source et le point de pincement que ce soit en terme de densité de charges ou en terme de tension appliquée, la dépendance en V_d de l'expression du courant disparaît et le courant reste donc constant à une valeur maximale I_{dsat} donné par l'équation I.4. [12]

$$I_{dsat} = \mu_{eff} \cdot c_{ox} \frac{w}{L} V_{dsat}^2 \quad (I.4)$$

Avec $V_{dsat} = V_g - V_{th}$

I.5. Capacité MOS

Par définition un condensateur est constitué de deux électrodes conductrices séparées par un matériau isolant. Ainsi, on appelle «capacité MIS» la superposition de trois couches de matériaux : le métal ou polysilicium dégénéré (appelé grille), l'isolant (SiO_2 , HfO_2 , Ta_2O_5 , Si_3N_4 ...), et le semi-conducteur (Si, Ge...) de type N ou de type P (appelé bulk ou substrat). La dénomination capacité MOS (pour Métal-Oxide-Semiconducteur) résulte de la nature de l'isolant qui est alors un oxyde.

La capacité d'une structure MOS est équivalente à la mise en série de la capacité de l'oxyde avec la somme des capacités présentes dans le silicium. Dans les technologies actuelles, la grille n'est plus un métal mais du poly-silicium dont le fort dopage ($>10^{20} \text{cm}^{-3}$) lui confère les mêmes propriétés qu'un métal.

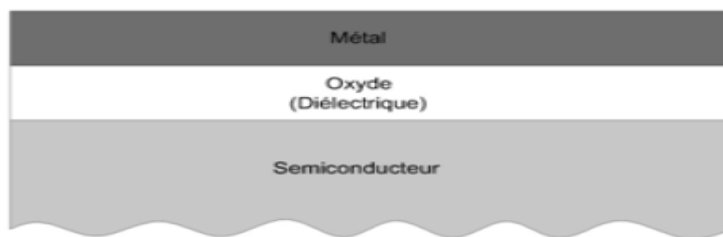


Figure I. 11: Capacité MOS.

Au repos, le substrat contient des charges négatives fixes (les atomes du semi-conducteur ionisés) et des charges positives mobiles (les trous).

Supposons que le substrat soit maintenu à un potentiel fixe (0v) et que l'électrode métallique soit portée à un potentiel négatif. Les trous vont être attirés et vont venir s'accumuler sous l'électrode métallique renforçant localement la densité des charges mobiles, d'où le type P du semi-conducteur.

Dans un second temps, portons l'électrode métallique à un potentiel positif. Les trous vont alors être repoussés. Ils vont quitter la zone sous l'électrode métallique. Lorsque le

potentiel de cette dernière croît, et si le potentiel positif n'est pas trop fort, le semi-conducteur sous l'électrode métallique va devenir vide de charges mobiles. Il sera dit déplété.

Lorsque le potentiel positif de l'électrode métallique croît, celle-ci va attirer les électrons qui se libèrent par effet thermique. La densité de ceux-ci sous l'électrode métallique va devenir suffisamment importante pour inverser le type du semi-conducteur qui va devenir localement de type N puisque ses charges mobiles deviennent des électrons [13].

I.6. Comportement dynamique

Le comportement dynamique du MOSFET est déterminé par le temps que mettent les différentes capacités parasites à se charger et se décharger. Chacune de ces capacités est constituée de deux électrodes conductrices séparées par une couche diélectrique ou une zone de charge d'espace, la valeur de la capacité est alors donnée par $C = \epsilon S/e$ où ϵ représente la permittivité du diélectrique, S la surface des électrodes et e l'espace inter électrodes.

On peut distinguer trois capacités [14]:

La capacité Grille Source : cette capacité est elle-même constituée de trois capacités, C_{GS1} capacité formée par l'oxyde de grille pris en sandwich entre la surface du silicium et le polysilicium de grille au-dessus du canal, C_{GS2} même chose que C_{GS1} mais au-dessus du caisson source N^+ , C_{GS3} formée par l'oxyde de grille pris en sandwich entre le polysilicium de grille et la métallisation de source. Au final la capacité C_{GS} dépend surtout de la géométrie et des technologies de procédé et peu de la tension appliquée.

La capacité Grille Drain : cette capacité dépend de l'accumulation d'électrons sous l'électrode de grille, elle engendre l'effet Miller. Elle est formée par deux capacités en série, C_{GD1} qui est la capacité constituée par l'oxyde de grille pris en sandwich entre la surface du silicium et le polysilicium de grille entre deux cellules élémentaires et C_{GD2} la capacité de la zone de déplétion sous la grille.

La capacité Drain Source : formée par la jonction PN^- , elle dépend de la tension V_{DS} puisque c'est celle-ci qui va déterminer la taille de la zone de charge d'espace dépeuplée.

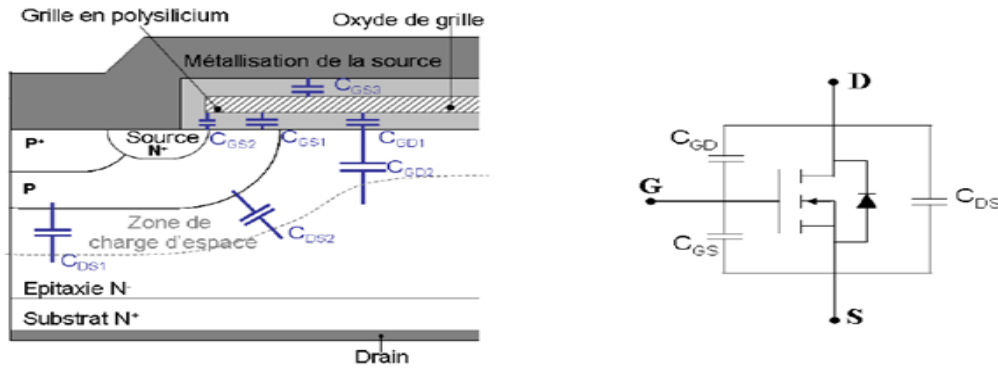


Figure I. 12: Localisation des différentes capacités parasites du MOSFET et schéma équivalent.

I.7. Les effets de la miniaturisation

La description de ses différents régimes de fonctionnement permettra, à travers différentes caractérisations électriques, d'extraire des propriétés importantes des transistors conçus. Cependant, au sein des circuits logiques CMOS, le fonctionnement des transistors est limité par le temps de propagation des porteurs entre source et drain ainsi que la puissance consommée [15] [16]. En effet, pour son fonctionnement, le circuit dispose généralement d'un seul niveau d'alimentation (V_{DD}) qui est choisi supérieur à V_{th} ($V_{dsat} = V_g - V_{th}$) pour le cas de fonctionnement en mode saturé. Ainsi que l'ensemble des fuites introduisant des phénomènes parasites sont résumés en figure I.13.

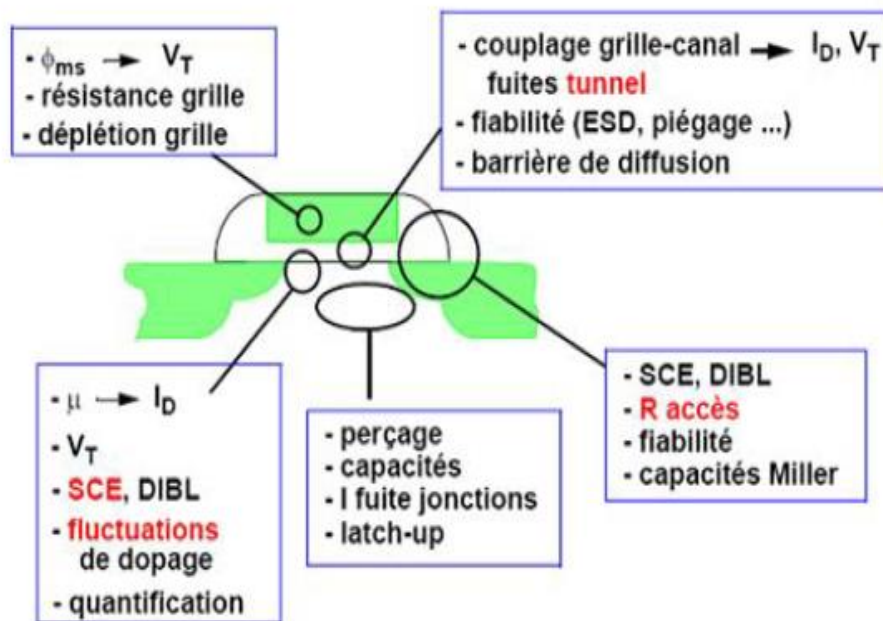


Figure I. 13: Les effets parasites causés par la miniaturisation du MOSFET.

I.7.1. Effets parasites

I.7.1.1. Dégradation de la pente sous le seuil

A l'état bloqué, un courant de fuite très faible circule entre la source et le drain. Ce courant contribue à l'augmentation de la puissance statique dissipée par les circuits. C'est donc un critère primordial pour les applications à faible consommation. Ce courant trouve son origine dans l'énergie d'activation thermique non nulle des porteurs dont un certain nombre arrive à franchir la barrière de potentiel dans le canal en régime d'inversion faible. Ce courant varie exponentiellement avec la tension de grille un paramètre important à suivre est la pente sous le seuil qui traduit le facteur de proportionnalité entre la tension de grille et le courant de fuite en échelle logarithmique :

$$S = \frac{V_{th}}{\log(I_{off}) - \log(I_{th})} \quad (I.5)$$

Le paramètre S est appelé pente sous le seuil.

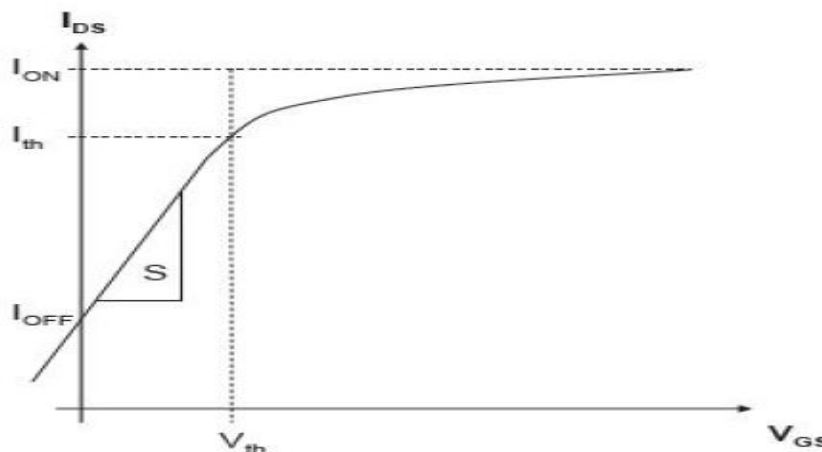


Figure I.14: Mise en évidence de la pente sous seuil.

L'augmentation du dopage du canal contribue à fortement éloigner la pente sous le seuil.

I.7.1.2. Effets Canaux Courts

L'effet canal court traduit la diminution de la tension de seuil par la diminution de la longueur de la grille du dispositif. Il est lié au fait que le potentiel électrostatique entre la source et le canal et entre le canal et le drain n'est pas abrupt mais graduel à cause des zones de charge d'espace le long des jonctions. Lorsque la distance entre la source et le drain atteint l'ordre de grandeur des zones de charge d'espace, la barrière de potentiel dans le canal chute

et engendre une baisse de la tension de seuil appelé SCE « Short Channel Effect ». La polarisation du drain influençant la profondeur de la zone de charge d'espace coté drain, l'effet canal court est accentué par la polarisation du drain. Cet effet spécifique est appelé DIBL « Drain Induced Barrier Lowering ». La dénomination « effets canaux courts » correspond aux deux effets combinés SCE et DIBL.

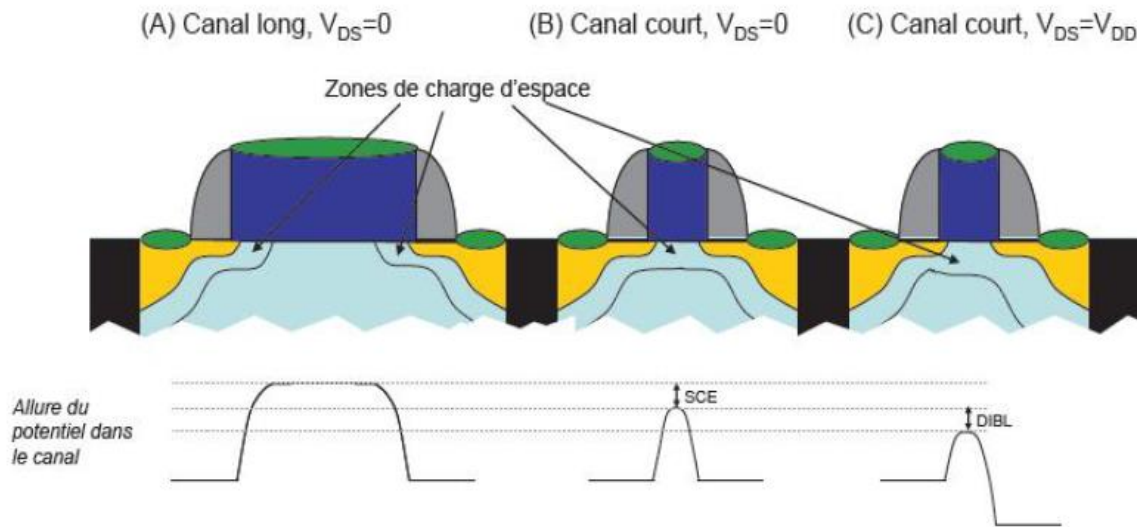


Figure I.15: Principe de l'abaissement de la barrière de potentiel du à la réduction de la longueur de la grille du transistor.

Les effets canaux courts entraînent l'augmentation du courant de fuite liée à la diminution de tension de seuil, une baisse de fonctionnalité du transistor (ainsi qu'une disparité de tensions de seuil entre les transistors présentant différentes longueurs de grille, rendant plus complexe la conception des circuits[17].

I.7.2.Problèmes liés au dopage

Une autre difficulté sérieuse dans la mise au point des nanoMOS réside dans la réalisation des différents dopages (canal et caissons) nécessaires pour contrer les effets canaux courts. La réalisation de profils de dopage complexes (dopage rétrograde, halos et poches, caractère abrupt du profil de dopage entre caissons source-drain fortement dopés et canal faiblement dopé) dans des dispositifs de plus en plus petits révèle technologiquement des difficultés croissantes, notamment si l'on désire une parfaite reproductibilité d'un transistor à un autre sans aucune dispersion des caractéristiques.

Le nombre d'impuretés dans le canal participant à l'élaboration du courant est de plus en plus faible de par la réduction croissante des dimensions du canal (à titre d'illustration, Pour un substrat dopé à 10^{18} atomes / cm^3 , Un canal mesurant $20 \times 20 \times 20 \text{ nm}^3$ ne comporte en moyenne que 8 impuretés). Il en résulte une distribution microscopique aléatoire des dopants ayant des effets non négligeable sur la tension de seuil. Ces fluctuations de performances de plus en plus grandes vont aboutir, à terme, à des problèmes de plus en plus difficiles à surmonter dans les technologies MOSFET [18] [19] et, par voie de conséquence, dans l'élaboration des circuits intégrés.

I.8. Conclusion

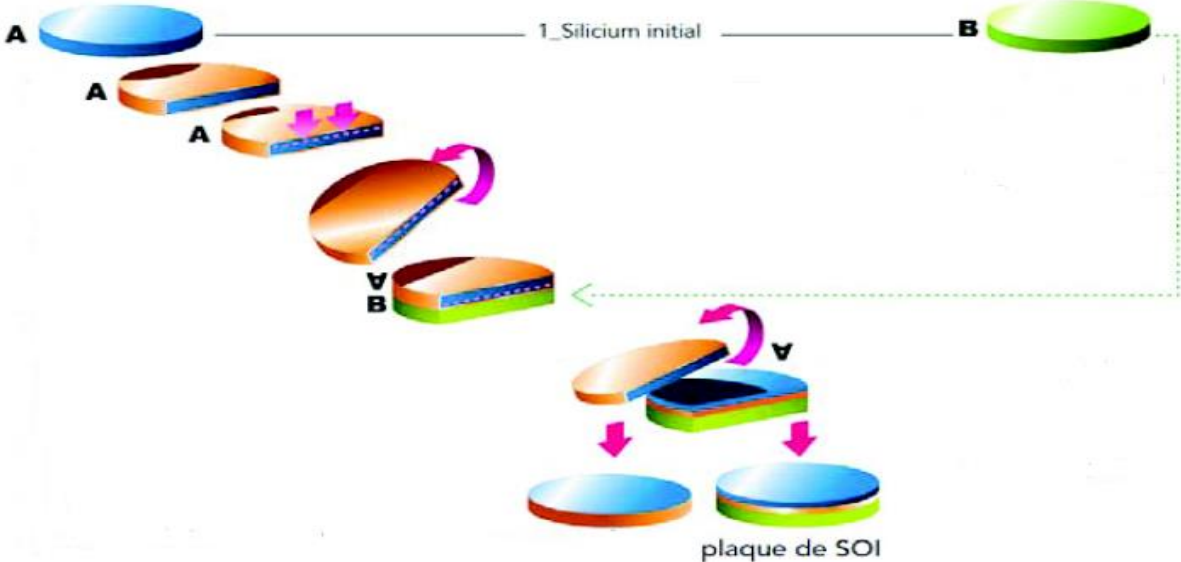
Nous avons expliqué brièvement le principe de fonctionnement d'un transistor MOSFET (Métal/Oxyde/Semi-conducteur à effet de champ) ainsi que quelques équations de bases. Aussi on a énuméré les limitations et problèmes auxquels s'est heurtée la microélectronique dans sa course à la miniaturisation qui permet d'augmenter la densité d'intégration et la vitesse de fonctionnement des circuits. Cette réduction des dimensions a engendré des phénomènes parasites qui dégradent les caractéristiques des composants. Ainsi, une solution alternative au transistor MOS Bulk devient nécessaire.

I.9. Bibliographie

- [1] 'International Technological roadmap of semiconductors' section Front and Process, ITRS 2005.
- [2] ICInsight and ICKnowledge, "IC Economics," in The McClean Report, 2015th ed, IC Insights, 2015.
- [3] J.E. Lilienfeld, "Amplifier for electric currents", US Patent No. 1, 877,140, application Filed Décembre 8, 1928.
- [4] John Bardeen et al, three electrode circuit élément, U.S. Patent No. 2, 524,035, Issued Octobre 3, 1950. Filed June 17, 1948.
- [5] Jack Kilby, Miniaturized Electronic Circuits, U.S. Patent No. 3, p 138-743, 1964.
- [6] <http://www.polytech-lille.fr/cours-atome-circuit-integre/unip/unip810.htm>
- [7] Dominique FLEURY, « Contribution à l'Etude Expérimentale du Transport Dans les Transistors de Dimensions Deca-Nanométriques des Technologies CMOS Sub 45nm », Thèse de Doctorat de L'Institut Polytechnique de Grenoble, France, 2009.
- [8] Kurt HOFFMANN, « System Integration - From Transistor Design to Large Scale Integrated Circuits », John Wiley & Sons Ltd., 2004.
- [9] <http://tima-cmp.imag.fr/~guyot>
- [10] C. T. Sah, T. H. Ning and L. L. Tschopp, "The scattering of electrons by surface oxides charges and by lattice vibrations at the silicon-silicon dioxide interface", Surface Science, p. 561-575, 1972.
- [11] B. G. Streetman, S. Banerjee, Solid State Electronic Devices. Uppersaddleriver: PrenticeHoll, p.558, 2000.
- [12] B. G. Streetman, S. Banerjee, Solid State Electronic Devices. Uppersaddleriver : PrenticeHoll, p. 558, 2000.
- [13] Support de cours "CONCEPTION DE CIRCUITS INTEGRES NUMERIQUES", <http://elearning.univ-jijel.dz/elerning/course/index>
- [14] P. Leturcq, "Semiconducteurs de puissance unipolaires et mixtes", Part. 1 et 2, Techniques de l'Ingénieur, vol, p. 108-109, 2002.
- [15] I. Ben Akkez, "Études théorique et expérimentale des performances des dispositifs FD SOI sub 32 nm," thèse Université polytechnique de grenoble , IMEP LAHC, 2012.
- [16] A. Bournel and K. Huet, "Influence du transport balistique sur la dégradation apparente de la mobilité dans les nano MOSFETs," in ESSDERC, Proceedings, p. 382, 2007.

- [17] Xiaobin Yuan et al., "Gate-Induced-Drain-Leakage Current in 45-nm CMOS Technology," Device and Materials Reliability, IEEE Transactions on , vol.8, no.3, p.501508, Sept. 2008.
- [18] A. Asenov, "Random dopant induced threshold voltage and fluctuations in sub-0.1 μ m MOSFET's: A 3-D (atomistic) simulation study," IEEE Transaction on Electron Devices, vol. 45, no. 12, p. 2505-2513, 1998.
- [19] S. Barraud, P. Dollfus, S. Galdin, and P. Hesto, "Short-range and long-range coulomb interaction, "Solid-state Electron", p .46, 2002.

Chapitre II : Dispositif MOSFETSOI



II.1.Introduction

La technologie silicium sur isolant (« Silicon On Insulator » : SOI) a été inventée dans les années 1960-1970 pour satisfaire la demande de circuits intégrés durcis aux irradiations ionisantes. Le premier matériau, le silicium sur saphir (SOS), a été suivi par une variété de structures SOI. Leur dénominateur commun est d'offrir, grâce à un oxyde enterré, une parfaite isolation diélectrique entre la couche active des circuits et le substrat de silicium massif. En effet, dans un transistor à effet de champ métal oxyde semi-conducteur (MOSFET), il n'y a que la couche superficielle de silicium, d'épaisseur 0,1 à 0,2 μm (c'est-à-dire moins de 0,1 % de l'épaisseur totale de la plaquette de silicium), qui est vraiment utile pour le transport des électrons. Le reste de la plaquette est responsable d'effets parasites indésirables, que l'on peut éviter en faisant appel à une solution de type SOI.

Depuis le début des années 1990, la mise au point de nouveaux matériaux SOI, ainsi que l'explosion des appareils électroniques portables, ont promu le SOI comme une technologie de choix pour la fabrication de composants à basse consommation et à haute fréquence.

Nous décrivons l'état de l'art des technologies SOI, en commençant par les méthodes de synthèse des principaux matériaux. Les avantages essentiels des circuits SOI, par rapport aux dispositifs conventionnels sur silicium massif, sont présentés, avant de faire plus ample connaissance avec les composants typiques déjà fabriqués sur SOI. Les méthodes de caractérisation, in situ ou fondées sur l'inspection des composants, sont évoquées. Nous verrons que les mécanismes physiques qui régissent le fonctionnement des transistors MOS sur SOI, partiellement ou totalement désertés, sont assez différents de ceux habituellement rencontrés dans les MOSFET (« Metal Oxide Semiconductor Field Effect Transistor ») sur silicium massif. Le SOI a un fort potentiel pour repousser les frontières de la micro-nanoélectronique, par la miniaturisation des transistors MOS conventionnels ou bien par les architectures innovantes qu'il peut accueillir [1].

II.2.Contexte de l'industrie des semi-conducteurs

II.2.1.Applications, marché, acteurs

Les développements technologiques en microélectronique sont très fortement liés aux enjeux économiques de ce secteur. Tout d'abord, le marché des semi-conducteurs est un marché mondial en forte croissance avec une augmentation annuelle moyenne de 10 milliards de dollars depuis 1990 (Figure II.1) et une croissance de 6 % attendue pour 2013. Jusque dans

les années 2000 il a été partagé relativement équitablement entre les États-Unis, le Japon l'Europe et l'Asie. Cependant, depuis 2001 le marché des semi-conducteurs en Asie (hors Japon) n'a cessé d'augmenter et en 2012 il représente un peu plus de la moitié du marché mondial.

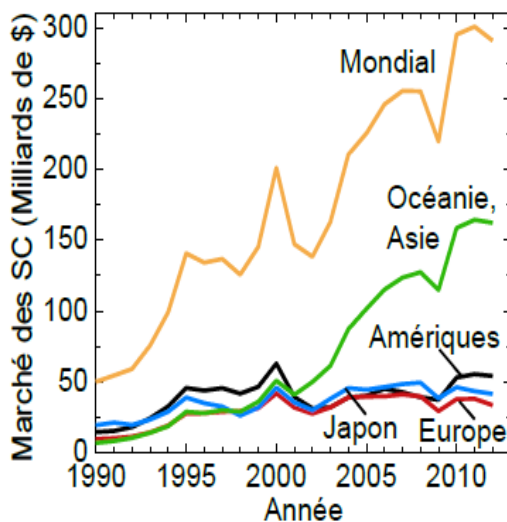


Figure II.1: Evolution du marché des semi-Conducteurs par région depuis 1990.

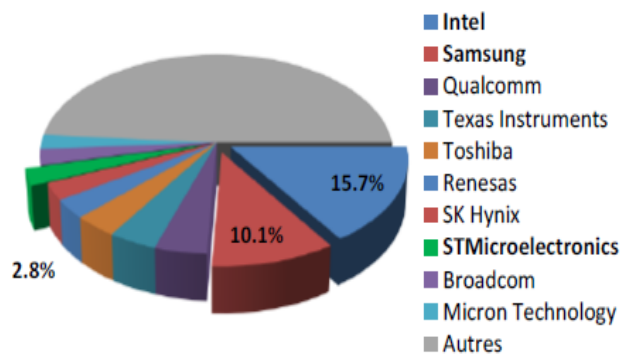


Figure II.2: Part de marché des dix plus grosses entreprises de semi-conducteurs.

Ainsi en 2012, le marché des semi-conducteurs a atteint près de 300 milliards de dollars. La moitié de ce marché (dont un tiers est gagné par des entreprises américaines) est partagé par les dix plus grosses entreprises à travers le monde (Figure II.2). En tête de ce classement figurent l'américain Intel et le coréen Samsung. Bien que les ventes d'ordinateurs de bureau soient en recul, le marché croît avec l'émergence de nouveaux produits phares comme les tablettes et l'explosion des ventes de Smartphones. Les biens de consommation (télévision, électroménager, automobile) représentent également une part importante de ce marché. Jusqu'en 1990, chaque entreprise de microélectronique investissait dans sa propre usine de fabrication de circuits intégrés. Cependant, le coût d'une usine de production augmente exponentiellement (ce prix double tous les 4 ans) pour atteindre 3 milliards de dollars en 2000 (Figure II.3) [2].

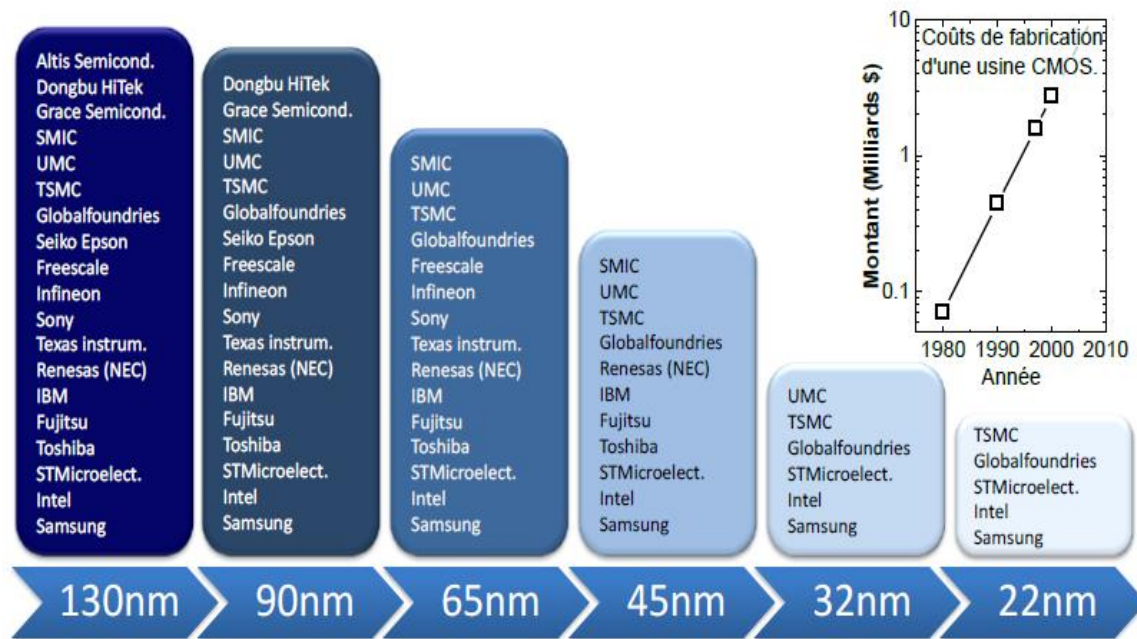


Figure II.3: Augmentation des coûts de fabrication d'une usine CMOS (inset) et diminution du nombre d'entreprises capable de fabriquer un nœud CMOS [1].

II.3. Caractéristiques du transistor MOSFET-SOI

II.3.1. La technologie SOI

Le silicium sur isolant (en anglais : SOI ou Silicon On Insulator) est une structure constituée d'un empilement d'une couche de silicium sur une couche d'isolant. Cet isolant peut être du saphir (*Silicon-On-Sapphire*), de l'air (*Silicon-On-Nothing*) ou du dioxyde de silicium (SiO_2). Cette technologie est une alternative prometteuse au silicium brut dans la réalisation de transistors opérant à de hautes fréquences.

En effet, malgré son coût de développement supérieur de 10 % par rapport aux technologies classiques sur substrat massif, le gain en performance est évalué entre 20 et 35 %. Les fréquences de coupure sont supérieures à 150 GHz pour la technologie 130 nm. Avec l'utilisation de substrats fortement résistifs, les pertes sont diminuées et les performances accrues notamment au niveau du bruit micro-onde. Ainsi, les performances fréquentielles des dispositifs fabriqués sur des technologies silicium sont à revoir à la hausse. Il est généralement admis que la technologie SOI permet de gagner une génération de puce.

La technologie SOI compte plusieurs procédés industriels qui ont été développés pour réaliser un film de silicium sur une couche isolante. Le plus ancien est le SOS ou Silicon-On-Sapphire. Depuis les années 1980, d'autres techniques ont été mises au point et sont devenues

des standards industriels. Les deux principaux procédés sont le SIMOX et le BSOI. Dont une technique dérivée est la technologie Smart Cut de la société Soitec. Ces dernières techniques de fabrication dominent actuellement le marché du SOI, notamment la technique Smart Cut qui représente environ 90 % de la production actuelle de SOI[3].

Contrairement à la technologie conventionnelle Bulk, le substrat en technologie silicium sur isolant (SOI pour Silicon-On-Insulator) est constitué de deux couches de silicium : le silicium actif, d'épaisseur t_{Si} et le substrat de dopage intrinsèque de type P isolées l'une de l'autre par une couche d'oxyde enterrée (BOX pour BurriedOxide) comme le montre la figure II.4. Ce type de substrat est obtenu grâce au procédé de fabrication appelé « Smart-Cut » [4] [5]. L'intérêt est d'obtenir une couche de silicium supérieure mince et isolée.

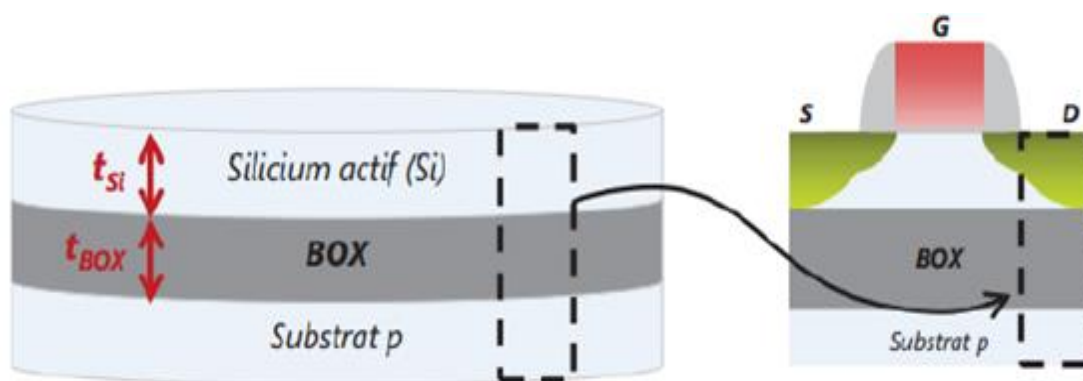


Figure II. 4: Vue de profil du substrat silicium sur isolant [4].

II.3.2. Les matériaux SOI (substrats)

Les différents procédés de fabrication des matériaux SOI peuvent se diviser en trois grandes catégories :

- dépôt d'une couche de silicium monocristallin sur un isolant.
- création d'un oxyde par implantation profonde d'oxygène dans un substrat de silicium (matériau SIMOX).
- collage de plaques de silicium oxydées (matériau BESOI).

Actuellement, les matériaux obtenus par les procédés des deux dernières catégories sont les plus répandus. Nous allons voir rapidement différents procédés de fabrication et nous intéresserons tout particulièrement au matériau Unibond[6].

II.3.3.Choix de la technologie

D'un point de vue électrostatique, les transistors de type FinFET sont légèrement supérieurs aux transistors planaire FD-SOI grâce à une grille qui vient englober sur 3 côtés le canal du transistor. Néanmoins, ce type de transistor reste bien plus difficile et coûteux à fabriquer [7]. Ainsi, l'utilisation d'un procédé de fabrication planaire pour la réalisation de transistors FD-SOI permet de réduire le temps de développement technologique.

De plus, l'architecture planaire des transistors FD-SOI, similaire à celle des transistors sur silicium massif, permet de migrer rapidement des circuits de type « BULK » avec peu d'effort de conception à prévoir. En effet, les règles de dessin étant très proches, la plupart des dispositifs peuvent être simplement portés, sans aucune modification layout. En revanche, pour la technologie FinFET, la reprise en conception de tous les dispositifs est à prévoir en prenant en compte de nouvelles règles de dessin, bien plus contraignantes.

Le développement de la technologie FD-SOI est le fruit d'un travail collaboratif entre STMicroelectronics et le CEA-LETI. Depuis plus de 20 ans, ces deux entités travaillent sur l'élaboration d'une solution SOI répondant aux contraintes du marché actuel. Pour cela, plusieurs versions de conception ont été analysées (Figure II.5) avant de sélectionner celle qui remplacera finalement le transistor sur silicium massif.

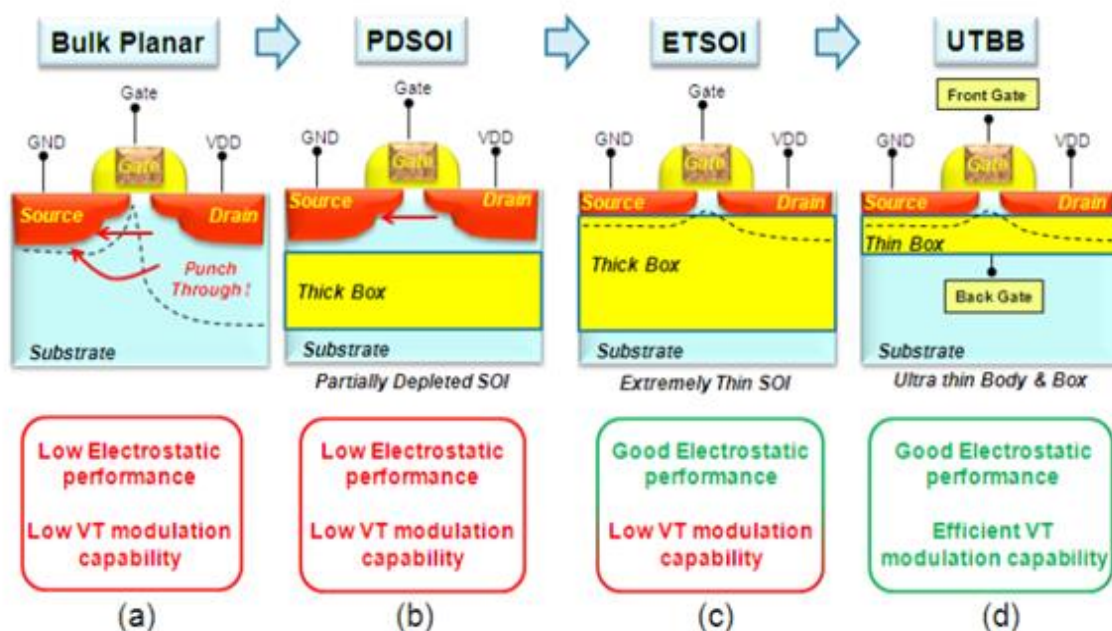


Figure II. 5: Vues en coupe d'un (a) transistor sur silicium massif, (b) transistor partiellement déserté, (c) transistor totalement déserté avec un BOX épais et d'un transistor totalement déserté (d) avec un BOX mince.

La figure ci-dessus présente une illustration des différentes approches étudiées pour remplacer le transistor BULK (Figure II.5.a). La première option consiste à utiliser un transistor PD-SOI (Partially Depleted SOI) disposant d'un canal partiellement déserté ainsi qu'une large épaisseur d'isolant (Figure II.5.b). Cette solution a été intégrée dans plusieurs démonstrateurs par STMicroelectronics ce qui a permis d'accéder à des gains en performance séduisants.

Cependant, un effet d'histoire dû à l'accumulation et à l'évacuation de charges sous le canal entraîne une fluctuation de la tension de seuil des transistors en fonction de l'activité antérieure [8]. Ce phénomène non maîtrisable n'a pas permis à cette technologie de s'imposer. Pour remédier à ce problème, IBM a développé une solution intéressante, appelée ETSOI (Extremely thin SOI) qui consiste à réduire, l'effet d'histoire est supprimé et le contrôle électrostatique du canal par la grille ainsi l'épaisseur du film de silicium du canal pour le rendre complètement déserté (Figure II.5.c) Ainsi amélioré.

II.3.4. Transistor MOSFET SOI

Le transistor MOS SOI se distingue du transistor sur silicium massif (bulk) par sa réalisation sur un substrat SOI (Figure II.6). Ce substrat est constitué d'un film de silicium superficiel reposant sur une couche d'oxyde dite oxyde enterré (*Box*).

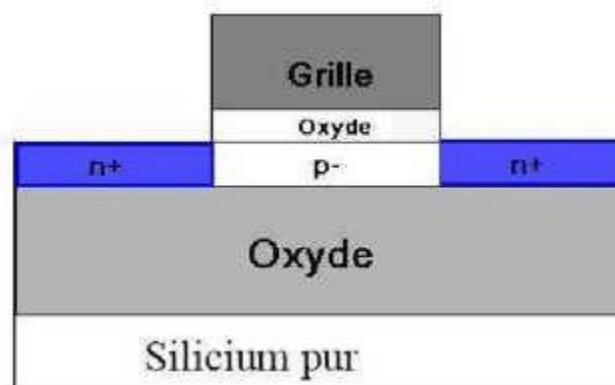


Figure II. 6: Structure d'un transistor (simple grille) SOI de type-n.

Selon les technologies SOI considérées, les épaisseurs du film de silicium et d'oxyde enterrés sont très variables. Les technologies largement submicroniques pour VLSI ne font appel qu'aux films de silicium dits minces ou ultra-minces.

Le transistor SOI sur film mince ou ultra mince est caractérisé par le fait que la région localisée sous la grille de transistor où va se former le canal de conduction n'est pas

accessible et n'est donc pas polarisées. Cette région est appelée body en SOI pour éviter toute confusion avec le substrat mécanique sous-jacent à l'oxyde enterré. Le transistor SOI, du fait de son isolation électrique, est le siège d'effet dit de substrat flottant, le body s'auto polarise sous l'influence des différents mécanismes physiques pouvant apparaître dans le transistor et des signaux électriques qui lui sont appliqués [9].

II.3.5. Les inconvénients de transistor SOI

La technologie SOI présente d'innombrables avantages. Cependant, son inconvénient majeur, surtout en ce qui concerne le PDSOI, est l'importance des effets canaux courts (Figure II.7). En effet la polarisation du drain peut induire des effets canaux courts par influence électrostatique à travers l'oxyde enterré. Cet effet néfaste n'est pas à négliger lorsque l'épaisseur de l'oxyde est importante.

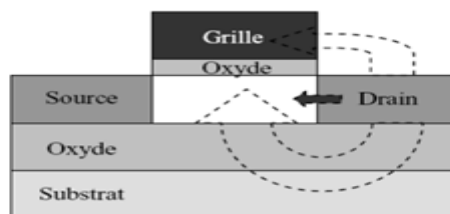


Figure II.7: Influence électrostatique sur le SOI à une grille[10].

Naturellement, réduire l'épaisseur d'oxyde ne ferait que réduire l'influence électrostatique ; en revanche, insérer une grille en-dessous de l'oxyde constituerait un bouclier qui bloquerait complètement les lignes de champs. Ceci permettrait directement de protéger le canal et de réduire les effets canaux courts. Cette structure, permettant ainsi d'insérer une seconde grille est appelée structure double grille dite DGFET pour dual gate Field Effect transistor et fera l'objet de notre étude. Le double-grille (DG) rentre dans le cadre des structures multi-grilles que nous présentons dans la section suivante[10].

II.3.6. SOI partiellement et entièrement déserté

Les dispositifs SOI peuvent être classés en deux types, essentiellement suivant l'extension de la couche de désertion dans le film de silicium [11]. Pour un film de silicium épais, la zone de déplétion dans le film n'atteint pas l'oxyde enterré (Figure II.7), nous parlons alors de transistor partiellement déserté (ou PDSOI, "*Partially Depleted SOI*"), et pour une épaisseur du film réduite, la déplétion atteint l'oxyde enterré, le film est donc complètement

déserté et la grille améliore le contrôle du potentiel dans le film, nous parlons alors de transistor entièrement déserté (ou FDSOI, "Fully Depleted SOI") [12].

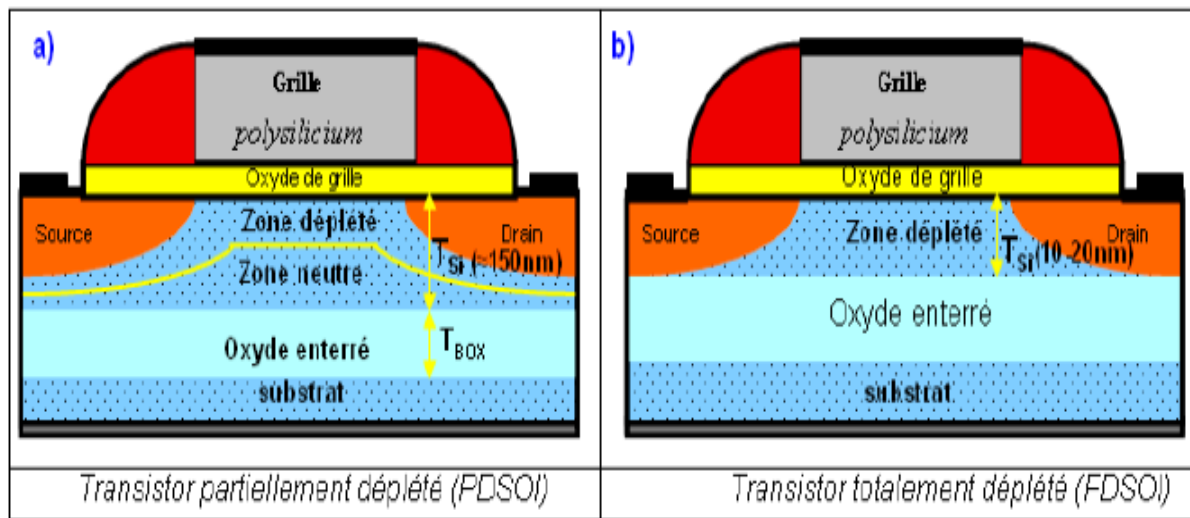


Figure II. 8: Schéma de principe d'un transistor SOI.

Le tableau suivant montre la différence entre un PD SOI et FD SOI sur quelques caractéristiques électriques comparé à un MOSFET classique.

Paramètres physique	Partiellement déserté	Totalement déserté
Mobilité	N	+
Transconductance	N	+
Effets canal court	N	+
Capacité Source et Drain	+	+
Pente sous le seuil	N	+
Sensibilité V_{th}/t_{si}	N	-
Parasite bipolaire	+	- Ou N

Tableau II.1: comparaison de quelques caractéristiques électrique d'un FD SOI et PD SOI avec un MOSFET sur silicium massif. N : neutre, + : meilleur, - : plus mauvais.

II.4. Transistors FDSOI

II.4.1. Les avantages du transistor FDSOI

Historiquement, les substrats SOI ont été développés pour des applications spatiales [14] car ils présentent une meilleure résistance aux rayonnements ionisants par rapport au silicium massif.

Cependant, il existe également de nombreux avantages qui font de la technologie FDSOI un candidat pertinent pour les prochains nœuds technologiques :

- Une isolation totale grâce à la présence du BOX. Il n'y a pas de circulation de courant dans le substrat entre des transistors voisins, comme cela est le cas pour les transistors sur silicium massif.
- Un excellent contrôle électrostatique grâce à une plus faible profondeur des jonctions source/drain [15] [16] et à une plus faible profondeur de déplétion TDEP. Celles-ci sont fixées par l'épaisseur T_{Si} du film de silicium, non par les procédés d'implantation du canal et de recuit comme c'est le cas sur silicium massif. De plus, en technologie FDSOI, le canal est non dopé, ce qui implique l'absence de réservoir de porteurs libres dans le film de silicium. Il n'existe donc pas de régime d'accumulation et le film reste déserté tant que le potentiel de surface est inférieur, assurant une pente sous le seuil et un courant I_{off} améliorés.
- Une réduction de la profondeur de déplétion, conduisant à un champ effectif transverse plus faible et par conséquent à une amélioration de la mobilité des porteurs. Le courant de drain en régime de saturation est amélioré.
- Réduction de la profondeur des jonctions (limitée par l'épaisseur de la couche de silicium), ce qui permet un excellent contrôle des effets canaux courts.
- Disparition d'effet de substrat flottant (flottant électriquement car la couche de silicium est isolée, c'est à dire n'est pas polarisée) car la charge de déplétion est constante et la zone désertée occupe toute l'épaisseur du film.
- Réduction considérable des effets parasites des capacités de jonction parce que les jonctions reposent sur un diélectrique.
- Suppression des fuites des jonctions, ce qui est un avantage majeur pour les dispositifs mémoires (type DRAM).

Cependant, une telle architecture ne possède pas que des avantages, mais en plus elle présente des difficultés technologiques. En effet l'utilisation de substrats à films minces sur

une couche d'oxyde enterré pose des problèmes pour une intégration dans une filière CMOS standard [17].

II.4.2. Les caractéristiques de nos plaques FD-SOI

- Couche de silicium supérieure de 12 à 15 nm, produite grâce à notre technologie Smart Cut.
- Couche d'oxyde enterré de 15 à 25 nm.
- Contrôle de l'uniformité à l'échelle atomique sur tout le spectre de longueur d'onde (de la microrugosité aux variations à l'échelle de la plaque).
- Plaques disponibles en 300 mm de diamètre [18].

II.5. Contrôle de effets canaux courts : pourquoi des films minces ?

II.5.1. Impact sur l'électrostatique

- **Influence de l'épaisseur de silicium T_{si}**

La réduction de l'épaisseur du film de silicium (t_{si}) permet d'améliorer le contrôle de la grille sur le canal en limitant les effets de canaux courts indésirables. Ainsi, pour des faibles longueurs de grille, le DIBL est amélioré en sur des films minces (Figure II.9) [19]. Cependant, les résistances d'accès augmentent drastiquement pour de faibles épaisseurs de silicium (Figure II.10). C'est donc pour cela que l'épaisseur des zones de source/drain est augmentée localement par une épitaxie sélective. Cette solution atteint cependant ses limites pour un t_{si} de quelques nanomètres. Lors de la gravure de la grille, des espaceurs et lors du nettoyage avant épitaxie, le silicium des régions S/D est légèrement consommé (≈ 1 nm). L'épitaxie sur des films de quelques nanomètres seulement est alors problématique puisque le silicium a alors tendance à s'agglomérer [20].

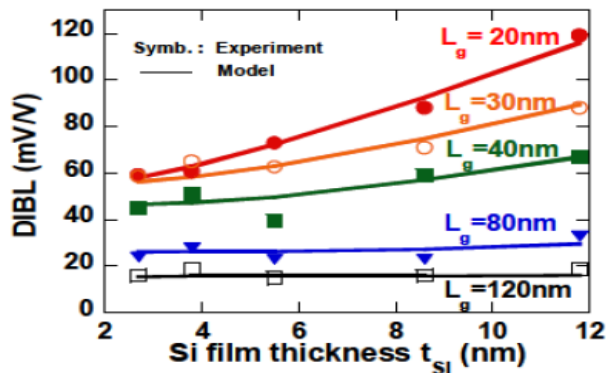


Figure II.9: Diminution du DIBL pour les faibles épaisseurs de silicium et pour différentes longueurs de grille [7].

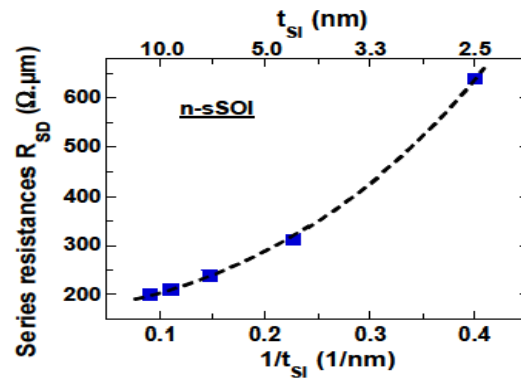


Figure II.10: Augmentation des résistances d'accès (RSD) avec la diminution de t_{Si} .

Bien que le contrôle électrostatique soit amélioré pour les films ultra-minces, il a été reporté [21] que la mobilité des porteurs diminue avec l'épaisseur de silicium entre 8 nm et 4 nm. Le transport semble limité par les interactions engendrées par les variations de t_{Si} . Dans [19] en revanche, une diminution de la mobilité a été observée en diminuant l'épaisseur de silicium uniquement dans le cas d'un substrat contraint alors que la mobilité reste constante sur un substrat SOI classique. Pour les technologies plus récentes à base de high-k, l'oxyde de grille réduit déjà la mobilité [22] ce qui peut expliquer les différences observées entre ces deux références.

D'autre part, les variations locales de t_{Si} deviennent de plus en plus significatives face à l'épaisseur moyenne de silicium visée (<7 nm). Les caractéristiques des transistors (dont la tension de seuil notamment) dépendant de t_{Si} , un excellent contrôle de l'épaisseur de silicium à l'échelle de la plaque est donc requis [23] [24].

• Influence de l'épaisseur de TBOX

La diminution de l'épaisseur de l'oxyde conduit à un meilleur contrôle d'effets canaux courts et une augmentation de la capacité d'oxyde de grille. Si ce moyen d'optimisation semble simple à mettre en œuvre, il engendre en réalité de gros problème en premier lieu les fuites de grille. Une solution pour augmenter la capacité de l'oxyde et réduire les courants de fuite est l'emploi de diélectrique à haute permittivité pour la grille (High-k), les matériaux les plus étudiés sont le TaO_5 , ZrO_2 et plus particulièrement le HfO_2 . Pour réduire l'épaisseur de l'oxyde équivalent il faut diminuer l'effet de polydépétion, pour cela il suffit d'utiliser une grille métallique qui n'aura pas ce problème.

II.5.2. La variabilité des transistors FDSOI

La variabilité de la tension de seuil est un défi pour les technologies avancées. Pour les faibles longueurs de grille sur silicium massif, la distribution aléatoire des dopants (RDF : Random Dopant Fluctuation) dans le canal est une source majeure de variabilité. Comparé au bulk, les transistors à canal peu ou pas dopé tels que les transistors FDSOI [25] ou les FinFET (défini par un facteur de forme H/D important) [26] ont une meilleure variabilité. Les transistors FDSOI en technologie 28 nm atteignent ainsi un paramètre d'appariement ($A\Delta V_{th}$) de $1.6\text{mv}\cdot\mu\text{m}$ contre $2.2\text{mv}\cdot\mu\text{m}$ pour le silicium massif [27]. Les charges dans le diélectrique de grille et les variations du travail de sortie du métal sont les sources majeures de variabilité locale [23]. L'épaisseur de SOI ainsi que l'utilisation de procédés contraints doivent cependant être suffisamment maîtrisés afin de ne pas être des sources limitant la variabilité [23,24].

II.6. La tension de seuil dans le transistor FDSOI

La plupart des dispositifs FD-SOI listés précédemment intègrent des transistors MOS élémentaires. En fonction des caractéristiques de chaque structure, le concepteur privilégiera des transistors disposant d'une tension de seuil élevée afin de maîtriser leur courant de fuite, ou faible lorsqu'une vitesse élevée de commutation est souhaitée.

Pour cela, la technologie 28nm UTBB FD-SOI proposée par STMicroelectronics est notée d'une plateforme de conception composée de deux niveaux de V_{th} : le RV_{th} (Regular- V_{th}) et le LV_T (Low- V_{th}). A l'instar du BULK, la valeur du V_{th} peut être déterminée soit par le type de dopage dans le canal, soit par le type de grille utilisé. Ces deux options n'ont pas été retenues en FD-SOI. En effet, la première dégrade la variabilité des transistors et la seconde engendre une complexité et un coût de fabrication accrus.

Néanmoins, la technologie UTBB FDSOI rend possible une troisième option grâce à la finesse des films utilisés. Celle de l'oxyde enterré permet, outre l'ouverture du BOX localisée, de doper le silicium sous l'oxyde à un fort niveau de concentration ($N_{BP}\approx 10^{18}\text{cm}^{-3}$). Cela a pour effet de former une couche en face arrière nommée BP (Back Plane). Cette technique a été initiée pour améliorer l'intégrité électrostatique du canal [28]. Depuis, elle est exploitée pour donner au transistor MOS un niveau de V_{th} en fonction du type de dopage de la face arrière. L'équation suivante met en évidence les différents paramètres permettant d'ajuster la tension de seuil d'un transistor n-MOS FDSOI ayant un film mince de silicium

dopé. Le paramètre r correspond au coefficient de couplage capacitif entre la grille avant et la grille arrière, q est la charge d'un électron et kT/q la tension thermique.

$$V_{Th} = \Delta\Phi_m + \frac{KT}{q} \ln \left((1+r) \frac{KT}{q} C_{ox} \frac{1}{qn_i T_{si}} \right) + r \left(\Delta\Phi_{BP} + \frac{KT}{q} \ln \left((1+r) \frac{KT}{q} C_{ox} \frac{1}{qn_i T_{si}} \right) - V_{BS} \right) \quad (II.1)$$

II.7. Les capacités parasites dans les dispositifs FDSOI

Les capacités entre source/drain et substrat sont fortement réduites dans le cas des dispositifs FDSOI ce qui permet un gain de 15-20% en délai lors du fonctionnement dynamique [29].

Cependant, les capacités parasites dépendent de la structure du transistor. L'introduction d'une couche d'oxyde enterré sous le canal de conduction va introduire des capacités parasites supplémentaires liées au Box C_b .

Le sur-élévation des sources et drain fait varier, lui aussi, la capacité de bord externe. Plusieurs modèles ont été proposés pour prendre en compte ces effets dans le cas des transistors FD SOI[30] [31] [32].

Des mesures capacitives ainsi que des modélisations ont été réalisées pour décomposer les contributions des capacités parasites dans la structure FD SOI.

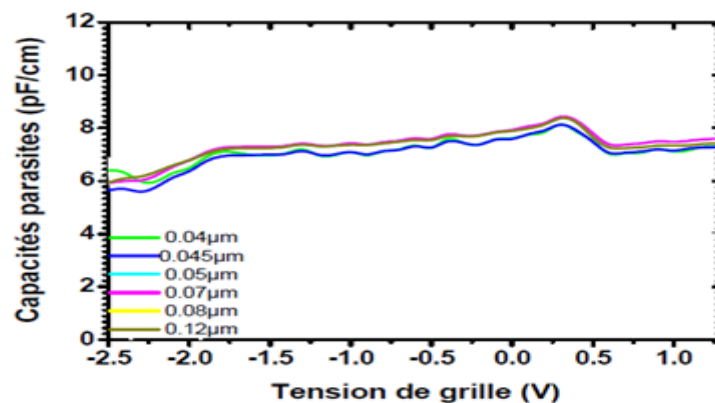


Figure II. 11: Évolution des capacités parasites en fonction de la tension de grille sur des dispositifs FD SOI avec $W=1 \mu\text{m}$ et $T_{\text{Box}}=145 \text{ nm}$ (HfO₂/TiN).

La figure II.11 montre l'évolution des capacités parasites qui ont la même tendance en fonction de la tension de grille ce qui prouve que ces capacités parasites sont indépendantes vis-à-vis la longueur de grille.

$$L_{par}(l) = C_{gs}^{brut,mes}(L) - C_{gc}^{corrigé}(L) \quad (II.2)$$

$$C_{gc}^{corrigé}(L) = \frac{C_{gc}(L_2) - C_{gc}(L_1)}{L_{eff,2} - L_{eff,1}} L \quad (II.3)$$

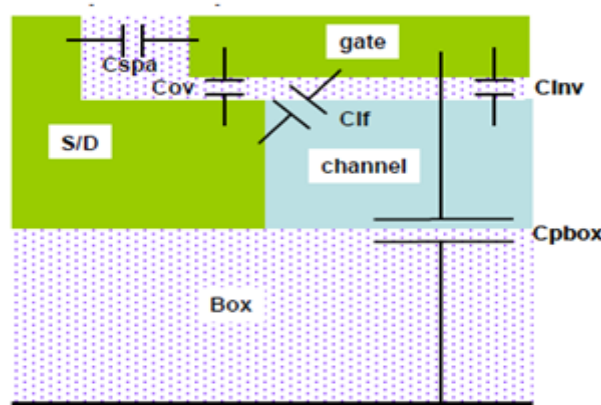


Figure II. 12: Illustration des différentes capacités présentes sur la structure FD SOI.

Il est à noter que la capacité C_{inv} (ou C_{gc}) est calculée en intégrant sur la longueur du canal la densité de charges des porteurs qu'on définit au début du programme, donc il est facile d'en soustraire la contribution à la capacité totale C_{tot} [33].

II.8.Conclusion

Ce deuxième chapitre avait pour but de présenter le transistor MOS FDSOI qui dégage comme un candidat incontournable à la succession de la technologie planaire sur silicium massif et une alternative intéressante à la technologie FinFET. Dans ce chapitre, nous avons mis en évidence les avantages du transistor MOS FDSOI. Et aussi comment grâce à la supériorité de leur contrôle électrostatique, elles permettent de relever les défis de miniaturisation des circuits intégrés.

II.9. Bibliographies

- [1] S. Cristoloveanu et F. Balustra, « technologie silicium sur isolant (soi) » technique de l'ingénieur, 2008.
- [2] IHS iSuppli : <http://www.isuppli.com>
- [3] https://fr.m.wikipedia.org/wiki/Silicium_sur_isolant
- [4] <http://www.soitec.com/en/technologies/smart-cut/>
- [5] Delprat, D. et al, "SOI substratereadiness for 22/20 nm and for fullydepletedplanardevice architectures," SOI Conference, 2009 IEEE International , vol., no, p.1,4, 5-8 Oct. 2009.
- [6] I. Golecki, "The currentstatus of silicon On Sapphire and otherheteroepitaxialsilicon on insulator technologies", Mat. Res. Soc. Proc..vol. 33, Eds H.W. Lam and M.J. Thompson, (North Holland), p.3, 1984.
- [7] ChenmingHu, "New sub-20nm transistors Why and how," Design Automation Conference (DAC), 2011 48th ACM/EDAC/IEEE, vol., no., p.460-463, 5-9 June 2011.
- [8] Narendra, S. et al, "Comparative performance, leakage power and switching power of circuits in 150 nm PD-SOI and bulk technologies including impact of SOI historyeffect," VLSI Circuits, 2001. Digest of TechnicalPapers. 2001 Symposium on , vol., no, p.217,218, 14-16 June 2001.
- [9] F. Balestra and S. Cristoloveanu, "Specialmechanisms in thin-film SOI MOSFETs", MicroelectronicsReliability, 37, p.1341-1351,1997.
- [10] J. Colinge, Silicon-on-insulatortechnology: Materials to VLSI, Kluwer AcademicPublishers, Boston, USA, 3rd edition, 1997.
- [11] S. Cristoloveanu and S. S. Li, « Electricalcharacterization of silicon-oninsulatormaterials anddevices », Kluwer AcademicPublishers, Boston, USA, 1995.
- [12] Chung Tsung Ming, « Simulation, Fabrication and characterization of advancedMOSFETs: graded-channel and multiple-gatedevices in SOI technology for analog and RF applications », Thèse de doctorat, Université catholique de Louvain, Belgique, 2007.
- [13] S.M. Sze and K.K. Ng, "Physics of SemiconductorDevices", 3rd Edition, John Wiley& Sons Ltd, 2007.
- [14] J.L. Leray, E. Dupont-Nivet, J.F. Peret et al., "CMOS/SOI hardeningat 100 Mrad (SiO₂)", IEEE Transactions on Nuclear Science, Vol. 37, Issue 6, 1990, p. 2013-2019.

-
- [15] V. Barral, T. Poiroux, F. Andrieu et al., “Strained FDSOI CMOS technologyscalability down to 2.5nm film thickness and 18nm gatelengthwith a TiN/HfO₂ gatestack”, IEEE International Electron Device Meeting (IEDM) Technical Digest, p. 61-64,2007.
- [16] C. Fenouillet-Beranger, P. Perreau, S. Denorme et al., “Impact of a 10nm Ultra-Thin BOX (UTBOX) and Ground Plane on FDSOI devices for 32nm node and below”, European Solid State DeviceResearchConference (ESSDERC), p. 89-92,2009.
- [17] S. Monfray, «’’Conception et caratérisation de dipositifs CMOS en technologie SON’’thèse de doctorat, Université de Provence, 2003.
- [18] <https://www.soitec.com/fr/produits/fd-soi>
- [19] V. Barral, T. Poiroux, F. Andrieu, C. Buj-Dufournet, O. Faynot, T. Ernst, L. Brevaed, C. Fenouillet-Beranger, D. Lafond, J.M. Hartmann, V. Vidal, F. Allain, N. Daval, I. Cayrefourcq, L.Tosti, D. Munteanu, J.L. Autran and S. Deleonibus ; Strained FDSOI CMOS technologyscalability down to 2.5nm film thickness and 18nm gatelengthl; International Electron Devices Meeting (IEDM), p. 61-64; 2007.
- [20] C. Jahan, O. Faynot, L. Tosti, J.M. Hartmann; —Agglomeration control during theselectiveepitaxialgrowth of Si raised sources and drains on ultra-thinsilicon-on-insulatorsubstrates, Journal of Crystal Growth; Vol. 280, No.3-4, p. 530–538; 2005.
- [21] K. Uchida, H. Watanabe, A. Kinoshita, J. Koga, T. Numata, S. Takagi; ExperimentalStudy on Carrier Transport Mechanism in Ultrathin-body SOI n- and p-MOSFETswith SOI Thicknesslessthan 5 nm; International Electron Devices Meeting (IEDM); p. 47-50, 2002.
- [22] M. Cassé, L. Thevenod, B. Guillaumot, L. Tosti, F. Martin, J. Mitard, O. Weber, F. Andrieu, T. Ernst, G. Reibold, T. Billon, M. Mouis, F. Boulanger, Carrier transport in HfO₂ metalgateMOSFETs : aphysical insight intocriticalparameters, Transactions on Electron Devices; Vol. 53, No. 4, p. 759-768, 2006.
- [23] O. Weber, O. Faynot, F. Andrieu, C. Buj-Dufournet, F. Allain, P. Scheiblin, J. Foucher, N. Daval, D. Lafond, L. Tosti, L. Brevard, O. Rozeau, C. Fenouillet-Beranger, M. Marin, F. Boeuf, D. Delprat, K. Bourdelle, B.-Y. Nguyen, S. Deleonibus; High Immunity to Threshold Voltage Variability in Undoped Ultra-Thin FDSOI MOSFETs and itsPhysical Understanding; International Electron Devices Meeting (IEDM), 2008.
- [24] J. Mazurier, O. Weber, F. Andrieu, F. Allain, C. Tabone, A. Toffoli, C. Fenouillet-Beranger, L. Brevard, L. Tosti, P. Perreau, M. Belleville et O. Faynot, High
-

- Performance and Low-Variability Fully-Depleted Strained-SOI MOSFETs, SOI Conference, p. 46-47, 2010.
- [25] C. Fenouillet-Beranger, S. Denorme, B. Icard, F. Boeuf, J. Coignus, O. Faynot, L. Brevard, C. Buj, C. Soonekindt, J. Todeschini, J.C. Le-Denmat, N. Loubet, C. Gallon, P. Perreau, S. Manakli, B. Minghetti, L. Pain, V. Arnal, A. Vandooren, D. Aime, L. Tosti, C. Savardi, M. Broekaart, P. Gouraud, F. Leverd, V. Dejonghe, P. Brun, M. Guillermet, M. Aminpur, S. Barnola, F. Rouppert, F. Martin, T. Salvetat, S. Lhostis, C. Laviron, N. Auriac, T. Kornann, G. Chabanne, S. Gaillard, O. Belmont, E. Laffosse, D. Barge, A. Zauner, A. Tarnowka, K. Romanjec, H. Brut, A. Lagha, S. Bonnetier, F. Joly, N. Mayet, A. Cathignol, D. Galpin, D. Pop, R. Delsol, R. Pantel, F. Pionnier, G. Thomas, D. Bensahel, S. Deleonibus, T. Skotnicki, H. Mingam; Fully-depleted SOI technology using high-k and single-metal gate for 32 nm node LSTP applications featuring 0.179 μm^2 6T-SRAM bitcell, International Electron Devices Meeting (IEDM), p. 267-270, 2007.
- [26] A.V-Y Thean, Z-H Shi, L. Mathew, T. Stephens, H. Desjardin, C. Parker, T. White, M. Stoker, L. Prabhu, R. Garcia, B-Y. Nguyen, S. Murphy, R. Rai, J. Conner, B.E. White, S. Venkatesan; Performance and Variability Comparisons between Multi-Gate FETs and Planar SOI Transistors, International Electron Devices Meeting (IEDM), 2006.
- [27] N. Planes, O. Weber, V. Barral, S. Haendler, D. Noblet, D. Croain, M. Bocat, P.-O. Sassoulas, X. Federspiel, A. Cros, A. Bajolet, E. Richard, B. Dumont, P. Perreau, D. Petit, D. Golanski, C. Fenouillet-Béranger, N. Guillot, M. Rafik, V. Huard, S. Puget, X. Montagner, M.-A. Jaud, O. Rozeau, O. Saxod, F. Wacquant, F. Monsieur, D. Barge, L. Pinzelli, M. Mellier, F. Boeuf, F. Arnaud and M. Haond, 28nm FDSOI Technology Platform for High-Speed Low-Voltage Digital Applications; VLSI Technology; p. 133-134, 2012.
- [28] T. Ernst et al. "Buried oxide fringing capacitance: a new physical model and its implication on SOI device scaling and architecture," in SOI Conference, 1999. Proceedings. 1999 IEEE International, p. 38-39, 1999.
- [29] G.G. Shahidi "SOI technology for GHz era" IBM Journal of Research and Development, p. 121, 2002.
- [30] Seung-Hwan Kim; Fossum, J.G; Ji-Woon Yang "Modeling and Significance of Fringe Capacitance in Nonclassical CMOS Devices with Gate-source/Drain Underlap" Electron Devices, IEEE Transactions on Volume: 53, p. 2143-2150, 2006.

- [31] Chien-Chung Chen, Kuo.J.B; Ke-Wei.Su, Sally Liu “Analysis of the gatesource/drain capacitance behavior of a narrow-channel FD SOI NMOS deviceconsidering the 3-D fringing capacitances using 3-D simulation” ElectronDevices, IEEE Transactions on Volume: 53, p. 2559 – 2563, 2006.
- [32] Joris Lacord, Gérard Ghibaudo, and Frédéric Boeuf “Comprehensive andAccurateParasitic Capacitance Models for Two- and Three-DimensionalCMOS Device Structures” IEEE Transaction on Electron Devices, Vol.59, p. 1332, 2012.
- [33] K .Romanjek et al. “Improved split C–V method for effective mobilityextraction in sub-0.1 μm Si MOSFETs”. IEEE Electron DevLett ,p. 583,2004.

Chapitre III : Impact de la température et méthodes d'extractions des paramètres



III.1.Introduction

La température est également considérée dans ce chapitre comme étant le paramètre principal dans la conception des équipements électroniques à cause de son rapport unique avec la fiabilité du dispositif [1].

L'extraction des paramètres électriques est un point clef pour la compréhension des phénomènes physiques qui régissent le fonctionnement des transistors. La réduction des dimensions impose aujourd'hui d'adapter les méthodes d'extraction préexistantes aux nouvelles générations de dispositifs. Ainsi, nous présentons comment à partir des courbes, il est possible d'extraire avec précision la tension de seuil, la mobilité, le facteur d'atténuation θ_1 sur des transistors ultra-courts.

III.2. Effet de température

La température peut également avoir des effets sur la performance des composants semi-conducteurs et tout particulièrement sur le courant électrique. Dans un second temps on présentera l'impact de la variation de ces paramètres sur la variation des courants du transistor [1].

Les dispositifs FD SOI et Silicium massif proviennent de la même filière technologique [2] et ont donc les mêmes empilements de grilles.

III.2.1.Impact de la température sur les paramètres électriques

La variation des paramètres électriques en fonction de la température est directement liée à la technologie. En principe les figures des data sheets permettent de définir des lois mathématiques empiriques (dépendantes de la technologie).

III.2.1.1.La transconductance

La transconductance g_m , est l'un des paramètres les plus importants pour la mesure du gain des dispositifs, est donné par la relation suivant [3] :

$$g_m(T) = g_{m(300^{\circ}K)} \left(\frac{T}{300}\right)^{-3} \text{ Avec } T \text{ en } [^{\circ}K] \quad (\text{III.1})$$

III.2.1.2. Tension de seuil V_{th}

La tension de seuil présente une forte dépendance à la température, on peut déterminer la valeur de V_{th} à la température T en fonction d'une valeur connue $V_{th}(T_0)$ donnée pour une température T_0 et d'un coefficient γ proche de $2 \cdot 10^{-3} K^{-1}$:

$$V_{th}(T) = V_{th}(T_0) \cdot [1 - \gamma(T - T_0)] \quad (III.2)$$

III.2.1.3. R_{DSon}

La mobilité μ_n des électrons diminue avec la température [4]. Comme la résistance à l'état passant est une somme de résistances inversement proportionnelles à cette mobilité μ_n , au final la R_{DSon} va augmenter avec la température [5]:

$$R_{DSon}(T) = R_{DSon25^\circ C} \left(1 + \alpha \frac{\Delta T}{300}\right) \quad (III.3)$$

III.2.1.4. BV_{DSS}

Le comportement de la tension d'avalanche BV_{DSS} avec la température est donné en fonction de la tension d'avalanche à une température de référence BV_{DSS0} , d'un coefficient en température de la tension de claquage χ , de l'augmentation de température ΔT , de la résistance d'avalanche R_d et du courant de drain I_d [6] :

$$BV_{DSS}(T) = BV_{DSS0} + \chi \Delta T + R_d I_d \quad (III.4)$$

III.2.1.5. Les courants de fuite

Le courant de fuite I_{DSS} est la somme d'un courant de génération et d'un courant de diffusion qui sont respectivement proportionnels à n_i la concentration intrinsèque de porteurs et n_i^2 [4]. Cette concentration augmente avec la température [7] selon :

$$n_i = AT^{\frac{3}{2}} \exp\left(\frac{-E_G}{2KT}\right) \quad (III.5)$$

Où A est une constante, par conséquent le courant I_{DSS} va augmenter avec la température. Quant à la fuite entre grille et source I_{GSS} , elle n'est pas impactée par la température [8].

Il est à noter que les courants de fuite varient avec la température. Il existe divers courants de fuite dans une structure MOS. On s'intéresse en ce qui nous concerne aux courants I_{ON} et I_{OFF} .

On définit les courants de fuite I_{ON} et I_{OFF} par [1]:

$$I_{ON} = I_D \text{ à } V_{GS} = 0v, V_{DS} = V_{DD}, V_{BS} = 0v \quad (\text{III.6})$$

$$I_{off} = I_d \text{ à } V_{GS} = V_{DD}, V_{ds} = V_{DD}, V_{BS} = 0v \quad (\text{III.7})$$

III.2.1.6. La mobilité des porteurs

La mobilité des porteurs dans la couche d'inversion est fortement liée à la température. Cette dépendance de la température a été employée traditionnellement pour étudier les différents mécanismes de dégradation de mobilité [9].

Que la mobilité dépend de la température. Elle augmente nettement lorsque la température décroît, phénomène bien connu en physique des semi-conducteurs [9], puisqu'une décroissance de température réduit les vibrations du réseau et diminue par conséquent les collisions avec les atomes.

III.2.2. Caractérisation de la température de recuit

La plupart des caractéristiques des transistors sont fortement influencées par le profil du dopage selon la profondeur dans le substrat depuis l'interface. En particulier, le dopage du canal qui contribue à la définition de la tension de seuil du transistor. Le dopage du canal est déterminé par l'implantation d'ajustement de V_{th} et par le bilan thermique subi par le dispositif. Le résultat de la diffusion des dopants de cet implant soumis à ce bilan thermique donne le profil final des dopants.

La dose implantée est considérée comme étant très fiable car elle est contrôlée en courant dans les implants. Mais l'information de la température reçue par chaque puce n'est pas accessible car pendant le recuit on n'a pas de sonde donnant la température reçue par chaque site de chaque tranche.

Un des recuits est très critique dans le procédé : c'est le recuit rapide arrivant à la fin des étapes de front-end. Durant ce recuit, des lampes soumettent la plaque de silicium à une température de l'ordre de 1000 °C pendant un temps de l'ordre de la seconde. La fonction de cette étape est d'activer les dopants des source/drain sans pour autant les faire diffuser trop. Le problème est que, si petites que soient les déviations de la température de ce recuit, la

sensibilité des performances électriques du transistor est suffisamment grande. Ce recuit n'est pas le seul bilan thermique important dans la diffusion de l'implant V_{th} mais il intervient après l'implantation des source-drain, implants auxquels l'électrostatique est très sensible [10].

III.3.Étude basse température : FD SOI

L'étude à basse température de la mobilité à faible champ des porteurs permet d'extraire des informations très importantes sur les mécanismes de collisions se produisant dans le canal de conduction. La mobilité des porteurs est contrôlée par différents mécanismes de collisions : les phonons, les collisions Coulombiennes, les défauts neutres où la rugosité de surface. Les interactions avec la rugosité de surface augmentent en théorie à faible température [11], néanmoins dans la pratique cette augmentation est masquée par la diminution des interactions avec les phonons. De plus, cette composante peut être négligée puisqu'on va s'intéresser à la mobilité à faible champ μ_0 .

Les composantes de la mobilité ont une dépendance différente en température, excepté les défauts neutres qui ont une dépendance en température nulle. Il est donc intéressant de voir leurs évolutions sur les dispositifs avancés de type FD SOI et sur des faibles longueurs de grilles.

$$\mu_{0Ph}(T) = \frac{300\mu_{Ph}}{T} \quad (III.8)$$

$$\mu_{0CS}(T) = \frac{T\mu_{CS}}{300} \quad (III.9)$$

$$\mu_{0N} = \mu_N \quad (III.10)$$

Des mesures de courant I_d-V_g à basse température ont été effectuées sur les dispositifs montés dans des boîtiers. En effet, les mesures sous pointes en station cryogénique présentent l'inconvénient d'une qualité de contact aléatoire en fonction de la température et de la dureté des matériaux constituant le plot de connexion et la pointe.

La mobilité à faible champ est extraite en utilisant la fonction Y [12].

Nous allons maintenant reproduire ces courbes de mesures en utilisant un modèle simple de mobilité à faible champ en fonction de la température, basé sur la loi de Matthiessen [13] [14].

$$\frac{1}{\mu_0}(T) = \frac{T}{300\mu_{Ph}} + \frac{300}{T\mu_{CS}} + \frac{1}{\mu_N} \quad (III.11)$$

III.3.1. Mobilité de porteurs de charge

La mobilité traduit l'aptitude des porteurs à se déplacer dans la couche d'inversion sous l'effet d'un champ électrique longitudinal. Elle dépend de nombreux paramètres dont les principaux sont le champ électrique transversal, l'orientation du cristal, la température et le dopage du substrat.

Les différents mécanismes de collision qui influent sur la mobilité dans la couche d'inversion d'un transistor MOSFET sont les collisions avec les phonons, les collisions sur les centres coulombiens et les collisions sur la rugosité de surface [15].

III.3.1.1. Collisions avec les phonons

Ce type de collisions résulte des vibrations du réseau. Pour une température $T < 100\text{K}$, on trouve les phonons acoustiques, qui donnent des collisions quasi-élastiques à faible champ et conduisent à une mobilité à l'interface de la forme:

$$\mu_{ph} = \mu_{pha} \propto N_{inv}^{\frac{1}{3}} T^{-1} \quad (\text{III.12})$$

N_{inv} représente la concentration des porteurs de charge de la couche d'inversion. A des températures plus élevées ($100 < T < 370\text{K}$), on trouve les phonons optiques, ils conduisent à l'expression suivante :

$$\mu_{ph} = \mu_{pho} \propto N_{inv}^{\frac{1}{b}} T^{-n} \quad (\text{III.13})$$

Avec : $3 \leq b \leq 6$ et $1 \leq n \leq 1,5$, ces constantes dépendent de l'orientation cristallographique.

III.3.1.2. Collisions sur les centres coulombiens

Ce mécanisme est dû aux sites chargés près du canal. Généralement, ces charges sont localisées principalement à l'interface Si/SiO₂. Ces collisions commencent à se manifester à des températures suffisamment basses lorsque les collisions sur les phonons ne sont pas dominantes. Elles sont importantes en faible inversion, mais deviennent moins effectives lorsqu'on passe en forte inversion à cause de l'effet d'écrantage des charges par les porteurs minoritaires. L'atténuation de la mobilité est donnée par :

$$\mu_c \propto N_{cs}^{-1} T \quad (\text{III.14})$$

N_{cs} représente la concentration de charges de surface, comprenant la charge fixe de l'oxyde, la charge d'états d'interfaces ainsi que la charge localisée due aux impuretés ionisées.

III.3.1.3. Collisions sur la rugosité de surface

Les défauts à l'interface Si/SiO₂ sont une importante source de collisions. Les collisions sur les rugosités de surface sont indépendantes de la température et dominantes pour les forts champs électriques transversaux. Elles peuvent être modélisées par :

$$\mu_{sr} \propto E_{eff}^{-2} \quad (III.15)$$

E_{eff} est le champ électrique transversal effectif qui est donné par :

$$E_{eff} = \frac{q(\eta N_{inv} + N_{dep})}{\epsilon_{si}} \quad (III.16)$$

N_{inv} et N_{dep} sont les densités de charges des zones d'inversion et de déplétion respectivement, ϵ_{si} est la permittivité relative du silicium, η est une constante.

III.3.1.4. Combinaison des trois mécanismes de collisions

La contribution relative de ces trois mécanismes dépend de la température et de la concentration des porteurs dans le canal. A température ambiante et en faible inversion, la mobilité est contrôlée par les collisions sur les phonons et par les collisions coulombiennes, alors qu'en forte inversion, les collisions sur les rugosités de surface sont prépondérantes. A basses températures, seuls les deux derniers mécanismes sont significatifs. La figure III.1 représente les dépendances empiriques de la mobilité effective associée à chaque mécanisme en fonction du champ effectif et de la température. La mobilité totale dans la couche d'inversion peut être extrapolée en utilisant la loi empirique de Matthiessen qui considère que tous les mécanismes sont statistiquement indépendants des uns des autres [16] :

$$\frac{1}{\mu_{eff}} = \frac{1}{\mu_{ph}} + \frac{1}{\mu_{sr}} + \frac{1}{\mu_c} \quad (III.17)$$

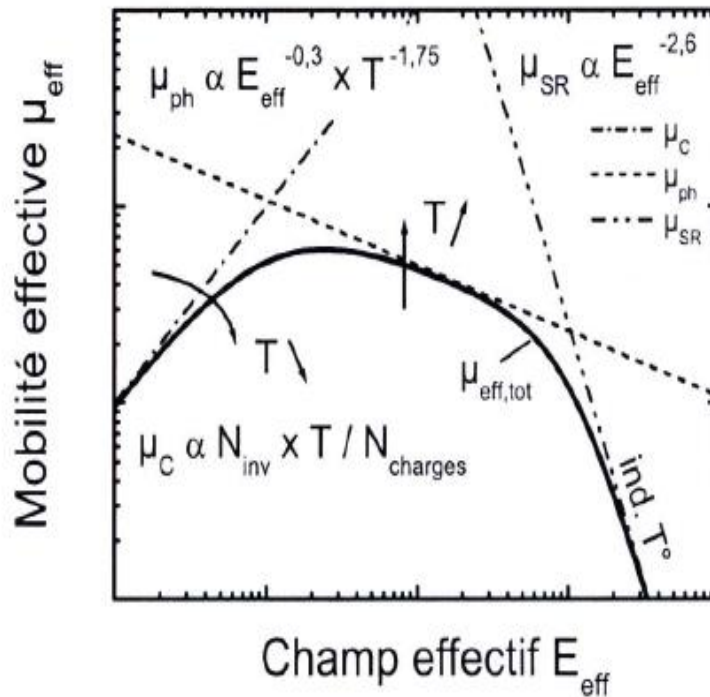


Figure III. 1: Dépendances empiriques de la mobilité effective associée à chaque mécanisme en fonction du champ effectif et de la température [17].

III.3.2. Étude comparative des mobilités entre FD SOI et Silicium massif

Plusieurs études ont été consacrées à la comparaison en termes de paramètres électriques entre transistors FD SOI et silicium massif [18] [19] [20]. Cependant, peu d'entre elles ont été consacrées à l'étude comparative de la mobilité. Dans le paragraphe suivant, l'origine des gains en mobilité pour les dispositifs FD SOI sera analysée à partir des mesures à basses températures sur des dispositifs nMOS à base de silicium massif et pMOS à base de Silicium Germanium SiGe 30% dans le canal.

Les dispositifs FD SOI et Silicium massif proviennent de la même filière technologique et ont donc les mêmes empilements de grilles.

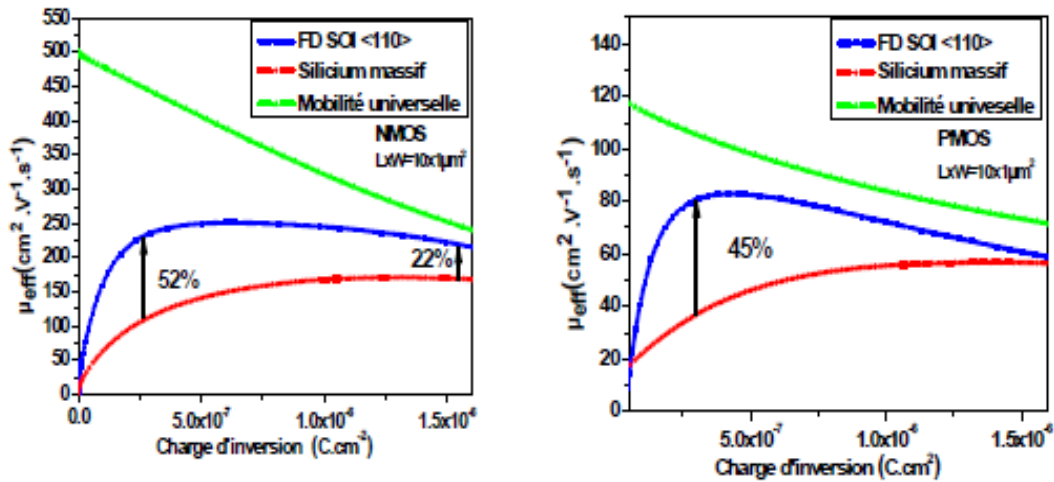


Figure III. 2:(a) Mobilité split CV pour des structures nMOS silicium massif vs FD SOI ($T_{si}=8$ nm, $T_{box}=25$ nm HfSiON/TiN), (b) Mobilité split CV pour des structures pMOS silicium massif vs FDSOI ($T_{si}=8$ nm, $T_{box}=25$ nm HfSiON/TiN).

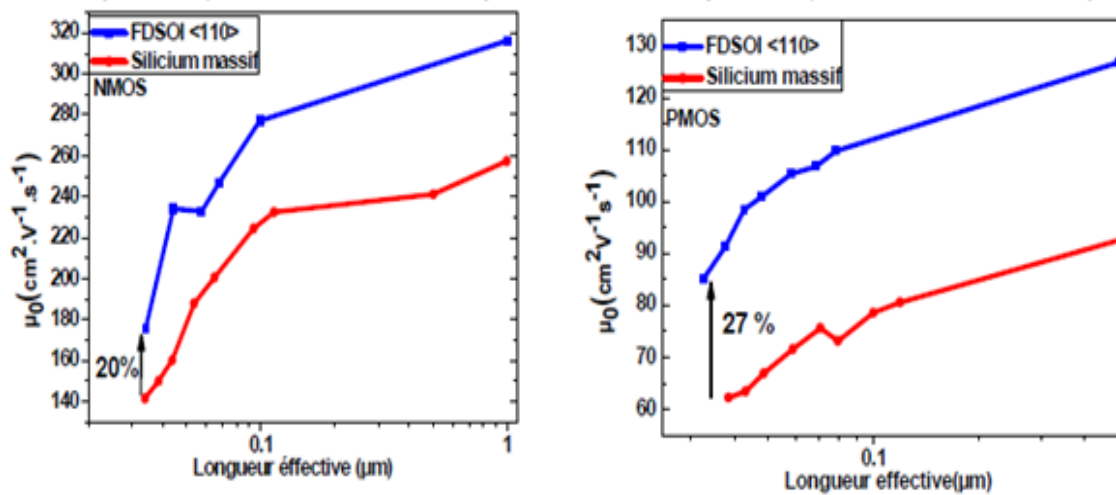


Figure III. 3: (a) Comparaison des mobilités à faible champ entre Bulk et SOI pour nMOS, (b) Comparaison des mobilités à faible champ entre Bulk et SOI pour pMOS.

Il est connu que l'utilisation de SOI complètement déserté améliore la mobilité des porteurs. La source de cette augmentation par rapport aux dispositifs sur silicium massif reste à déterminer.

La Figure III.2 montre l'augmentation de la mobilité sur les transistors longs comme sur les courts n&pMOS par rapport aux dispositifs Bulk.

La figure III.3 montre en particulier une comparaison entre la mobilité effective en fonction de la densité de charge d'inversion dans le canal pour les transistors n et pMOS FDSOI vs Bulk. Elles montrent que cette mobilité augmente de 52% sur les

dispositifs nMOS et 45% sur les pMOS pour les faibles valeurs de la densité de charge d'inversion. Cette différence diminue à 22% pour les nMOS et une faible différence dans le cas du pMOS pour les fortes densités de charges d'inversion. Ce premier résultat permet de voir l'impact de la rugosité de surface sur la réduction de la mobilité caractéristique du fort champ. Les figures qui suivent vont nous permettre de mieux comprendre l'origine de cette augmentation. La figure III.3 présente une comparaison de la mobilité à faible champ à basse température pour le Bulk vs SOI. Ces courbes sont modélisées et nous permettent d'extraire la dépendance des composantes de la mobilité en fonction de la température pour les deux types de transistors (Figure III.5).

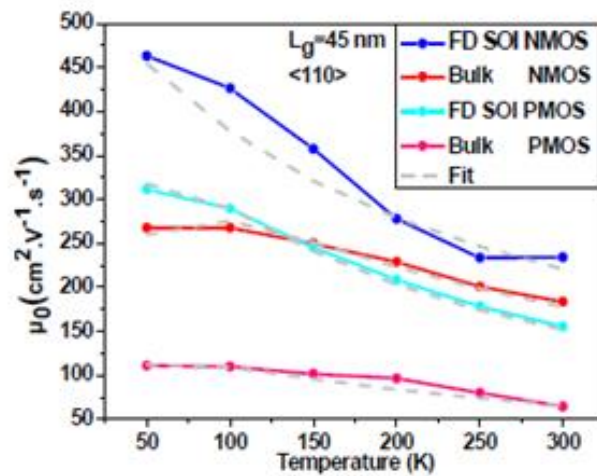


Figure III. 4:Évolution de la mobilité à faible champ pour Bulk et FD SOI n&pMOS avec un 'fit' des mesures ($L_g=45$ nm, $T_{si}=8$ nm, $T_{box}=25$ nm).

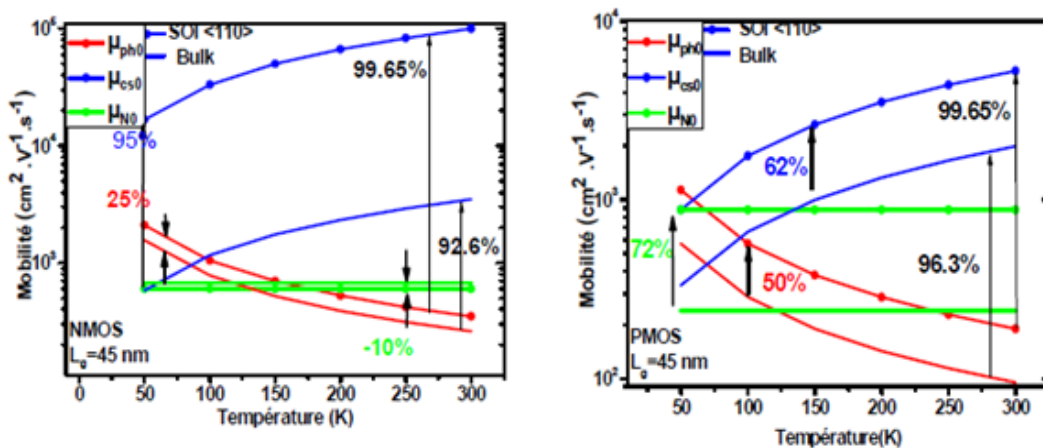


Figure III. 5:(a)Contribution des composantes de la mobilité en fonction de la température pour un nMOS FD SOI vs Bulk 45 nm. (b) Contribution des composantes de la mobilité en fonction de la température pour un pMOS FD SOI vs Bulk 45 nm.

La figure III.5 montrent l'évolution de μ_{0ph} , μ_{0cs} et μ_{0N} avec la température pour les dispositifs n&pMOS FDSOI et Bulk. La principale observation qu'on peut noter est que la diffusion à travers les phonons reste la principale source de limitation de mobilité dans les deux dispositifs à 300K (Courbes rouges avec les valeurs de mobilité les plus faibles dans la figure III.5). Son impact est 99% supérieur à celui des interactions Coulombiennes dans les dispositifs FD SOI n&pMOS. Ces valeurs tombent à 96 et 92% sur les dispositifs Bulk&nMOS respectivement. Ce premier constat nous donne une première indication qui consiste à dire que les interactions Coulombiennes sont plus importantes dans le cas Bulk et sont forcément dues au dopage qui représente la différence majeure entre les deux structures. Cette différence entre les mobilités coulombiennes est de 95% pour un nMOS FD SOI par rapport au Bulk et n'est que de 62% dans le cas du PMOS.

Ces figures permettent aussi de comparer la différence de mobilité due à la diffusion à travers les phonons pour les 2 types de substrats. Elle représente 25% pour les nMOS et 50% pour les pMOS. Ces figures mettent ainsi en avant une des sources principales de l'augmentation de la mobilité mesurée sur les dispositifs FD SOI.

Il faut noter aussi que les défauts neutres et les phonons ont un effet plus important sur les pMOS Bulk SiGe par rapport aux NMOS donnant lieu à une réduction de μ_N de 72% et de 50% pour μ_{Ph} (Figure III.5. b).

Avec la réduction de la température, l'effet des diffusions à travers les phonons diminue et laisse place aux interactions coulombiennes qui deviennent ainsi la principale source de réduction de mobilité accompagnant les défauts neutres.

III.4. Mesures et extractions statiques

Avant toute mesure, des mesures statiques sont nécessaires. Les principaux paramètres du transistor doivent être extraits, tels que la tension de seuil V_{th} , la mobilité à faible champ μ_0 [16].

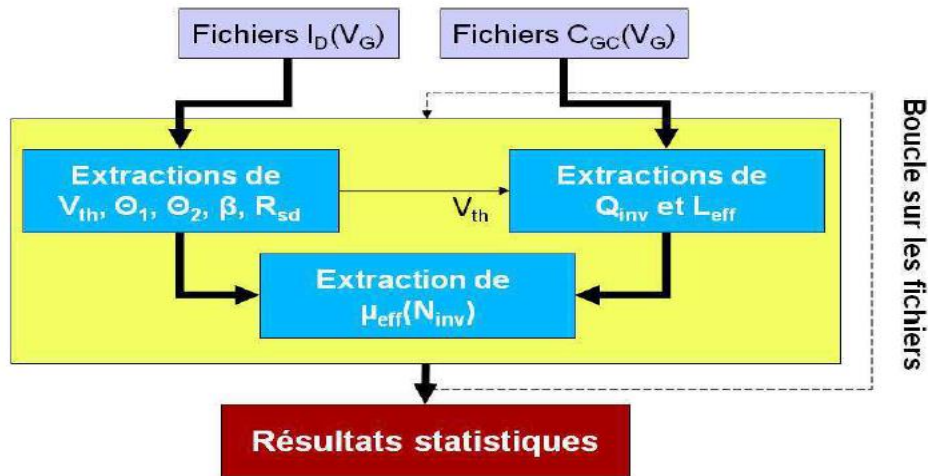


Figure III.6: Diagramme qui illustre les étapes nécessaires pour extraire les paramètres électrique[21].

III.4.1. Mesures en statique

Les mesures en statique du transistor MOSFET sont effectuées en utilisant un traceur de caractéristiques HP4156B. La caractéristique $I_d(V_{gs})$ est relevée, en utilisant une tension de drain V_{ds} constante dans la zone linéaire. Cette dernière est choisie égale à celle utilisée pour les caractéristiques en bruit. Pour cela, un lot de transistors de différentes longueurs et de largeur fixe et vice versa est nécessaire pour bien extraire les paramètres. Les valeurs de la tension de seuil et de la pente sous le seuil peuvent être déduites directement de la caractéristique relevée pour chaque transistor. Les autres paramètres, technologiques ou électriques, du transistor peuvent être estimés en utilisant plusieurs techniques d'extractions. La méthode utilisée dans notre étude est « la fonction Y » qui va être décrite dans le prochain paragraphe [16].

III.4.2. La méthode de la fonction Y

La technique la moins périlleuse pour extraire les paramètres du transistor est la fonction Y [22] [23][24][25] définie comme la combinaison de la courbe de courant de drain $I_d(V_{gs})$ et celle de la transconductance $g_m(V_{gs})$ pour linéariser la nouvelle fonction Y représentée sur la Figure III.7. La fonction Y est définie par le courant du drain divisé par la racine carrée de la transconductance [22] [26] [27]. Elle permet d'extraire la tension de seuil V_{th} et la mobilité à faible champ μ_0 . Cette méthode apporte plus de précisions par rapport aux autres méthodes [28] [29] [30] [31].

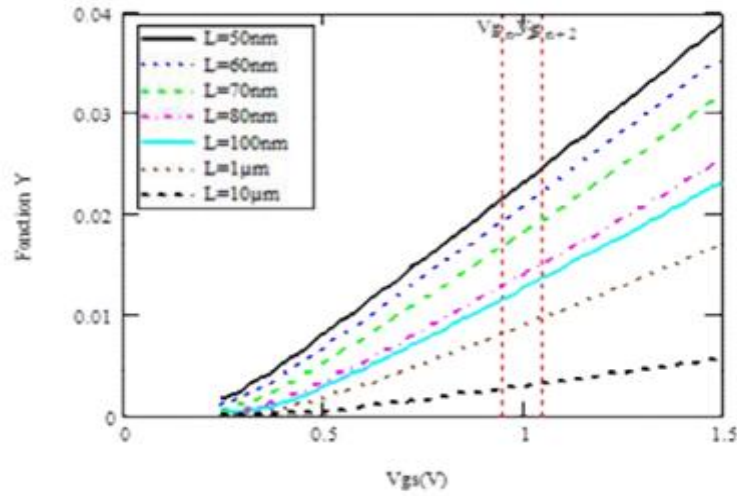


Figure III. 7: Caractéristique de la fonction Y pour le transistor de technologie 45nm.

Elle permet de s'affranchir de l'impact du premier facteur d'atténuation de la mobilité θ_1 et donc de la résistance d'accès R_{sd} . La fonction Y sert aussi à extraire la longueur effective $L=L_{eff} + \Delta L$, par l'utilisation de plusieurs longueurs de transistors afin d'extrapoler ΔL .

$$Y = \frac{I_{ds}}{\sqrt{g_m}} = \sqrt{\frac{w}{L}} \mu_0 C_{ox} V_{ds} (V_{gs} - V_{th}) \quad (III.18)$$

Elle nous permet d'extraire une valeur de μ_0 en s'affranchissant des résistances séries (pente de Y) mais aussi une valeur de la tension de seuil V_{th} (abscisse à l'origine de Y).

$$S_y = pente(Y) = \sqrt{\frac{w}{L}} \mu_{ox} C_{ox} V_{ds} \quad (III.19)$$

$$\mu_0 = \frac{S_y^2}{\frac{w}{L} C_{ox} V_{ds}} \quad (III.20)$$

$$V_{th} = V_g - \frac{Y}{S_y^2} \quad (III.21)$$

Puis en fait l'extraction de θ_1 qui est le facteur intrinsèque de réduction de la mobilité dû à l'interaction entre les porteurs du canal d'inversion et les phonons du réseau cristallin appelé « premier facteur d'atténuation de mobilité » [32].

En calculant la fonction $X(V_G)=1/(G_m)^{1/2}$ on obtient la valeur du coefficient d'atténuation de mobilité θ_1 en multipliant les pentes des deux fonctions X et Y en forte inversion.

$$X(V_g) = \frac{1}{\sqrt{g_m}} = \left(\frac{L}{W\mu_0 C_{OX} V_d} \right)^{\frac{1}{2}} (1 + \theta_1 (V_g - V_t)) \quad (III.22)$$

$$\theta_1 = S_x S_y \quad (III.23)$$

L'avantage majeur de la méthode « Fonction Y » qui est l'indépendance de la fonction Y vis-à-vis de la résistance série source-drain R_{sd} . En effet, le premier facteur d'atténuation de mobilité θ_1 , contenant la résistance R_{sd} , est absent dans la formule de la fonction Y. Ceci s'avère crucial pour les transistors de dernières générations, c'est-à-dire de longueur de grille inférieure à 100nm, car pour ceux-ci la résistance R_{sd} perturbe fortement le courant de drain. De plus, cette méthode n'utilise qu'une seule dérivation du courant de drain ce qui limite le bruit induit [33].

III.4.3. La méthode Split CV

La méthode split CV reste la méthode la plus utilisée pour extraire la mobilité effective en fonction du champ électrique effectif dans les dispositifs larges. Cette méthode, à la base, a été développée pour étudier les états d'interfaces en faible inversion [34]. Elle combine deux types de mesures, une mesure capacitive et une mesure de courant. La première étape donc, concerne la mesure de la capacité grille-canal C_{gc} et ceci en connectant la borne High du capacimètre (HP 4284 LCR meter) à la grille et source-drain connectée ensemble sur le Low, la prise bulk étant connectée à la masse (Figure III.8. a).

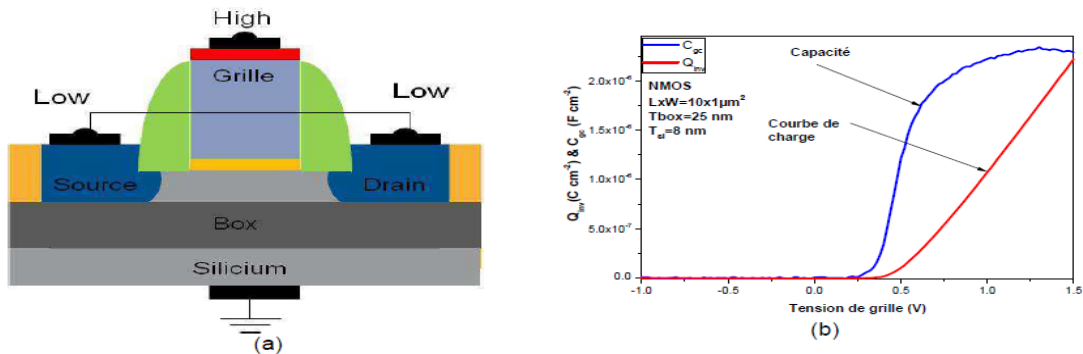


Figure III. 8: (a) Figure illustrant le schéma de connexion du transistor pour la mesure de la capacité grille-canal C_{gc} . (b) courbe de la capacité C_{gc} et la charge d'inversion Q_{inv} normalisées pour un dispositif FD SOI.

L'intégration de la capacité C_{gc} entre la valeur de $V_{g,acc}$, valeur de la capacité (théoriquement égale à zéro) V_g en forte inversion nous permet d'extraire la charge d'inversion dans le canal Figure III.8.b.

$$Q_{inv}(V_g) = \int_{V_{g,acc}}^{V_g} C_{gc}(V)dv \quad (III.24)$$

La deuxième étape consiste en la mesure du courant linéaire $I_d(V_g)$ débité par le transistor. D'où

$$\mu_{eff} = \frac{L_{eff}}{W_{eff}} \frac{I_d}{Q_{inv}V_d} \quad (III.25)$$

La figure suivante montre l'évolution de la mobilité effective en fonction de la charge d'inversion. Cette mobilité est extraite par deux méthodes différentes, le split CV en Noir et celle extraite en utilisant les paramètres définis par la méthode Y en rouge. Ce graphe montre que les deux méthodes donnent des valeurs de mobilité similaire à fort champ. Elle démontre néanmoins les limites de la technique du split CV puisqu'elle induit une mobilité nulle à faibles champs ce qui est faux.

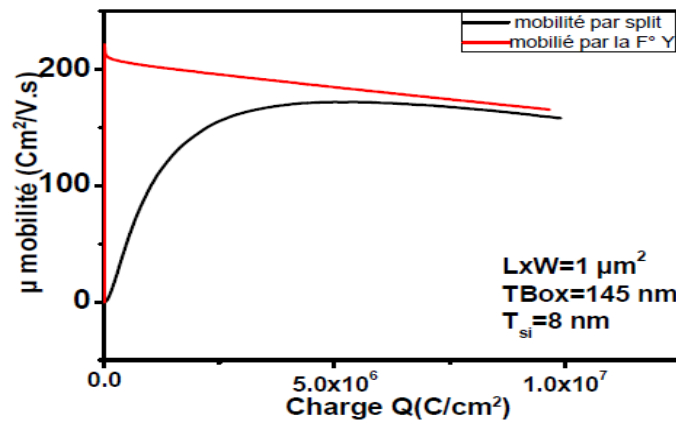


Figure III. 9:Figure de comparaison entre les courbes de mobilité extraite par la méthode split CV et la fonction Y.

Quelques modèles dans la littérature proposent l'expression du champ effectif transverse dans les dispositifs FDSOI [35] [36].

La figure III.10 montre l'évolution de la mobilité effective en split CV sur un dispositif (avec un oxyde de grille SiO_2 épais de 4nm (GO_2)) de grande dimension où l'on observe l'effet de la polarisation face arrière sur la mobilité.

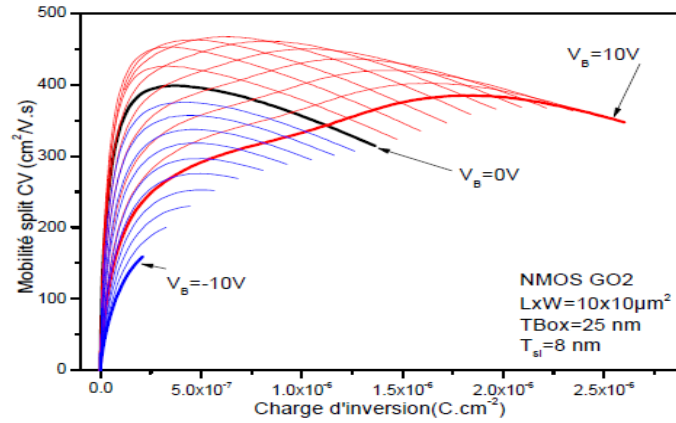


Figure III. 10: mobilité effective en fonction de la tension face arrière V_B (-10 à 10 V avec un pas de 1 V).

III.5. L'extraction du DIBL

Ce phénomène est dû à l'augmentation linéaire du potentiel de surface du côté de la source avec V_d [37] tel que :

$$\Delta\psi_s = DIBL.V_d \quad (III.26)$$

Cette variation peut être équivalente à la variation de tension de seuil tels que :

$$\Delta V_{th} = -DIBL.\Delta V_d \quad (III.27)$$

Ainsi, on peut définir

$$DIBL(SUnité) = \frac{V_{th}|_{V_d=V_1} - V_{th}|_{V_d=V_2}}{V_1 - V_2} \quad (III.28)$$

Avec V_1 et V_2 les tensions de polarisation du drain en linéaire et saturée.

L'augmentation du potentiel sous l'effet de la polarisation du côté du drain va induire une chute de la tension de seuil en régime de saturation. Ce phénomène devient d'autant plus important qu'on réduit les dimensions du transistor comme le montre la figure III.11 qui illustre le décalage de la tension de seuil entre les deux régimes pour le transistor court. En revanche, pour les canaux longs la barrière de potentiel du côté de la source reste inchangée ce qui permet d'avoir un courant de drain équivalent en dessous du seuil.

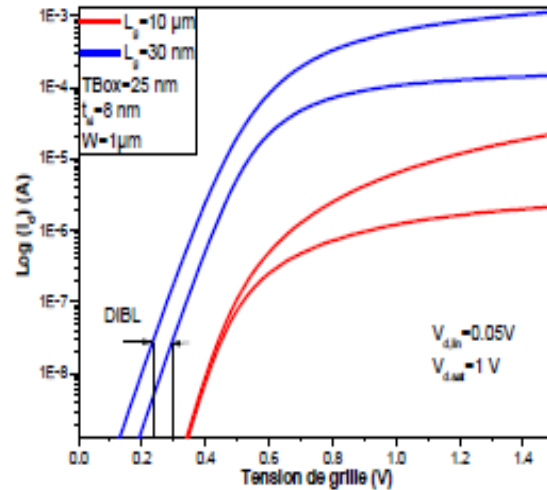


Figure III. 11: Illustration de l'effet du DIBL sur les courbes de courants $I_d(V_g)$ sur les canaux longs et courts.

Le DIBL a été extrait à courant constant pour toutes les longueurs de grilles. Il représente la différence entre les deux valeurs de la tension de grille correspondant à une même valeur de courant en régime linéaire et saturé comme illustré sur la figure III.11.

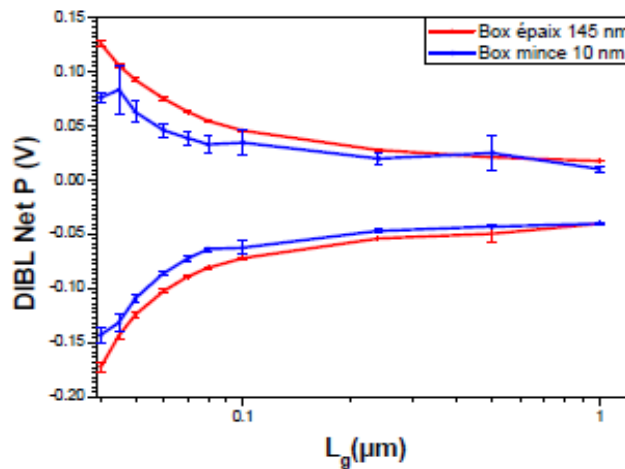


Figure III. 12: Évolution du DIBL avec la longueur de grille et pour deux épaisseurs de Box pour NMOS et PMOS.

Néanmoins, ce facteur peut être aussi extrait en faisant la différence entre la tension de seuil régime linéaire et saturé tels que :

$$DIBL = V_{th,lin} - V_{th,sat} \quad (III.29)$$

Où $V_{th,sat}$ est la tension de seuil en saturation. Il correspond à la tension de grille du maximum de la dérivée du courant de drain en régime de saturation.

La figure III.12 montre l'augmentation du DIBL avec la réduction des longueurs de grille. Elle met en évidence que la réduction de l'épaisseur du Box permet de réduire le DIBL. Concrètement le grand intérêt des dispositifs FD SOI est de contrôler physiquement la zone de déplétion en réduisant l'épaisseur du film de silicium au maximum sans avoir recours au dopage du canal. L'amincissement du film de silicium permet de limiter l'extension des lignes de potentiel dans le canal et donc de réduire par conséquent les effets canaux courts.

De nouveaux leviers technologiques sont proposés pour repousser les limites du FD SOI et réduire les effets de canaux courts comme le Ground Plane GP ou plan de masse [38, 39] qu'on va expliciter plus loin dans ce manuscrit.

III.6. Conclusion

En conclusion on a vu l'effet de la température sur le comportement électrique du MOSFET FD SOI et BULK. On a fait une présentation complète d'une méthode d'extraction appelée « Fonction Y » qui a été préférentiellement utilisée au cours de notre travail pour extraire les paramètres électriques de ceux-ci à partir de mesures électriques notamment.

III.7. Bibliographie

- [1] Support de cours "Impact de la température sur les paramètres du modèle EKV", dspace.univ-tlemcen.dz
- [2] I. Ben Akkez, C. Diouf, A. Cros, C. Fenouillet-Beranger, P. Perreau, F. Balestra, G. Ghibaudo, F. Boeuf "On the understanding of mobility degradation mechanisms in advanced CMOS devices: FDSOI versus bulk technology" SSDM, 2012.
- [3] support de cours "modélisation thermique des composants de puissance", <http://www.chireux.fr>
- [4] S. M. Sze, "Physics of Semiconductor Devices", Second Edition, Ed. John Wiley & Sons, 1981.
- [5] P. Aloïsi, "Les semiconducteurs de puissance", Ed. Ellipses, 2001.
- [6] J. McGloin, D. Sdrulla, "Estimating the temperature rise of power MOSFETs during the UIS test", Proceedings of APEC 1992, p. 448-453, 1992.
- [7] J. Arnould, P. Merle, "Dispositifs de l'électronique de puissance", Vol. 1 et 2, Ed. Hermes, 1992.
- [8] Beatrice Bernoux, "Caractérisation de MOSFETs de puissance cyclés en avalanche pour des applications automobiles micro-hybrides. Micro et nanotechnologies/Microélectronique", INSA de Toulouse, 2010.
- [9] C.T. Sah, "MOSFET modeling for VLSI simulation theory and practice", World Scientific, p. 69-287, 2006.
- [10] P. Lemoigne. "Simulation de la variabilité du transistor MOS", IM2NP et STMicroelectronics, 1er décembre 2011.
- [11] D.K. Ferry "Effects of surface roughness in inversion layer transport" IEDM Tech, Digest 605-8, 1984.
- [12] G. Ghibaudo, "New method for the extraction of MOSFET parameters" Electronics Letters, vol. 24, no. 9, p. 543, 1988.
- [13] K. Romanjek et al, WOLTE proceedings, p. 201-208, 2004.
- [14] A. Cros, K. Romanjek, D. Fleury, S. Harrison, R. Cerutti, P. Coronel, B. Dumont, A. Pouydebasque, R. Wacquez, B. Duriez, R. Gwoziecki, F. Boeuf, H. Brut, G. Ghibaudo et T. Skotnicki "Unexpected mobility degradation for very short devices: A new challenge for CMOS scaling", p. 1-4, 2006.

- [15] C. T. Sah, T. H. Ning and L. L. Tschopp, "The scattering of electrons by surface oxides charges and by lattice vibrations at the silicon-silicondioxide interface", *Surface Science*, p. 561-575 ,1972.
- [16] Rachida Talmat, "Etude des phénomènes de transport de porteurs et du bruit basse fréquence en fonction de la température dans les transistors MOSFETs nanométriques (FinFETs)", *Electronique, université de caen*, 2011.
- [17] S. Takagi, A. Toriumi, M. Iwase et H. Tango, "On the universality of inversion layer mobility in Si MOSFETs: Part-I-effects of substrate impurity concentration", *IEEE Transactions on Electron Devices*, p. 2357-2362, 1994.
- [18] Yan, R.-H. Ourmazd, A. Lee, K.F. "Scaling the Si MOSFET: from bulk to SOI bulk" *Electron Devices, IEEE Transactions on Volume: 39*, p.1704-1710 ,1992.
- [19] Suryagandh, S.S. arg, M. Woo, J.C.S. "Comparison between bulk and SOI MOSFETs for sub-100nm mixed mode applications" *European Solid-State Device Research, 2003. ESSDERC 33rd Conference on 2003*.
- [20] Simone Eminentea, Marco Alessandrinia, Claudio Fiegna "Comparative analysis of the RF and noise performance of bulk and single-gate ultra-thin SOI MOSFETs by numerical simulation" *Solid-State Electronics Volume 48*, p. 543–549 ,2004.
- [21] Imed Ben Akkez, "Etudes théorique et expérimentale des performances des dispositifs FD SOI sub 32 nm", *Université de Grenoble*, 2012.
- [22] G. Ghibaudo, "New method for the extraction of mosfet parameters," *Electron. Lett.*, vol. 2, no. 9, p. 543–545, 1988.
- [23] T. Di Gilio, "Etude de la fiabilité porteurs chauds et des performances des technologies CMOS 0.13 μm - 2nm," *université de Provence*, 2006.
- [24] I. Ben Akkez, "Études théorique et expérimentale des performances des dispositifs FDSOI sub 32 nm," *thèse Université polytechnique de grenoble , IMEP LAHC*, 2012.
- [25] J. Coignus, "Etude de la conduction électrique dans les diélectriques à forte Permittivité utilisés en microélectronique," *Thèse Université de Grenoble Spécialité : Micro et Nano Electronique*, 2010.
- [26] J. W. Lee, D. Jang, M. Mouis, G. T. Kim, and al, "Mobility analysis of surface roughness scattering in FinFET devices," *Solid. State. Electron.*, vol. 62, no. 1, p. 195–201, 2011.
- [27] G. Ghibaudo and F. Balestra, "Modelling of ohmic MOSFET operation at very low temperature," *Solid. State. Electron.*, vol. 31, no. 1, 1988.
- [28] W. R. Henderson, L. Pourcin, G. Ghibaudo, and D.-P. Vu, "A simple characterization

- method for silicon-on-insulator materials using a depletion-mode MOSFET," IEEE Electron Device Lett., vol. 11, no. 11, p. 552–555, 1990.
- [29] A. Karsenty and A. Chelly, "Y-Function Analysis of the Low Temperature Behavior of Ultrathin Film FD SOI MOSFETs," Act. Passiv. Electron. Components, vol. 2014, 2014.
- [30] D. Fleury and A. Cros, "New Y-function-based methodology for accurate extraction of electrical parameters on nano-scaled MOSFETs," in conference on Microelectronic Test Structures, 2008.
- [31] G. Bidal and D. Fleury, "Guidelines for MOSFET device optimization accounting for L dependent mobility degradation," 2009.
- [32] W. Y. Yang, C. Y. Wu, H. J. Wu, A new experimental method to determine the saturation voltage of a small-geometry MOSFET, Solid State Electronics, Vol.31, n°9, p.1421-1431, 198.
- [33] J.A. Scott, E.T. Croke and J.D. Plummer. High mobility Si- x Ge PMOS transistor 5K, Journal of Physique IV, vol.C6,p.69-74,1994.
- [34] Koomen.J "Investigation of the MOS channel conductance in weak Inversion" Solid-State Electronics Volume 16, p. 801–810, 1973.
- [35] Mazhari, B. Ioannou, D.E. "Surface Potential at Threshold in Thin-Film SOI MOSFET's" Electron Devices, IEEE Transactions on Volume: 40, p. 1129-1133, 1993.
- [36] S Jin-Hyeok Choi Young-June Park, Hong-Shick Min Baquer Mazhari and bimitris E. Ioannou "Electron Mobility Behavior in Extremely Thin SOI MOSFET" IEEE Electron Device Letters, Vol. 16, No. 11, 1995.
- [37] W. Fikry, G. Ghibaudo and M. Dutoit "Temperature dependence of drain induced barrier lowering in deep submicrometre. MOSFETs" ELECTRONICS LETTERS Vol. 30 No 1, 1994.
- [38] H.-S.P. Wong, D.J. Frank, and P.M. Solomon "Device design considerations for double-gate, ground-plane, and single-gated ultra-thin SOI MOSFET's at the 25 nm channel length generation" Technical Digest of International Electron Devices Meeting, p. 407-410, 1998.
- [39] T. Ernst and S. Cristoloveanu, "The ground-plane concept for the reduction of short-channel effects in fully depleted SOI devices", Electrochemical Society Proceedings 99-3, p. 329-334, 1999.

Chapitre IV : Simulation numérique des paramètres du transistor FDSOI



IV.1. Introduction

Notre travail se compose de trois parties, la première partie traite la comparaison des Paramètres électriques du transistor MOS-BULK avec celui du MOS-FDSOI, avec les mêmes Paramètres structurelles de 28 nm à température ambiante, en appliquant une méthode d'extraction appelée fonction Y pour extraire les Paramètres principaux des deux transistors.

La deuxième partie nous proposons une étude de l'influence des basses températures sur le comportement électrique du transistor MOS-FDSOI.

On se propose dans ce qui suit de présenter les résultats de simulation que nous avons obtenus et ceci par le biais du simulateur SILVACO, que nous proposons tout d'abord de présenter.

IV.2.Présentation du plaquait des programmes SILVACO

SILVACO présente un ensemble d'outils de simulation interactifs permettant la conception et l'analyse des dispositifs à semi-conducteur VWF (Virtual Wafer Fabrication) [1]. Les composants de base de VWF (Figure) sont :

- 1- Les outils de simulation (VWF CORE TOLS). Ces outils simulent soit le processus de fabrication, soit les comportements électriques. Les outils de simulation sont ATHENA, ATLAS et SDUPEM3.
- 2- Les outils interactifs (VWF INTERAVE TOOLS). Ces outils sont désignés pour être utilisés en mode interactif dans la construction d'un seul fichier d'entrée. En étant basé sur une interface utilisateur qui est graphique (Graphical User Interface,GUD). Ainsi le travail de construction du fichier d'entrer devient plus efficace. Les outils interactifs peuvent être utilisés soit en relation avec un ensemble de fichiers, ou comme des composants intégrés dans l'environnement des outils d'automatisation.
- 3- Les outils d'automatisation (VWF AUTOMATION TOOLS). Ces outils permettant à l'utilisateur d'exécuter sur une grande échelle des études expérimentales afin de créer des résultats pour l'analyse statistique. Les outils automatiques se servent de la technologie de base de données réparties et des méthodes de logiciels de développement d'interprocessus.

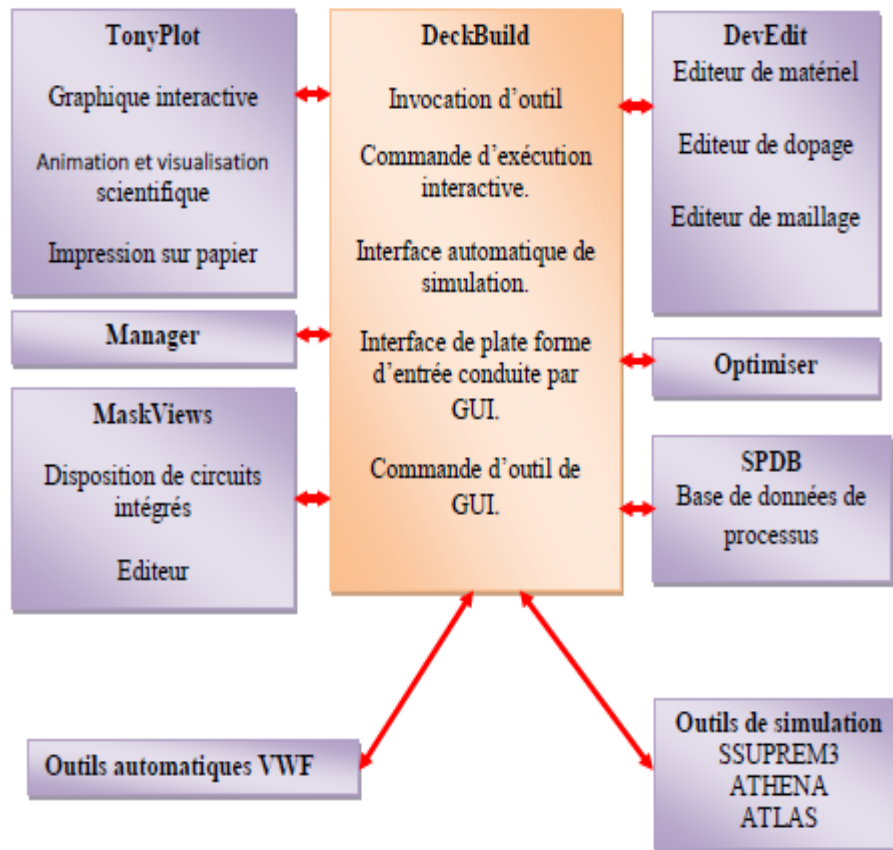


Figure IV. 1: Organigramme de la structure VWF.

IV.2.1.L'outil de simulation – Silvaco

Durant la conception d'un circuit intégré, le flot de données traverse plusieurs couches logicielles. Généralement, à chacune de ces couches logicielles est associé un niveau d'abstraction (Figure IV.2). D'autres outils logiciels permettent de passer d'une couche à une autre. Les couches inférieures sont composées des niveaux électrique et physique. Au niveau électrique le circuit ne comporte plus des portes logiques mais des transistors et leurs interconnexions. Au niveau physique, le transistor est maintenant considéré dans son aspect physique; nous sommes dans l'univers TCAD (Technology Computer Aided Design) [2].

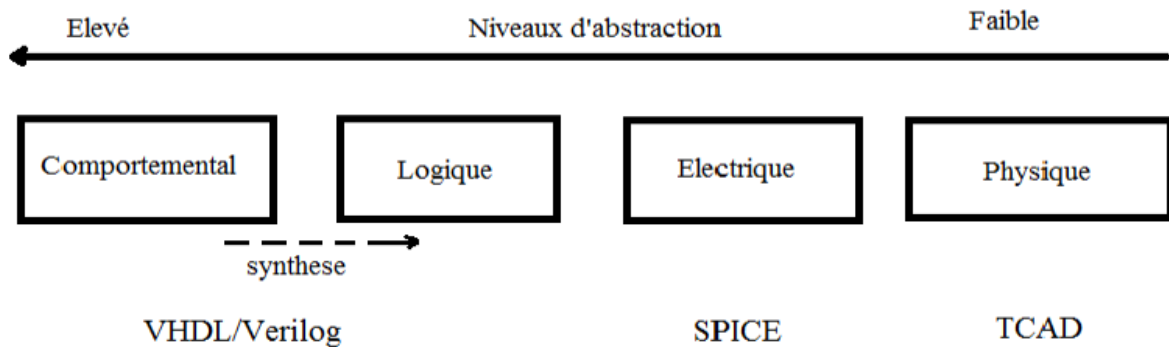


Figure IV. 2: Différents niveaux d'abstraction.

L'utilisation des technologies de la micro-électronique pour la réalisation des composants donne une possibilité d'intégration et une production à faible coût. Les simulateurs TCAD (Technology Computer-Aided Design) permettent la modélisation du comportement physique et électrique d'un composant électronique, dans le but d'économiser le temps et le coût de développement, et ainsi de pouvoir envisager et optimiser des solutions pour améliorer les performances des dispositifs. Les simulateurs existants sur le marché (ISE, SYNOPSIS, SILVACO,...) ont le même principe de fonctionnement. Dans ce travail, nous avons utilisé le simulateur TCAD-SILVACO (ATHENA et ATLAS).

On va présenter le logiciel de simulation TCAD-SILVACO, son principe de fonctionnement, et ces modules de simulation : ATHENA pour la simulation des processus technologiques, et ATLAS pour la simulation du comportement électrique des composants. Puis, nous ferons une description des différentes étapes de simulation du procédé technologique telles que l'oxydation, la diffusion, la gravure, etc.

IV.2.1.1. Les outils de simulation

- **ATLAS** : simulation physique de dispositifs à semi-conducteur 2D ou 3D qui permet de simuler le comportement électrique (statique ou dynamique) de spécifiées des dispositifs à semi-conducteur.
- **ATHENA** : simulateur 2D de de procédés technologiques qui permet de développer et optimiser des processus de fabrication de semi-conducteur (les différentes étapes effectuées en salle blanche). Il fournit une plate-forme pour simuler l'implantation ionique, la diffusion gravure à l'eau-forte, le dépôt, la lithographie, l'oxydation, et la

sollicitation des matériaux semi-conducteurs. Il remplace des expériences coûteuses par des simulations.

- **SSUPEMS3** : simulateur de procédé 1D avec prolongements simples simulations des dispositifs[1]

IV.3.Définition de La Structure

Nous avons réalisé des simulations numériques du transistor en 2D sous l'outil Atlas qui est un simulateur de dispositif. Notre simulation numérique est consistée tout d'abord à concevoir la structure, puis à faire une résolution numérique. La conception de la structure comprend la définition du maillage, la définition des différentes régions du dispositif, des électrodes et des dopages (niveau et profil). La résolution numérique comprend la détermination des choix des modèles physiques et des méthodes mathématiques utilisés par le simulateur pour trouver la solution Ce qui est bien illustré sur le tableau qui suit [3].

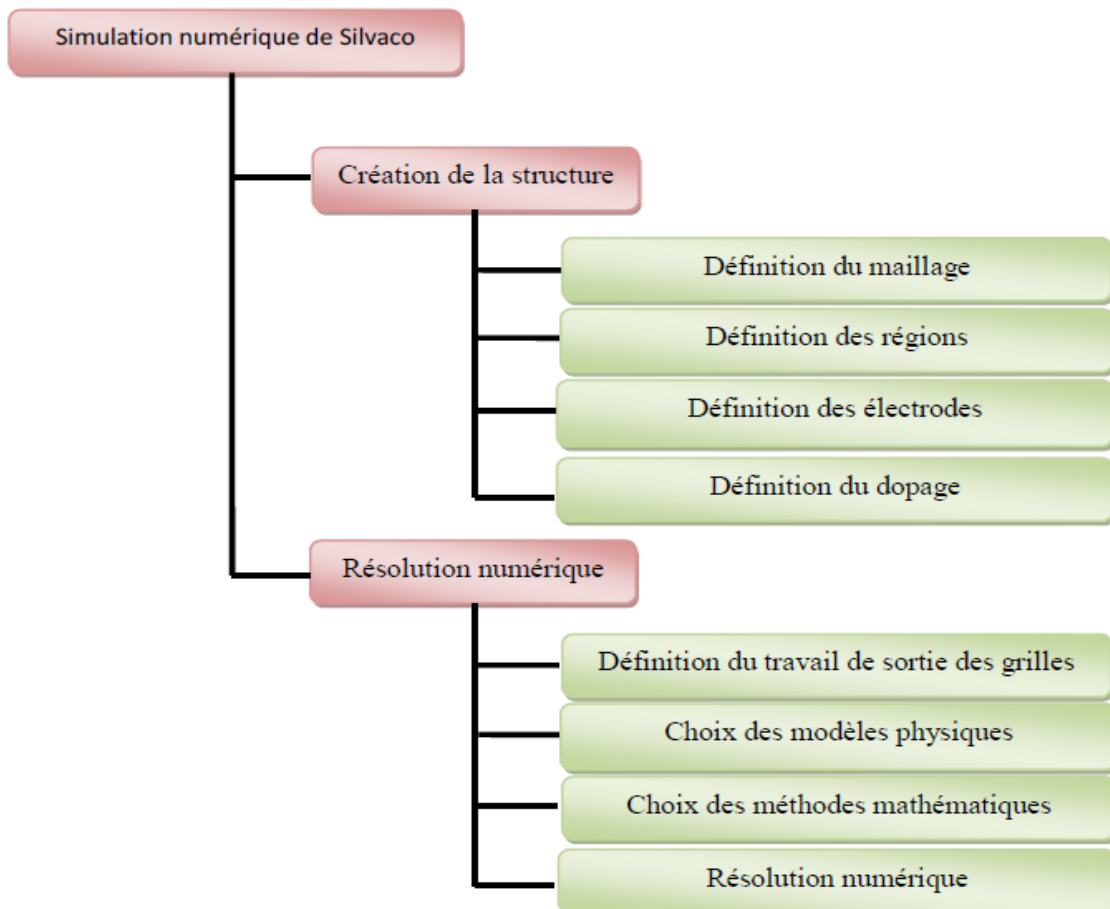


Figure IV. 3:Diagramme de la simulation numérique de Silvaco.

Nous avons élaboré une structure MOS-FDSOI avec le simulateur électrique Atlas de SILVACO. On considère pour cette étude un dispositif MOS-FDSOI faiblement dopé (10^{17} cm^{-3}) sur le drain et la source. Les effets quantiques ainsi que les effets de poly-déplétion seront ignorés dans ce développement. La Figure IV.4 représente le transistor MOS-FDSOI développée au cours de notre simulation 2-D.

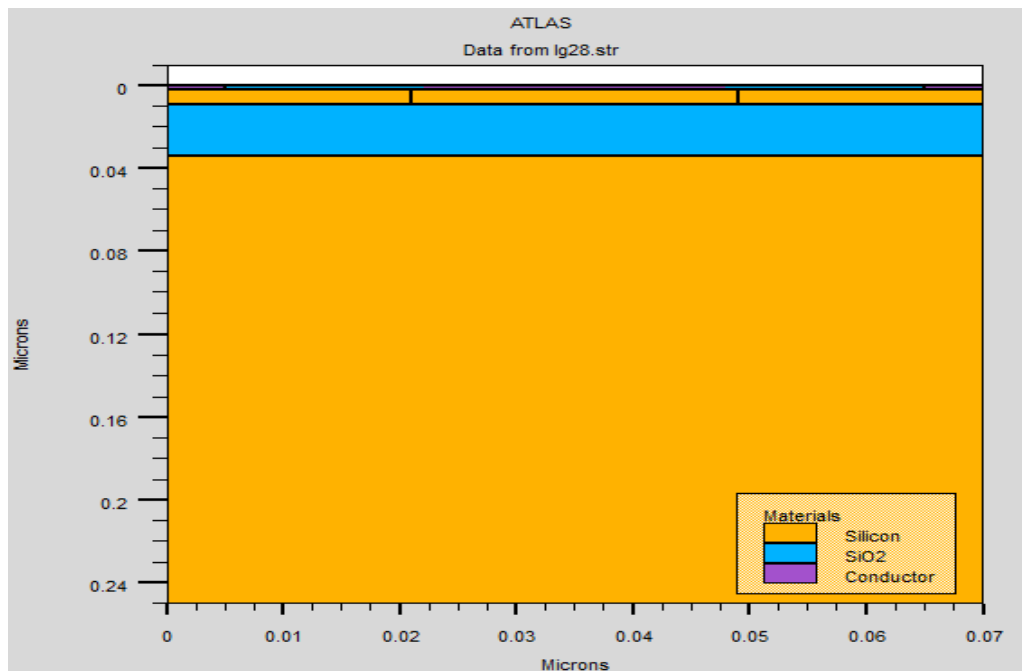


Figure IV.4 : Structure 2D du MOS-FDSOI (atlas).

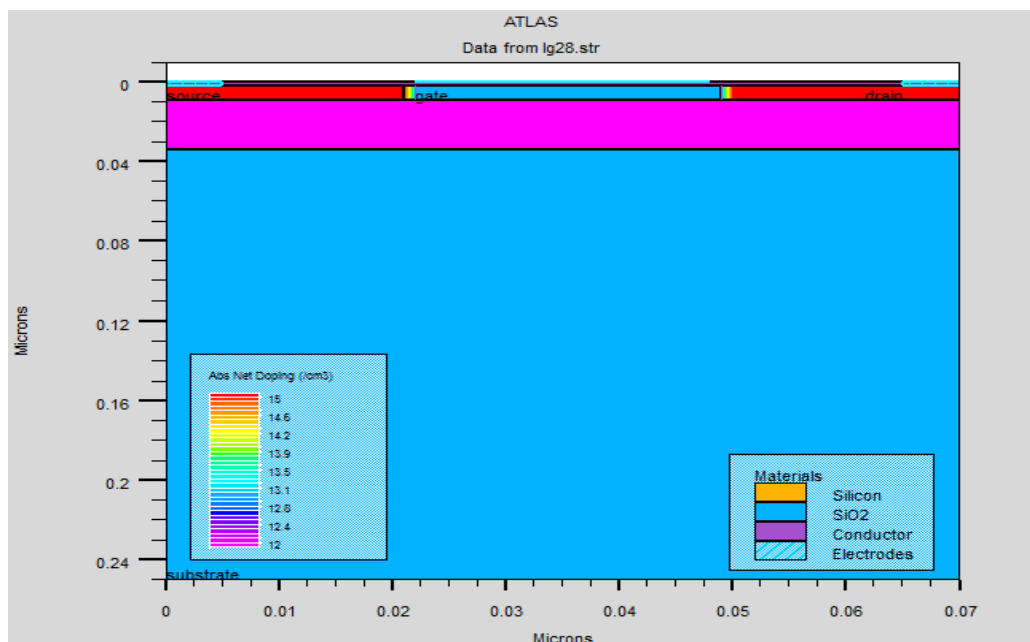


Figure IV.5: Structure MOS-FDSOI, Profil de dopage dans les différentes régions du dispositif, $L=28 \text{ nm}$, $t_{ox} = 2 \text{ nm}$.

Les paramètres technologiques et géométriques sont regroupés au tableau IV.1.

Les paramètres	FDSOI	MOS
La longueur de grille	28nm	28nm
La largeur de transistor	1 μ m	1 μ m
L'épaisseur de l'oxyde de la grille	2nm	2nm
L'épaisseur de l'oxyde TBox	25nm	-
Le dopage ND	1e17	1e17
Le dopage NA	1e15	1e15
L'épaisseur de tsi	7nm	-
La tension de drain	0.05V	0.05V
La tension de grille	1V	1V

Tableau IV.1: Résumé des valeurs adaptées pour les simulations de la structure étudiée.

IV.4. Les caractéristiques électriques

IV.4.2. Caractéristiques $I_{DS}-V_{GS}$ du transistor MOS-bulk et MOS-FDSOI

La simulation d'un transistor MOS-bulk et MOS-FDSOI nous a permis d'obtenir la caractéristique de transfert représentée sur la figure IV.6. la tension de polarisation $V_{ds}=0.05V$.

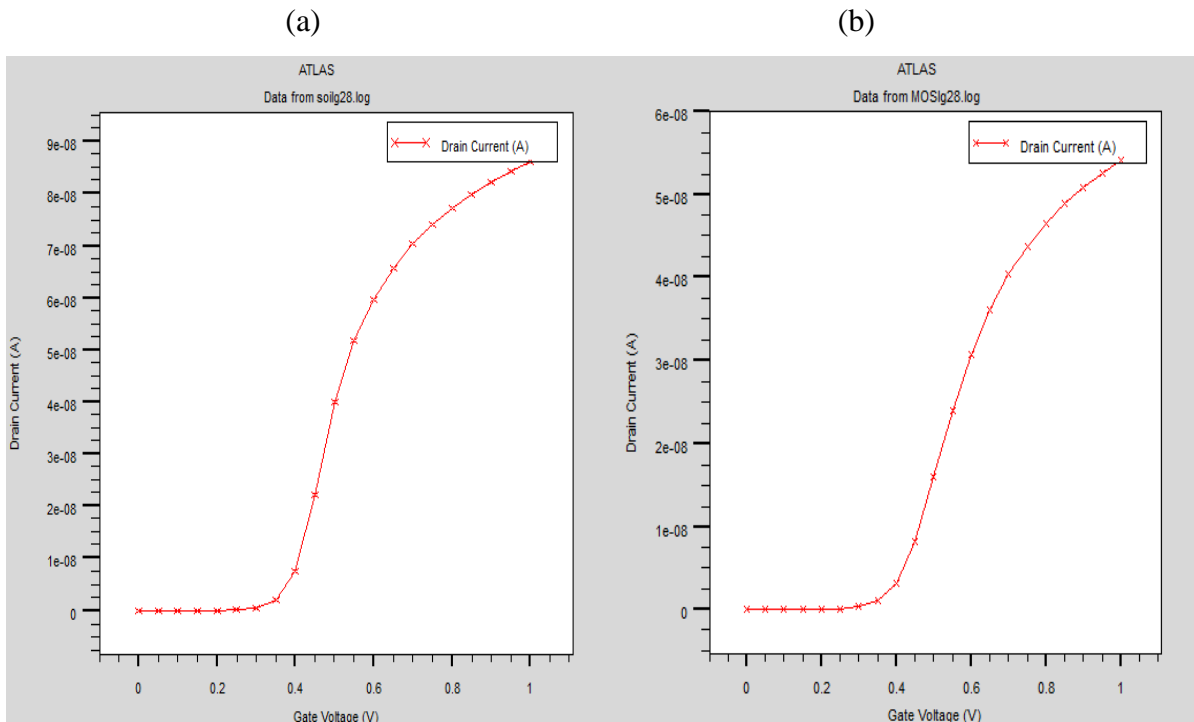


Figure IV. 6: Caractéristiques de transfert $I_{DS}-V_{GS}$, (a) MOS-FDSOI, (b) MOS-bulk.

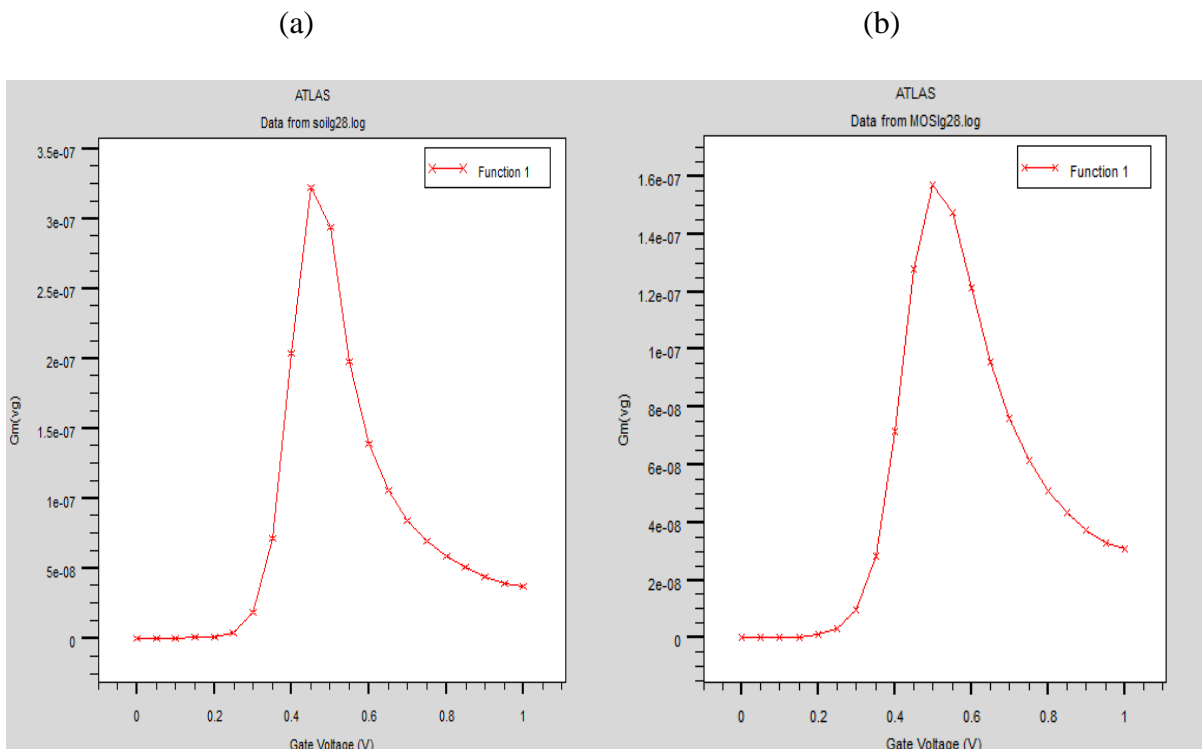


Figure IV. 7: Transconductance en fonction de la tension de grille(a) MOS-FDSOI, (b) MOS-bulk.

Comme observé lors des simulations, le niveau de courant obtenu en saturation pour le nœud 28nm FDSOI est inférieur à celui du 28nm MOS, le gain est augmenté pour le MOS-bulk comme le montre le graphe de la transconductance, cela est dû à la résistance série liée à l'extension de drain qui chute et permet au courant I_D d'augmenter.

IV.5. Les méthodes d'extraction

Nous présentons en détail la méthode «Fonction Y» que nous avons utilisée préférentiellement au cours de ce mémoire. Le challenge principal de notre étude a été d'extraire correctement les paramètres électriques de transistor FDSOI. La méthode d'extraction "fonction-Y" repose sur l'équation du courant de drain (I_D) en régime ohmique, ou V_D est typiquement choisi inférieur à 50mV afin de pouvoir mieux corriger l'influence de la fuite de grille sur le courant de drain.

Pour commencer l'extraction des paramètres on définit la fonction Y comme suit: La fonction-Y permet d'extraire les paramètres (V_{th} , Θ_1 et Θ_2) de manière indépendante, où Θ_1 et Θ_2 les facteurs d'atténuation de la mobilité à faible et fort champ.

$$Y = \frac{I_{ds}}{\sqrt{g_m}} = \sqrt{\frac{W}{L} \mu_0 C_{ox} V_{ds} (V_{gs} - V_{th})} \quad (IV.1)$$

En se plaçant en régime ohmique et en prenant :

$$I_d = \frac{W}{L} \mu_{0eff} Q_i V_d = \frac{W}{L} C_{ox} \mu_0 \frac{(v_g - v_t) v_d}{1 + \theta_1 (v_g - v_t)} \quad (IV.2)$$

$$g_m = \frac{\partial I_d}{\partial V_g} = \frac{W}{L} C_{ox} \mu_0 \frac{V_d}{(1 + \theta_1 (V_g - V_t))^2} \quad (IV.3)$$

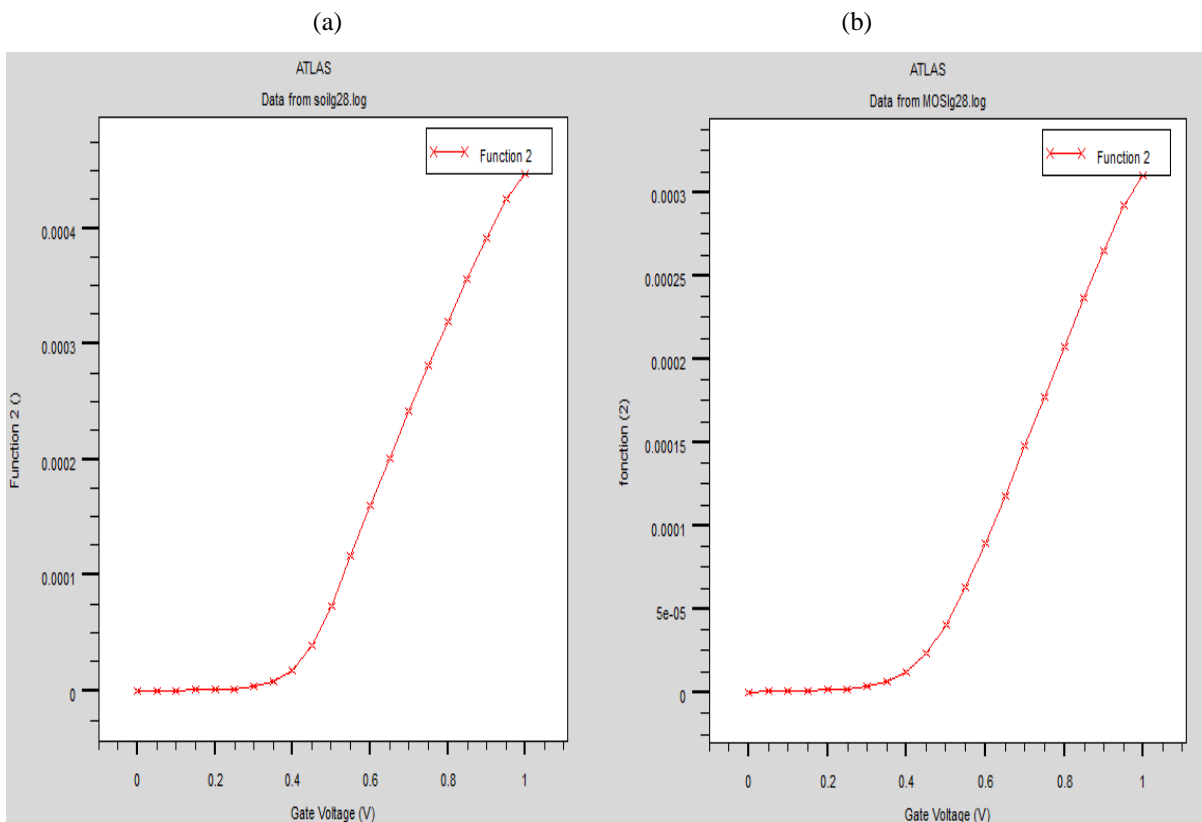


Figure IV.8: La fonction Y en fonction de la tension de grille

(a) MOS-FDSOI, (b) MOS-bulk.

IV.5.1. L'extraction de V_{th}

Ainsi en forte inversion ($V_G > V_{th}$) la fonction $Y(V_{th})$ varie linéairement avec V_G ce qui permet d'obtenir aisément la tension de seuil V_G en extrapolant la valeur à zéro de la partie linéaire [4]. De la courbe $Y(V_G)$ comme le montre la figure ci-dessous :

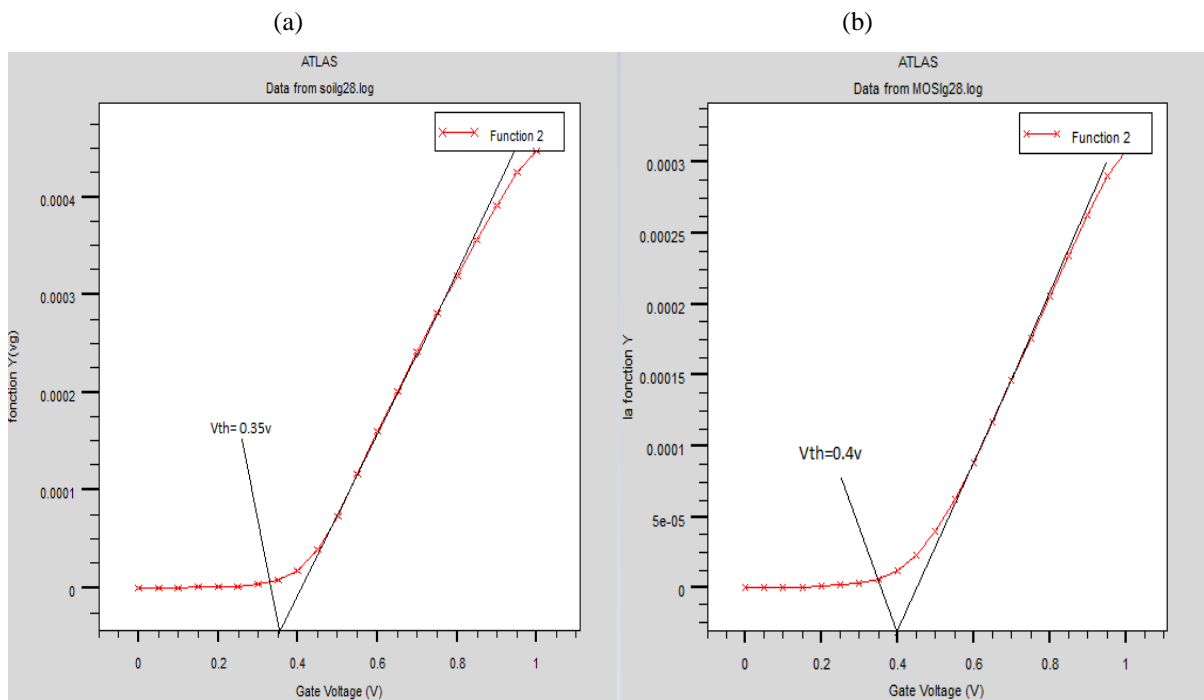


Figure IV. 9: illustration de la fonction $Y(V_G)$ avec extrapolation de V_{th} (a) MOS-FDSOI, (b) MOS-bulk.

IV.5.2. L'extraction de la mobilité

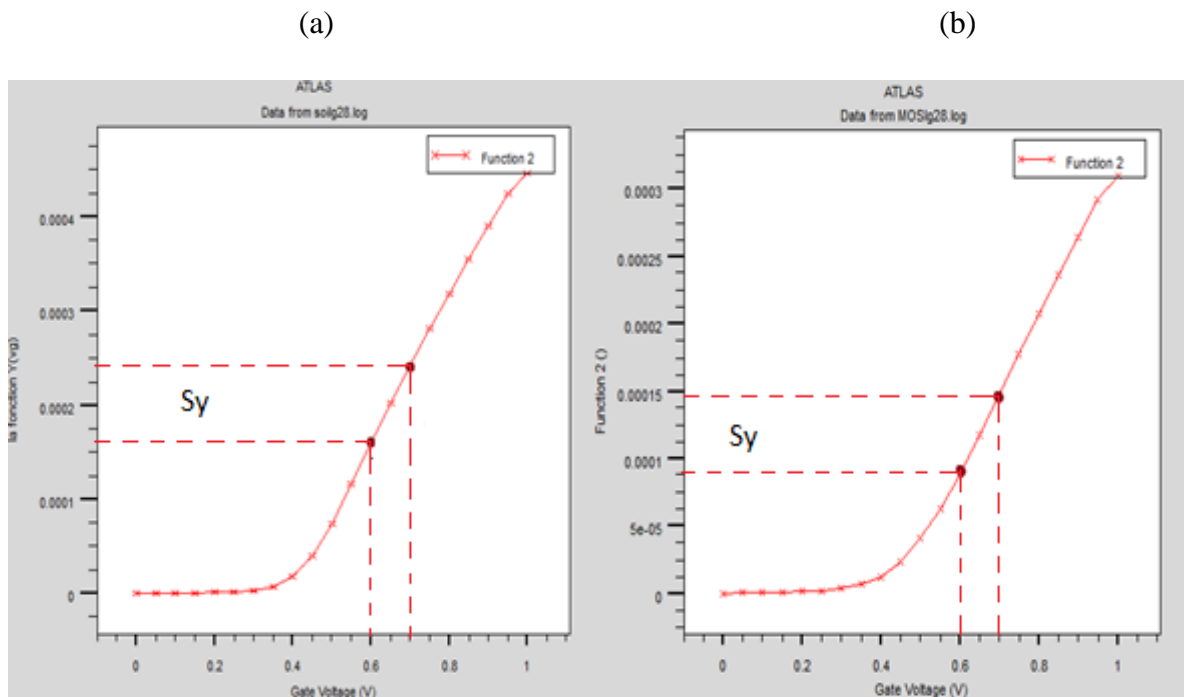


Figure IV. 10: illustration de la fonction $Y(V_G)$ avec extraction de S_Y (a) MOS-FDSOI, (b) MOS-bulk.

$$S_Y = \frac{\Delta Y}{\Delta I_g} \quad (IV.4)$$

$$\mu_0 = \frac{S_Y^2 L}{C_{ox} V_d W} \quad (IV.5)$$

	FDSOI	MOS
Extraction de S_Y	$1.65 \cdot 10^{-3}$	$1 \cdot 10^{-3}$
La mobilité ($cm^2 V^{-1} S^{-1}$)	$15.24 cm^2 V^{-1} S^{-1}$	$5.6 cm^2 V^{-1} S^{-1}$

Tableau IV. 2: Comparaison de la mobilité entre le transistor MOS-FDSOI et MOS-bulk.

Les résultats $\mu_0(L_{eff})$ sont présents sur le tableau ci-dessus pour deux wafers dont les procédés de fabrication différent MOS-bulk et MOS-FDSOI. Il montre clairement une différence de mobilité entre les deux familles. Cette étude montre la précision de cette méthode d'extraction et a permis d'aboutir à des résultats importants concernant la chute de mobilité sur les transistors MOS-bulk, probablement liée à l'existence de défauts neutres.

IV.5.3. L'extraction du coefficient d'atténuation de la mobilité θ_1

En calculant la fonction $X(V_G) = 1 / (G_m)^{1/2}$ on obtient la valeur du coefficient d'atténuation de mobilité θ_1 en multipliant les pentes des deux fonctions X et Y en forte inversion.

$$X(V_g) = \frac{1}{\sqrt{g_m}} = \left(\frac{L}{W \mu_0 C_{ox} V_d} \right)^{\frac{1}{2}} (1 + \theta_1 (V_g - V_t)) \quad (IV.5)$$

$$S_x = \frac{\Delta X}{\Delta I_g} \quad (IV.6)$$

$$\theta_1 = S_x S_y \quad (IV.7)$$

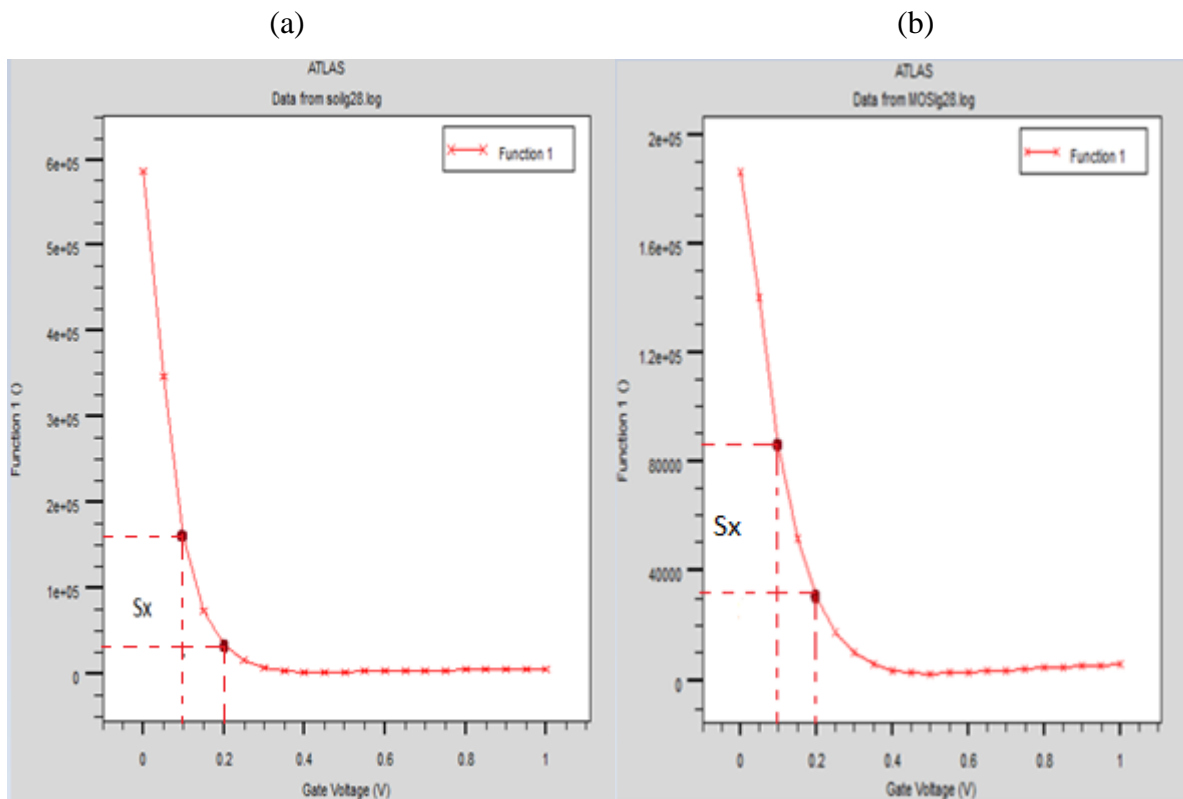


Figure IV. 11: illustration de la fonction $Y(V_G)$ avec extraction de S_x (a) MOS-FDSOI, (b) MOS-bulk.

	FDSOI	MOS
Extraction de S_Y	$1.65 \cdot 10^{-3}$	$1 \cdot 10^{-3}$
Extraction de S_x	$1.6 \cdot 10^6$	$0.6 \cdot 10^6$
Le premier facteur d'atténuation (V^{-1})	$2.6 \cdot 10^3$	$0.6 \cdot 10^3$

Tableau IV. 3: Comparaison du premier facteur d'atténuation entre le transistor MOS-FDSOI et MOS-bulk.

La baisse observée du premier facteur d'atténuation de mobilité en ce qui concerne la mobilité effective en forte inversion est due à une diminution significative de la résistance série source-drain R_{sd} pour le MOS-FDSOI.

IV.6. Impact de la température sur les caractéristiques électriques du transistor FDSOI 28nm

Afin de mettre en évidence les effets de la température sur le comportement physique et électrique des paramètres du transistor on se propose de déterminer ses caractéristiques électriques à savoir les caractéristiques de sortie et transfert.

En effet, comme nous l'avons vu au paragraphe IV. 5. La mobilité dépend de diverses interactions qui chacune dépendent de la température. En faisant varier la température, nous éteignons ou augmentons l'influence d'une interaction par rapport à une autre caractérisant ainsi par exemple la présence de défauts le long du canal. Donc, c'est pourquoi nous avons refait les mesures présentées au paragraphe précédent en faisant varier la température.

IV.6.1. Variation du courant de drain $I_{ds}=f(V_{gs})$ à basse température

Pour cela, on se propose de faire varier la température dans un intervalle de 235 k à 300 k.

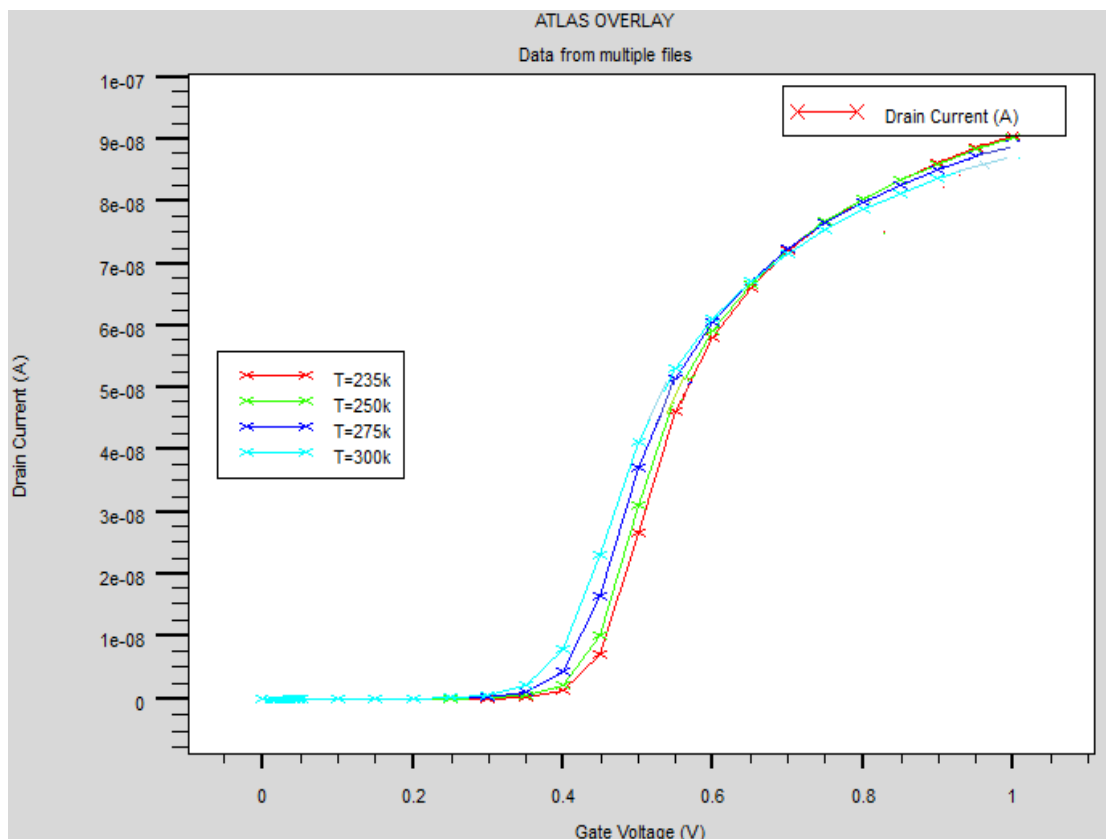


Figure IV.12: Variation de la caractéristique $I_{ds}=f(V_{gs})$ pour différentes températures.

On remarque que toutes ces courbes se croisent en un seul point appelé: zéro température coefficient, noté ZTC (0.7v). L'existence du point de polarisation ZTC est une propriété très importante des transistors. En effet, quand un transistor est polarisé au point ZTC, le courant de drain ne varie pas avec la température. Les caractéristiques des circuits conçus pour fonctionner dans la région ZTC deviennent très peu sensibles à n'importe quel changement de température. Ce concept est particulièrement important pour la conception analogique. Avant le point de polarisation ZTC le courant du drain augmente avec la température. Si le transistor est polarisé plus loin que le point ZTC [5], les composants tendent à être auto-stabilisés, une augmentation de température résulte en une diminution de courant, et donc une diminution de la puissance moyenne dissipée.

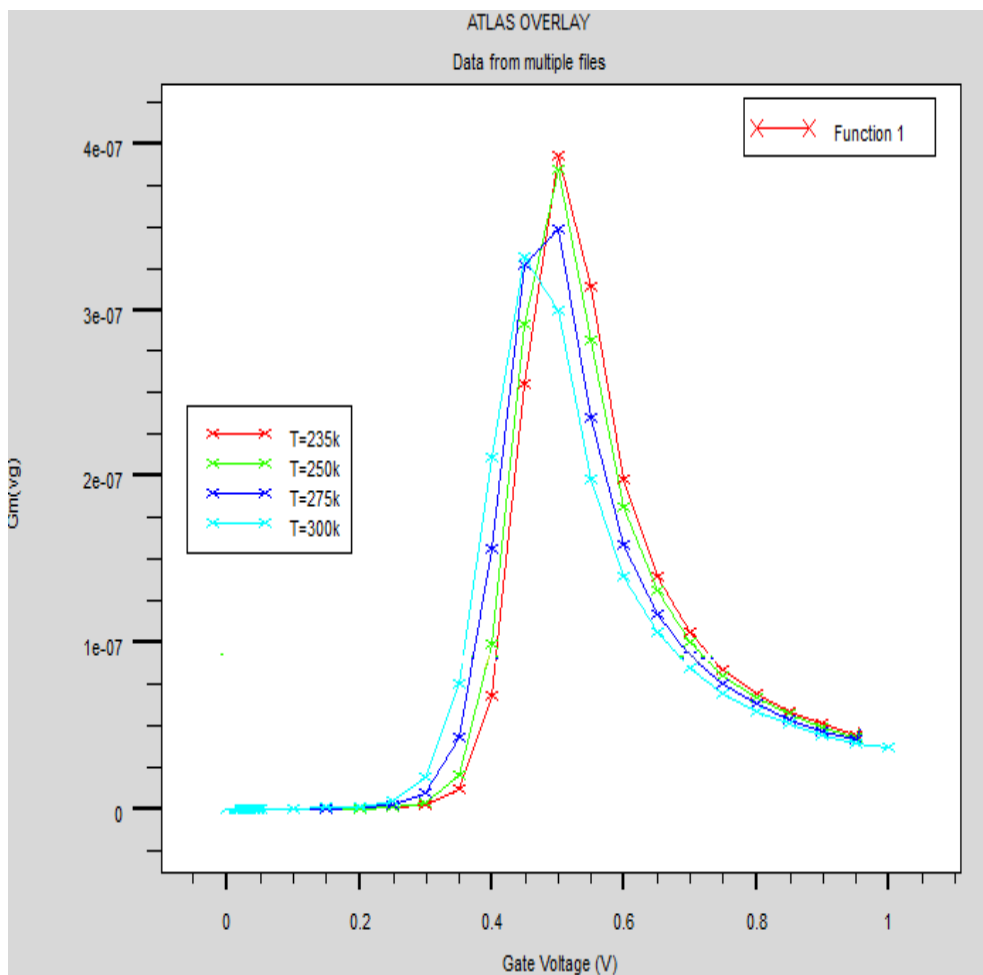


Figure IV. 13: Transconductance en fonction de la tension de grille pour le transistor FDSOI.

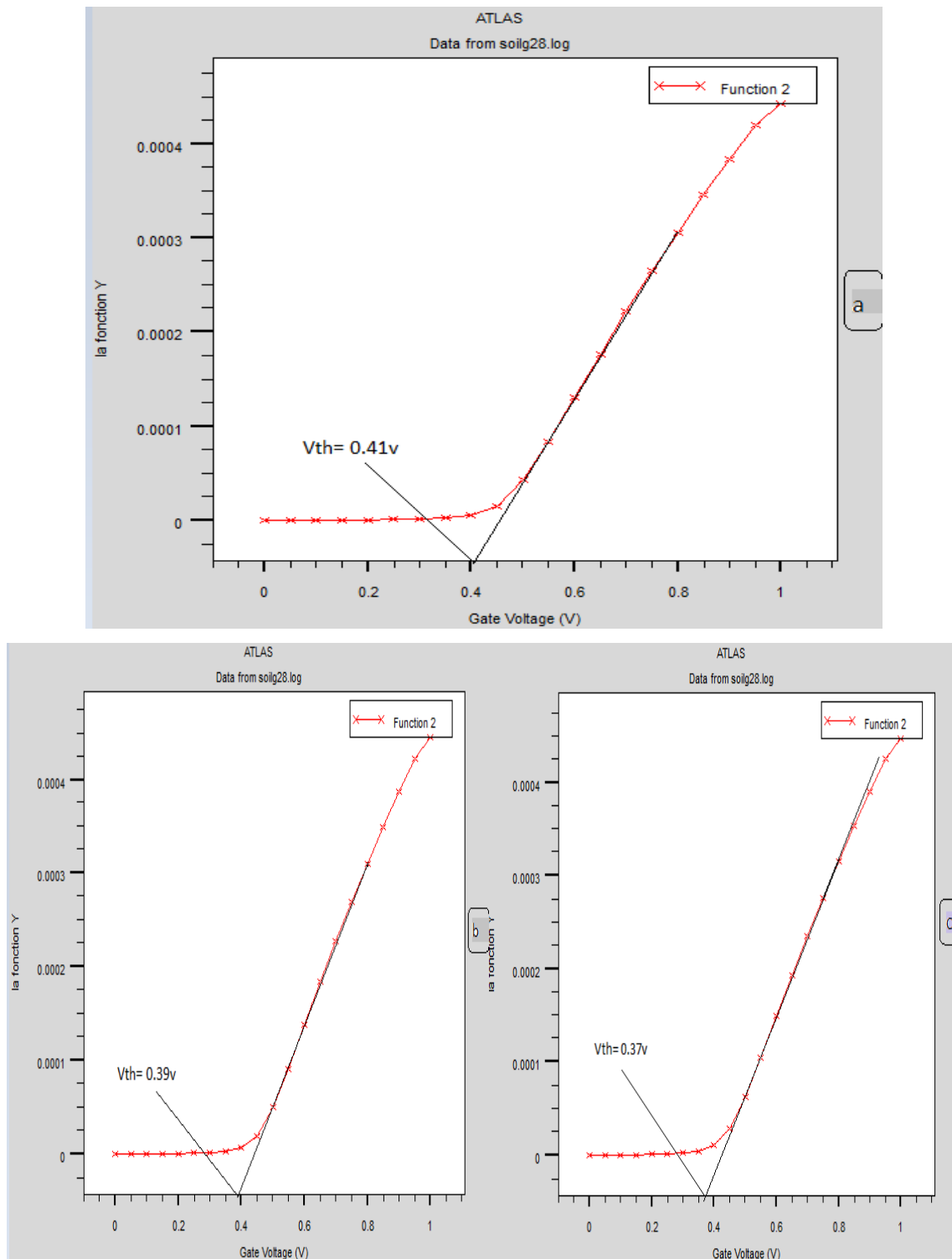
IV.6. 1.1.L'extraction de V_{th} à basse température

Figure IV. 14: illustration de la fonction $Y(V_G)$ avec extrapolation de V_{th} pour différentes températures : (a) $T=235k$, (b) $T=250k$, (c) $T=275k$.

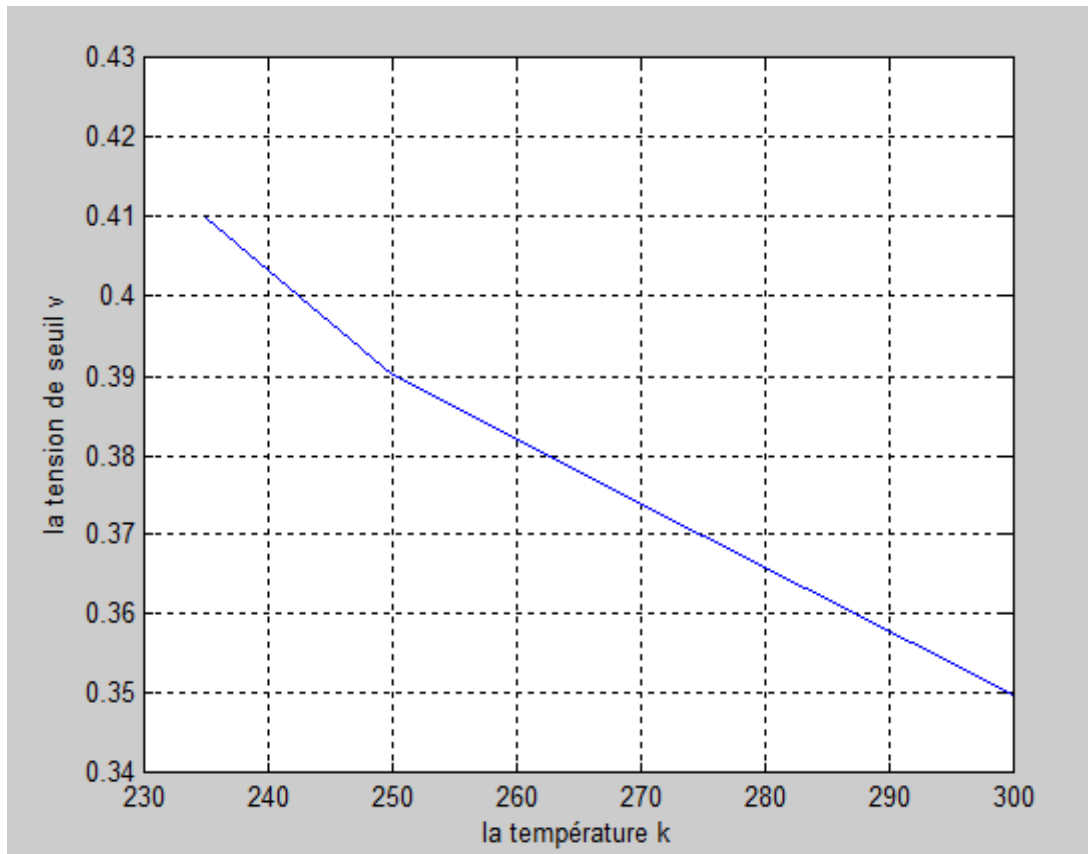


Figure IV. 15: Variation de la tension de seuil en fonction de la température.

On remarque d'après les résultats obtenus que la tension de seuil diminue avec l'augmentation de la température sachant bien que les études on montrer que.

Les paramètres K et V_{th} sont dépendants de la température :

- La tension de seuil V_{th} décroît d'environ 2mV par degré d'élévation de température.
- Le paramètre K décroît avec la température et son effet est prédominant.

Il en résulte que le courant Drain I_D décroît lorsque la température s'élève. Ce résultat est particulièrement important pour les MOSFET de puissance

IV.6.1.2.L'extraction de mobilité à basse température

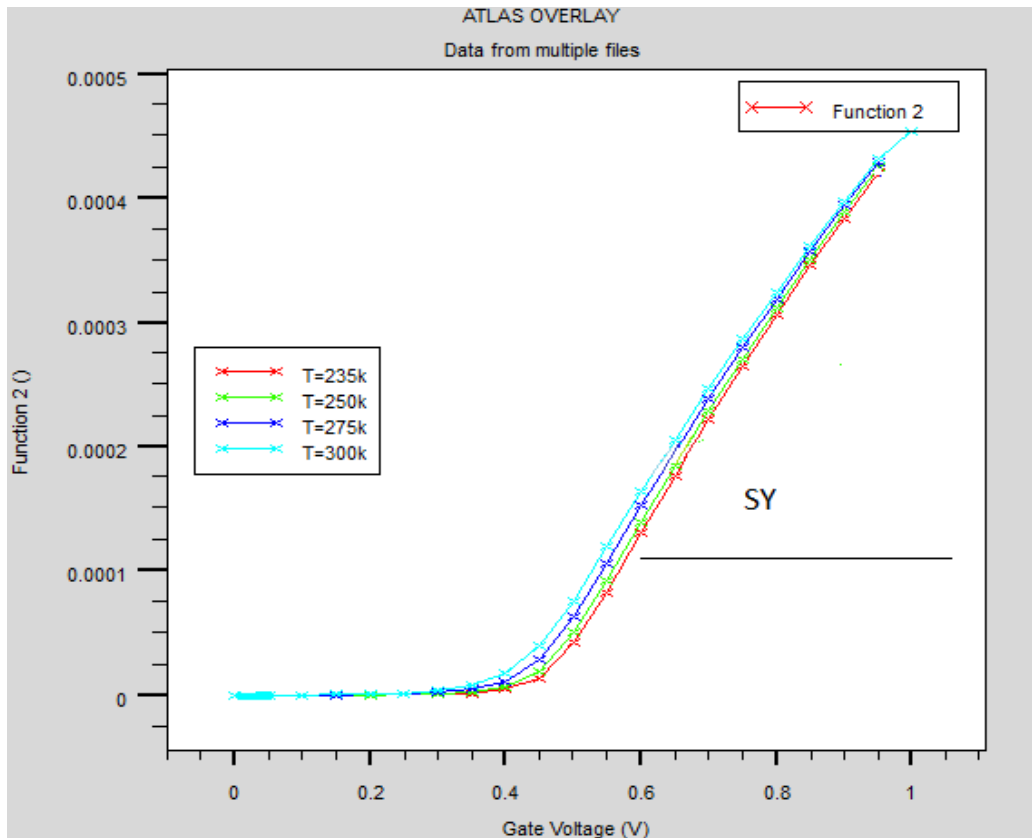


Figure IV. 16: illustration de la fonction $Y(V_G)$ avec extraction de S_Y pour différentes températures.

$$Gm = \frac{SY^2}{V_d} \quad (IV.8)$$

$$\mu_0 = \frac{S_Y^2}{C_{ox} V_d} \frac{L}{W} \quad (IV.5)$$

T (k)	T=235	T=250	T=275
SY	$1.75 \cdot 10^{-3}$	$1.73 \cdot 10^{-3}$	$1.70 \cdot 10^{-3}$
Gm (V^{-1})	0.0306	0.0299	0.0289
$\mu_0 (cm^2 V^{-1} S^{-1})$	17.16	16.76	16.18

Tableau IV. 4: Variation de la mobilité en fonction de la température.

On remarque sur la mobilité à bas champ mais surtout que le gain en mobilité est préservé ou le tableau montre bien qu'il y a un plateau de la mobilité à basse température donc la mobilité à bas champ devient quasiment indépendante de la température cela et du a la

présence de défauts limitant la mobilité à bas champ dans les transistors ultracourts. Il serait utile de pouvoir modéliser l'impact de défauts de telle ou telle nature sur le comportement de la mobilité à bas champ avec la température.

IV.6. 1.3. L'extraction de L'atténuation de la mobilité à basse température

T (K)	T=235	T=250	T=275
S_Y	$1.75.10^{-3}$	$1.73.10^{-3}$	$1.70.10^{-3}$
S_x	$10.5.10^6$	7.10^6	$3.1.10^6$
θ_1	$18.3.10^3$	$12.1.10^3$	$5.2.10^3$

Tableau IV. 5: Variation de l'atténuation de la mobilité en fonction de la température.

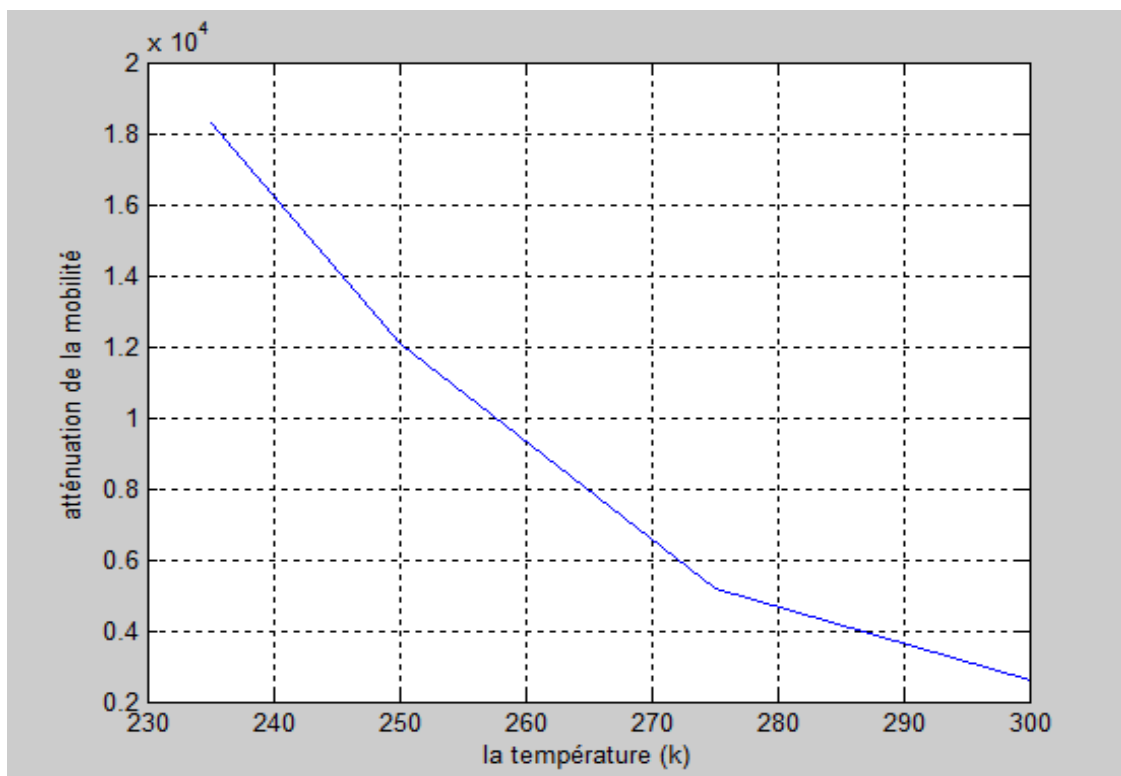


Figure IV. 17: Variation de l'atténuation de la mobilité en fonction de la température.

On observe une nette augmentation du premier facteur d'atténuation de mobilité en ce qui concerne la mobilité effective en forte inversion, lorsque la température diminue.

Cela peut être vérifiable par la Modélisation du comportement en température des défauts avec un modèle très simple du comportement de la mobilité à bas champ en fonction de la température en incluant des défauts en utilisant une loi de Mathiessen

IV.6.2. Variation du courant de drain $I_{ds}=f(V_{ds})$ à basse température

La caractéristique $I_{ds}=f(V_{ds})$ pour différentes températures est représentée dans la figure IV.18. Ces résultats sont obtenus pour différentes température variant de 235 k-300 k.

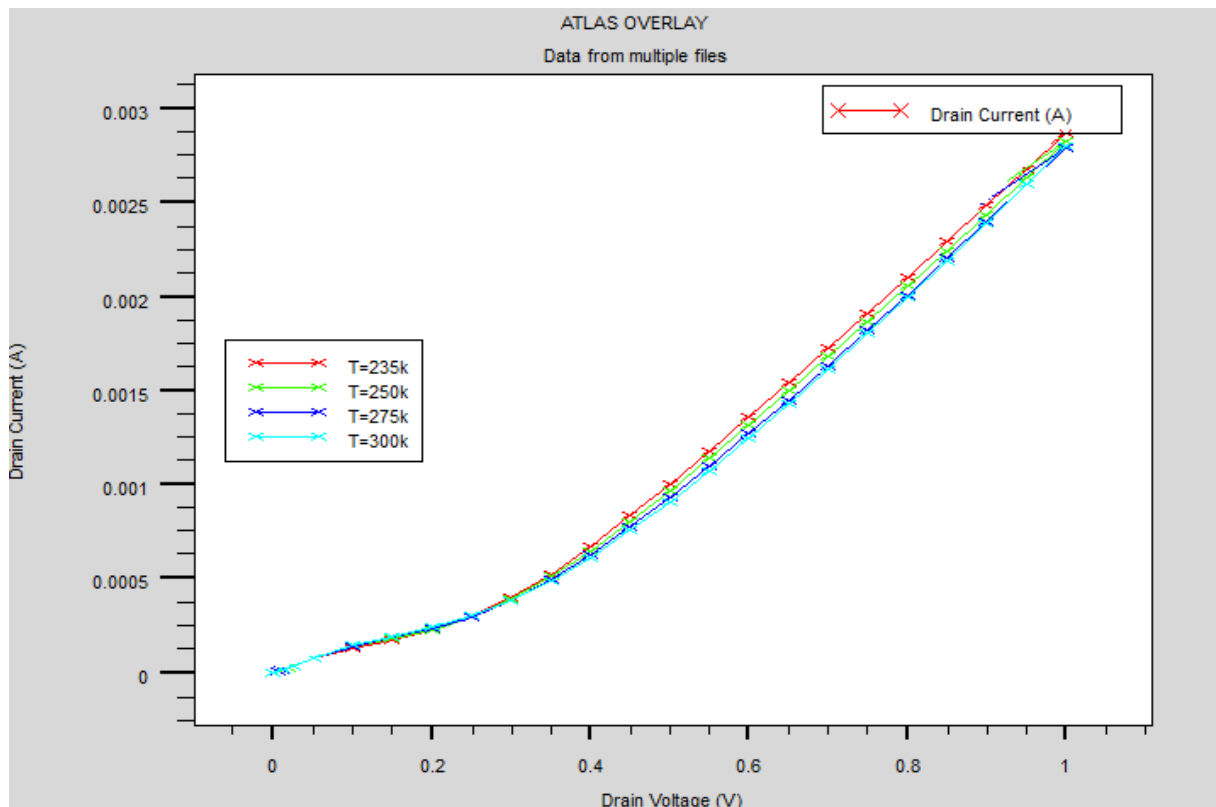


Figure IV. 18: Variation de la caractéristique $I_{ds}=f(V_{ds})$ avec différentes température.

Le courant de drain I_{ds} diminue légèrement avec l'augmentation de la température. Cette diminution est illustrée sur la figure IV.18. On peut clairement remarquer que cette diminution du courant I_{ds} avec la température n'est pas significatif pour les canaux courts.

IV.7. Effet de la Variation des paramètres structuraux du transistor FDSOI sur le courant I_{DS} à basse température

Afin d'examiner les effets de la variation de certains paramètres de notre structure tel que la concentration de dopage N_A et N_D , la longueur de la grille L_g , et l'épaisseur de l'oxyde

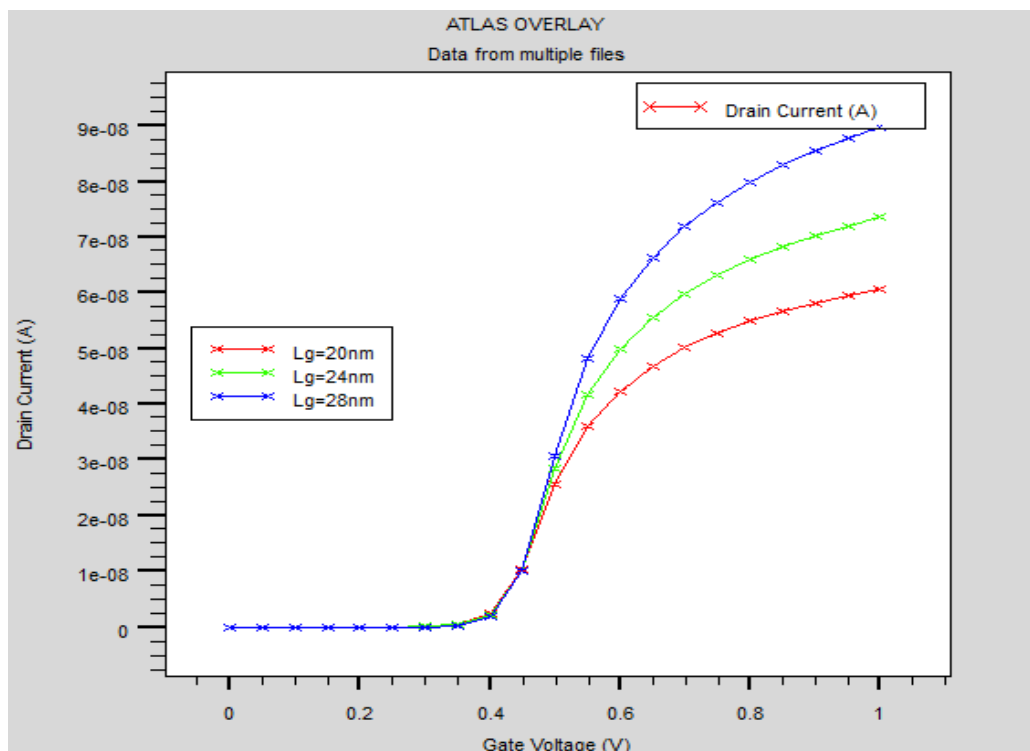
de grille T_{ox} , l'épaisseur de l'oxyde enterré T_{Box} , l'épaisseur de silicium t_{si} sur son courant de drain, nous avons pu effectuer différentes simulations ou nous avons pu faire varier à chaque fois les grandeurs d'un paramètres en fonction des différent températures en maintenant les autres grandeurs constantes. Nous avons ainsi pu déterminer l'impact et l'effet de la variation du paramètre que nous avons fait varier sur les caractéristiques électriques du transistor FDSOI.

IV.7.1.Effet de la Variation de la longueur de la grille sur le courant I_{DS}

Lors de cette simulation nous avons varié la longueur de la grille L_g sur la zone active du substrat pour déférant valeur de température.

La caractéristique de transfert permettant d'examiner l'effet de la variation de la longueur de la grille et la température sur le courant du drain et la tension de seuil sont données au niveau des figures qui suivent :

(a)



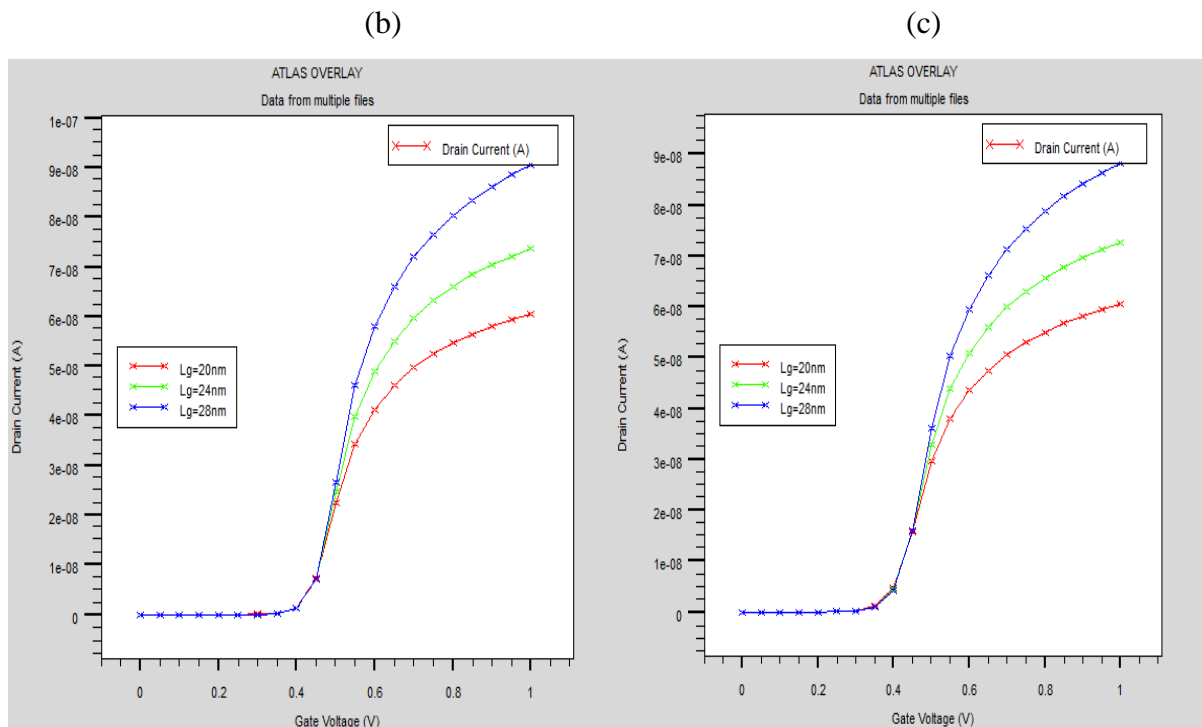


Figure IV. 19: caractéristique $I_{DS}-V_{GS}$ pour différentes valeurs de la longueur de grille en fonction de température : (a) $T=235k$, (b) $T=250k$, (c) $T=275k$.

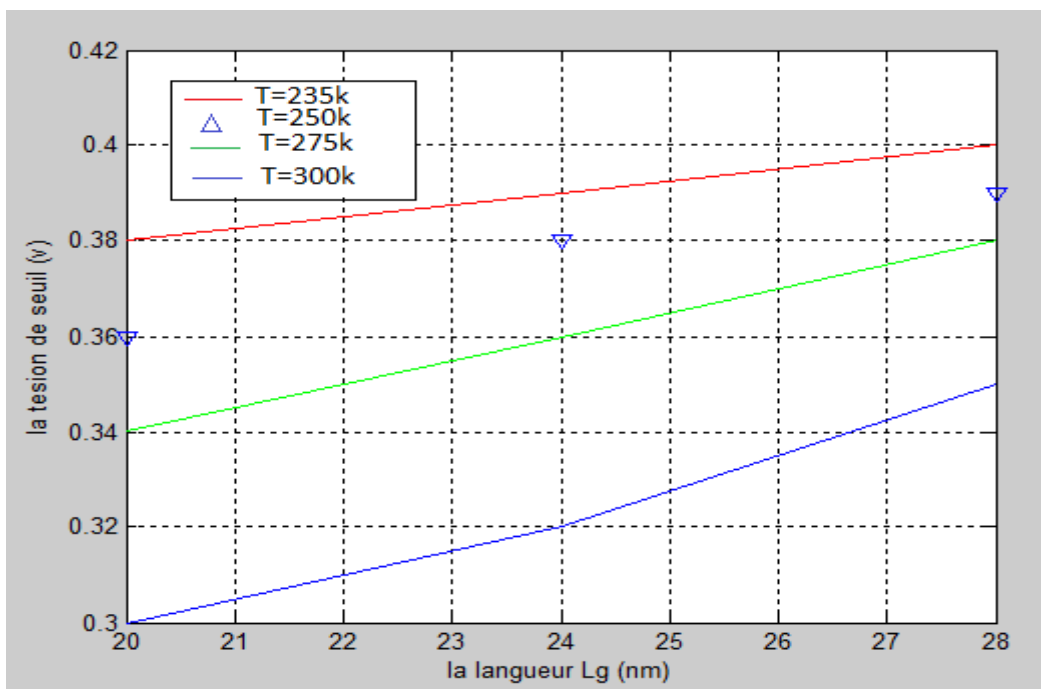


Figure IV. 20: Variation de la tension de seuil en fonction de la longueur L_g avec différentes température.

Nos résultats de simulation permettent d'évaluer l'effet de la variation de la largeur du canal sur le courant du drain du transistor. I_{DS} augmente quand la longueur du canal augmente alors que la tension de seuil reste presque inchangée.

IV.7.2. Effet de la Variation de l'épaisseur de l'oxyde de grille sur I_{DS}

Afin d'examiner l'effet de la variation de t_{ox} sur le courant I_{ds} pour différentes températures, nous avons choisi trois valeurs de l'épaisseur de l'oxyde (2 nm, 4 nm, 5 nm). Les résultats de simulation que nous avons obtenus sont représentés sur la figure IV.23 :

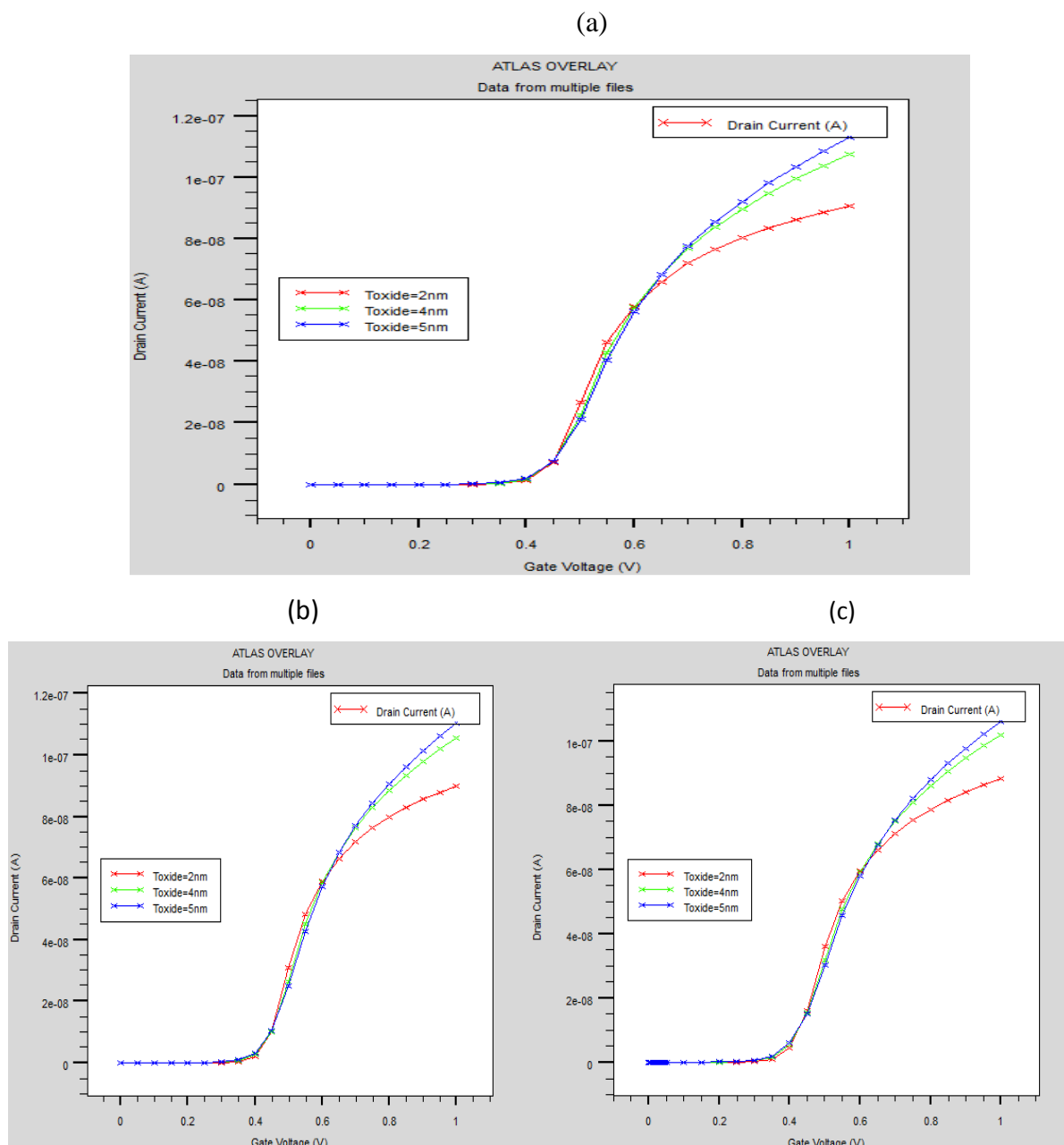


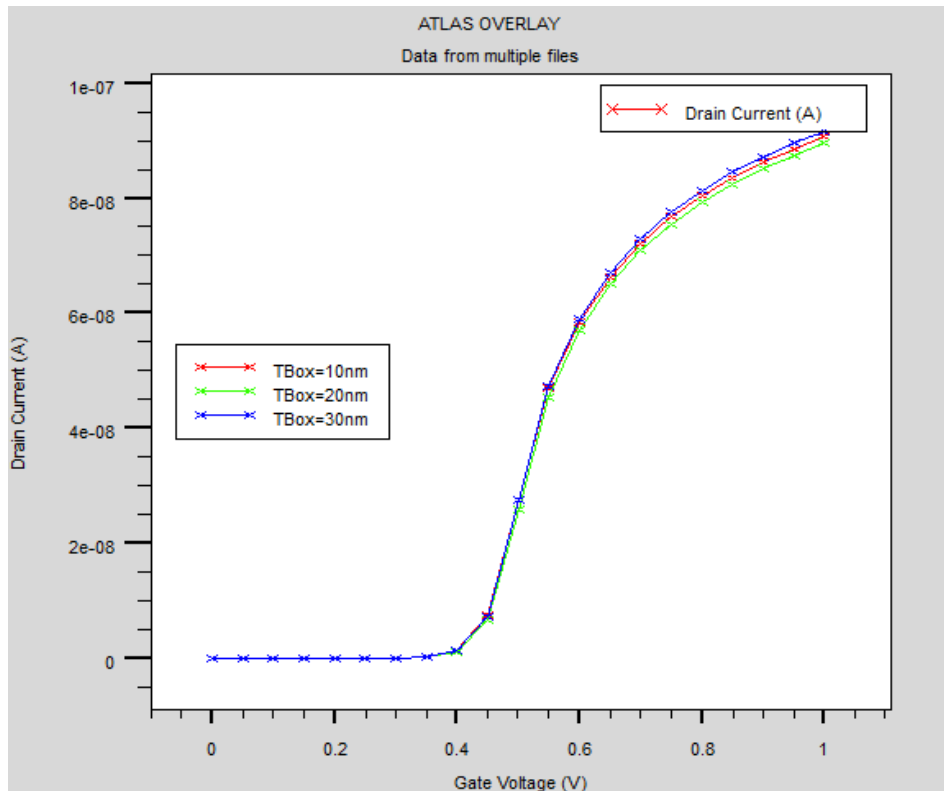
Figure IV. 21: caractéristique I_{DS} - V_{GS} pour différentes épaisseur de l'oxyde de grille en fonction de température : (a) $T=235\text{k}$, (b) $T=250\text{k}$, (c) $T=275\text{k}$.

Figure IV.21 représente la variation de courant de drain en fonction de V_g pour différentes épaisseurs de l'oxyde de grille. Pour la tension V_g inférieure à (0.6 V) le courant de drain diminue par l'augmentation de l'épaisseur de l'oxyde par contre à V_g supérieur à (0.6 V) le courant de drain augmente par l'augmentation de l'épaisseur de l'oxyde.

L'épaisseur de l'oxyde de grille doit être choisie adéquatement. En effet, une fine épaisseur de l'oxyde impliquerait le passage de porteurs de charges à travers le diélectrique par effet Tunnel dont la probabilité de passage croît exponentiellement avec la diminution de l'épaisseur t_{ox} le courant Tunnel augmente d'un ordre de grandeur pour chaque diminution de 0.2 nm.

IV.7.3.Effet de la Variation de l'épaisseur de l'oxyde enterré sur I_{DS}

(a)



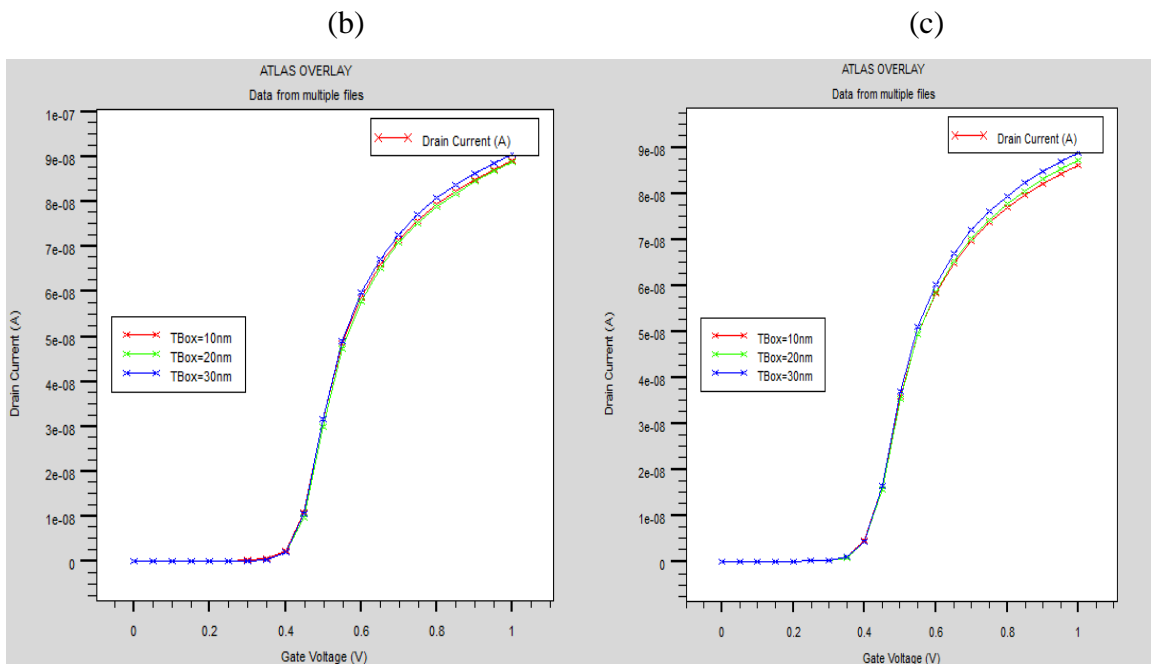
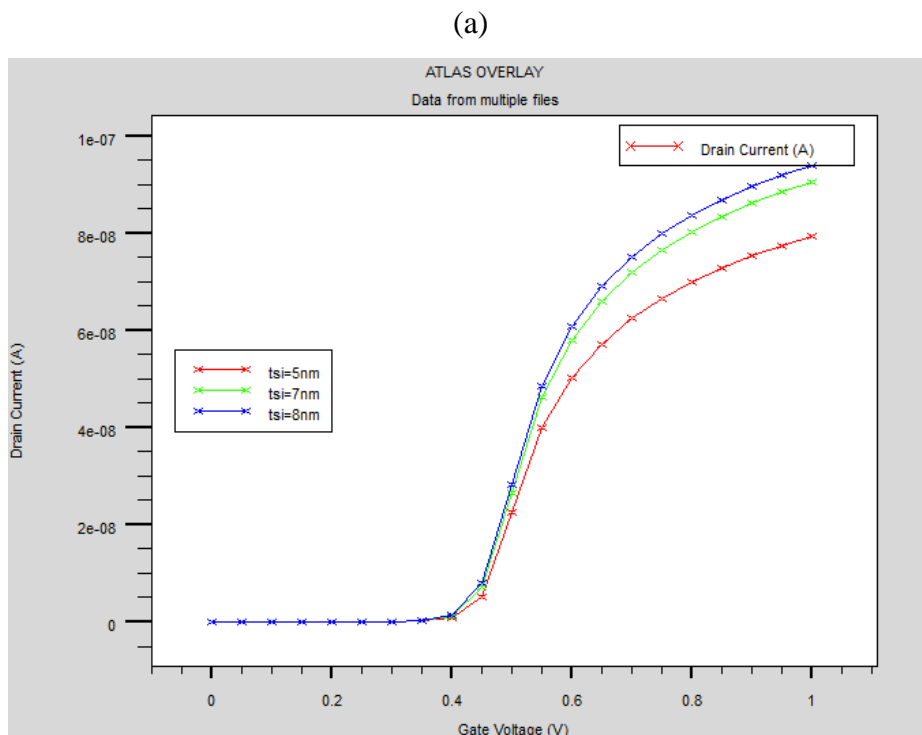


Figure IV. 22: Caractéristique I_{DS} - V_{GS} pour différentes valeurs de l'épaisseur d'oxyde enterré en fonction de température : (a) $T=235k$, (b) $T=250k$, (c) $T=275k$.

Les simulations montrent que l'oxyde enterré ne présente aucun effet tangible sur la tension de seuil, mais une légère influence sur le courant de drain en forte inversion.

IV.7.4.Effet de la Variation de l'épaisseur de silicium sur I_{DS}



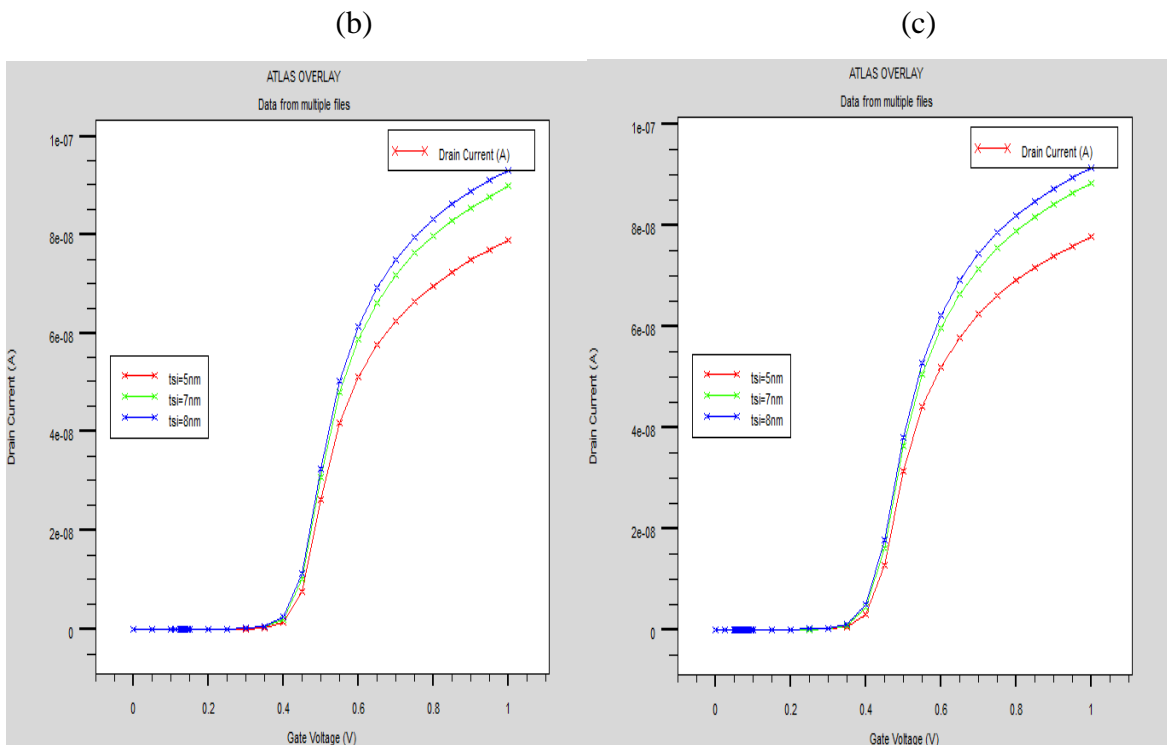


Figure IV. 23: caractéristique $I_{DS}-V_{GS}$ pour différentes valeurs de l'épaisseur de silicium en fonction de température : (a) $T=235k$, (b) $T=250k$, (c) $T=275k$.

La figure IV.23 représente l'effet de l'épaisseur de silicium sur la caractéristique $I_{DS}-V_{GS}$. En remarque que quand l'épaisseur de silicium augment le courant de drain augment.

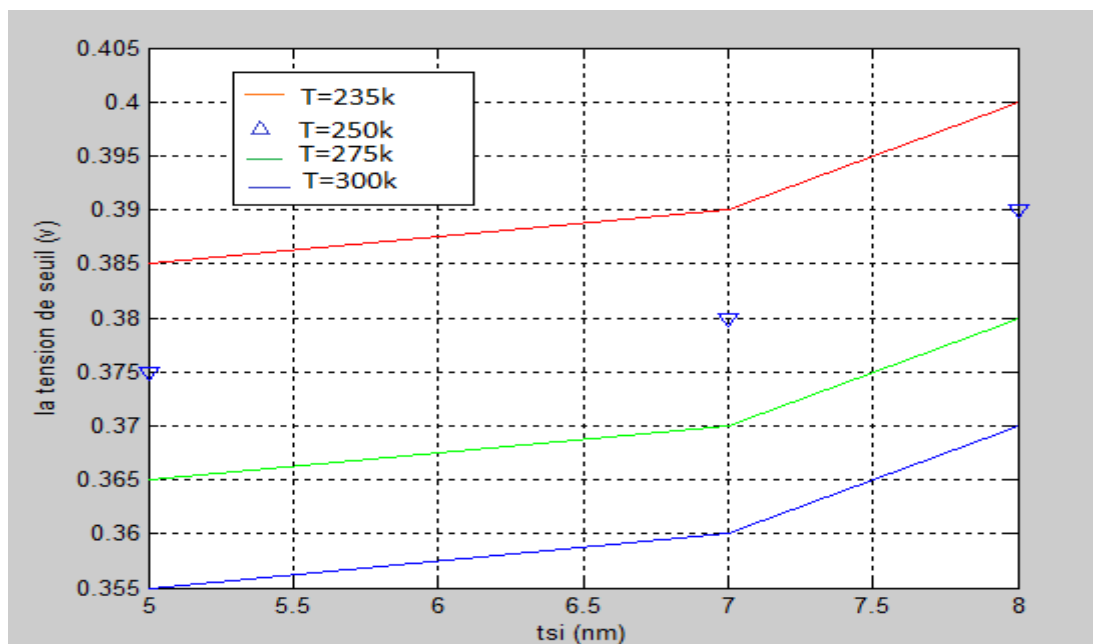


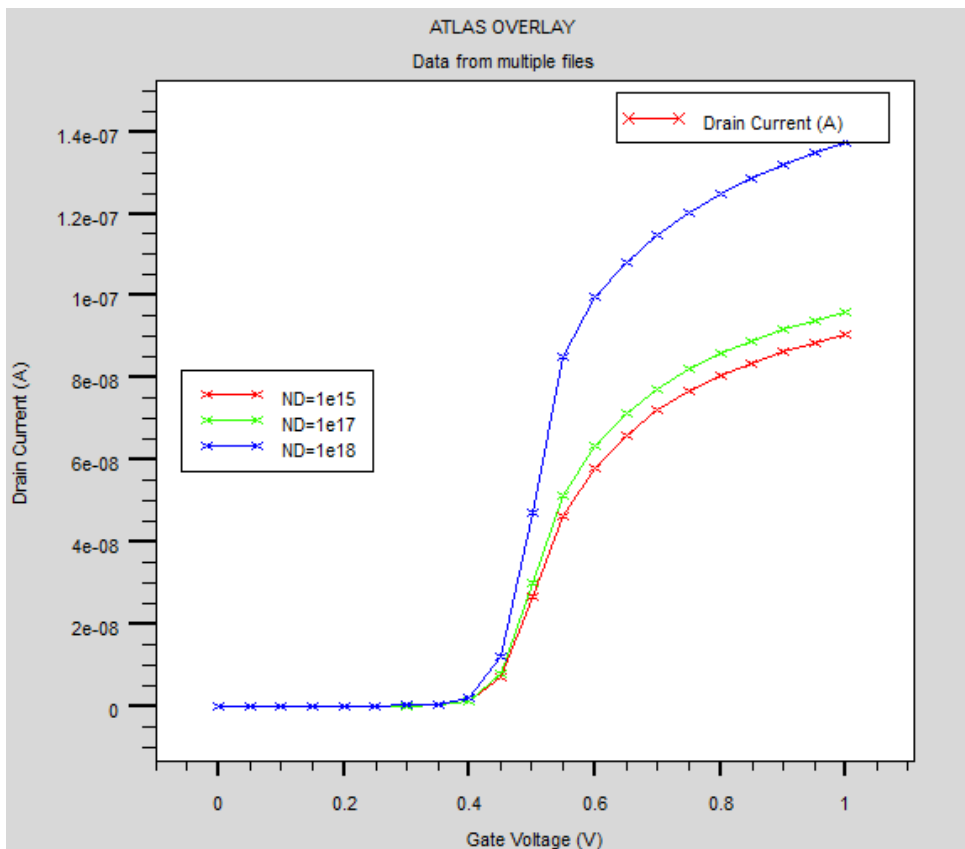
Figure IV. 24: Variation de la tension de seuil en fonction de l'épaisseur de silicium avec différente température.

On constate d'après les caractéristique $I_{DS}-V_{GS}$. Que l'effet de l'épaisseur du silicium sur le courant de drain est significatif et que La tension de seuil augmente avec l'augmentation de l'épaisseur du canal.

IV.7.5.Effet de la Variation de la concentration N_D sur le courant I_{DS}

La variation de la concentration des dopants de la source et du drain et la température nous a permis de mettre en évidence les effets de ces variations sur le courant de sortie du transistor et sur sa tension de seuil. Afin d'estimer l'impact de la variation de la concentration N_D sur le courant du drain, nous avons choisi 3 concentrations.

(a)



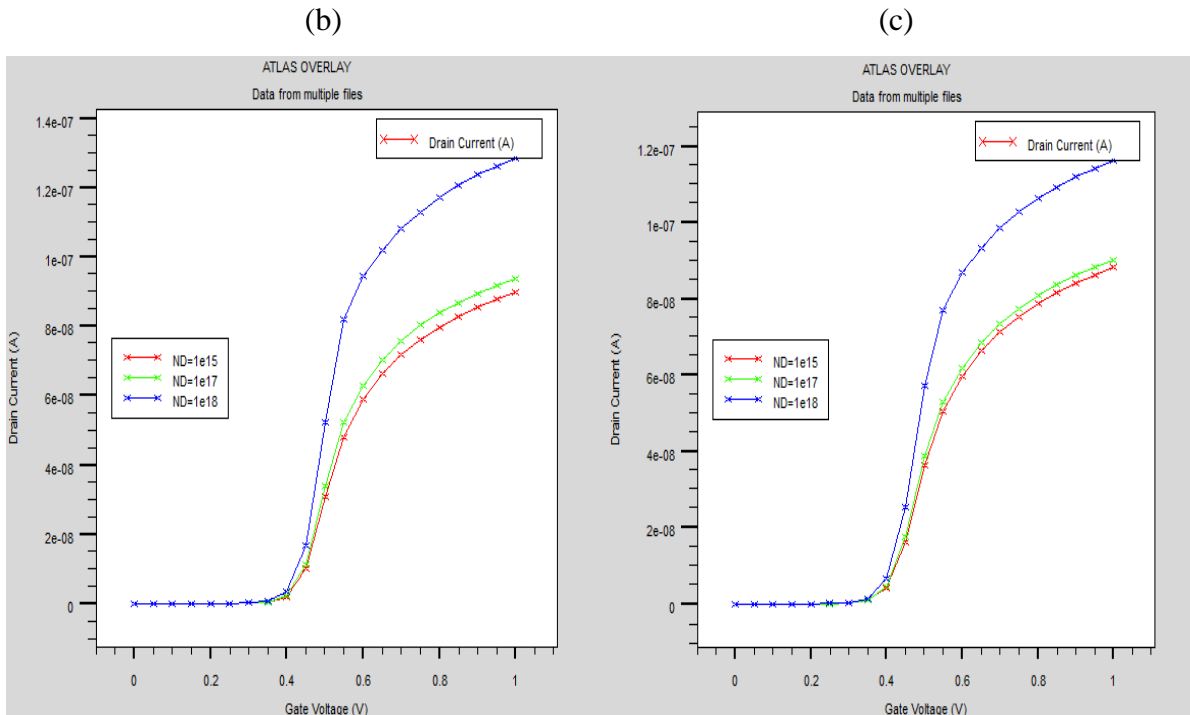


Figure IV. 25: Caractéristique de transfert I_{DS} - V_{GS} pour différentes concentrations N_{DN} fonction de température : (a) $T=235k$, (b) $T=250k$, (c) $T=275k$.

On remarque sur les figures que le dopage dans les régions de la source et du drain a un faible effet sur la tension de seuil du dispositif, néanmoins cette variation provoque une variation de la transconductance et par conséquent entraîne celle du courant de drain. En effet lorsque la concentration des dopants de la source et du drain augmente, le courant de drain augmente aussi, la température influence légèrement le courant de drain.

IV.7.6. Effet de la Variation de la concentration N_A sur le courant I_{DS}

Nous nous sommes intéressés dans cette partie du travail à observer les effets de la variation de la concentration des dopants accepteurs N_A du film de silicium sur les caractéristiques électriques du dispositif. Les résultats de simulation obtenus sont donnés en figure IV.26

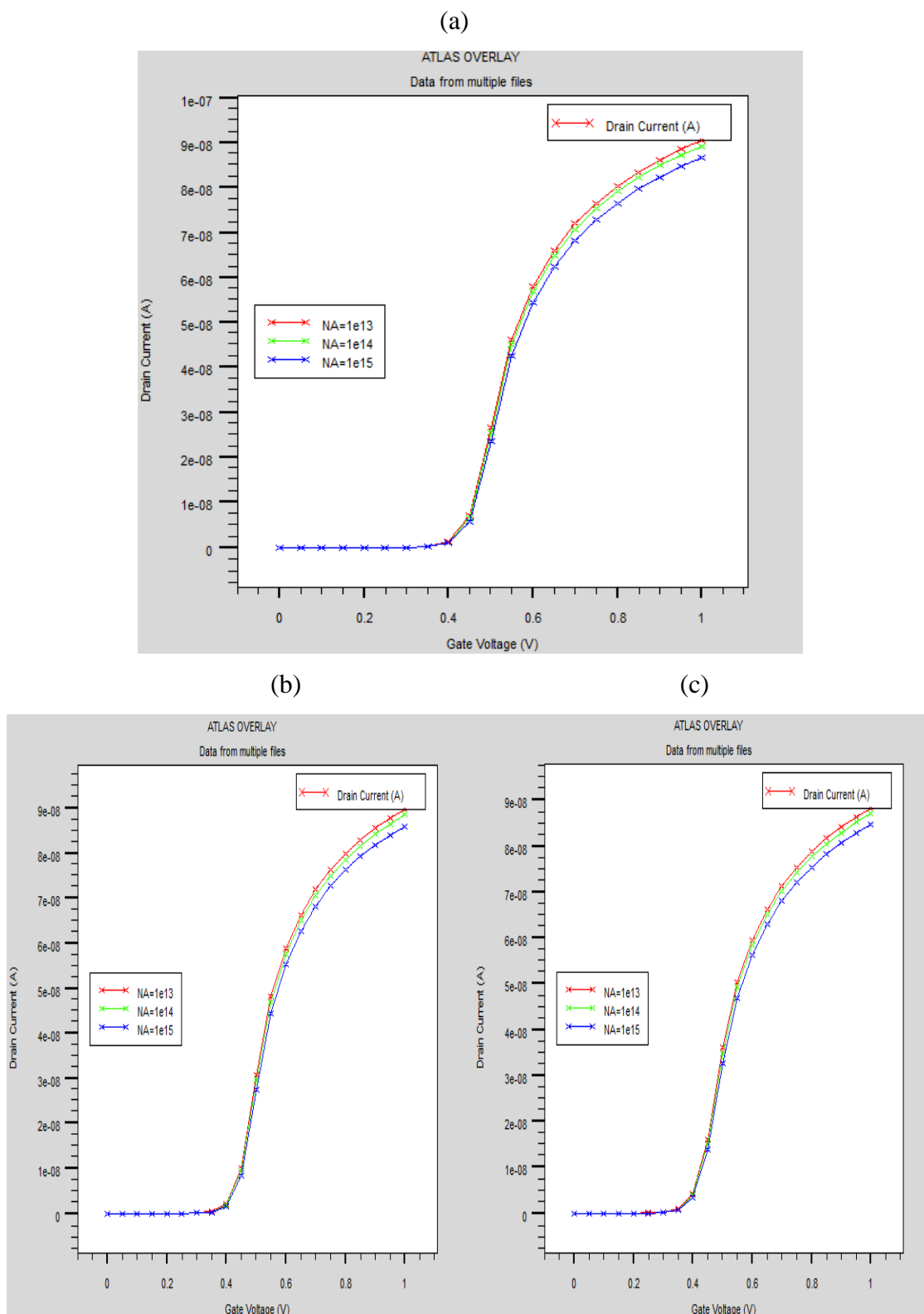


Figure IV. 26:Caractéristique de transfert $I_{DS}-V_{GS}$ pour différentes concentrations N_A en fonction de température : (a) $T=235k$, (b) $T=250k$, (c) $T=275k$.

On remarque sur les figures que dans le canal le dopage n'a aucun effet sur la tension de seuil du dispositif, néanmoins cette variation provoque une variation du courant du drain du MOS-FDSOI. En effet lorsque la concentration des dopants du canal augmente, le courant du drain diminue aussi

IV.8. Comparaison des Paramètres électriques d'un transistor FDSOI 28nm et transistor FDSOI 14nm

Dans cette partie en fait une comparaison entre deux structures différant du transistor MOS FDSOI pour 28nm et 14nm.

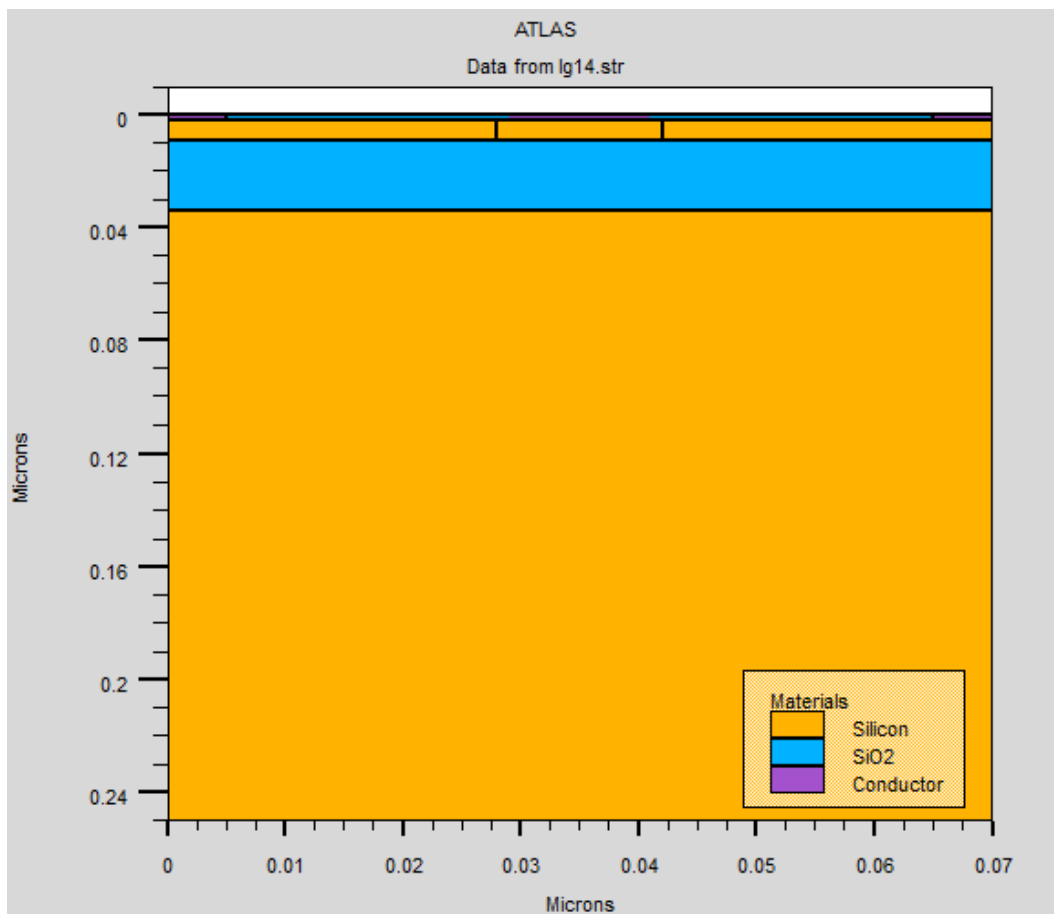


Figure IV. 27:Structure 2D du MOS-FDSOI pour $L_g=14\text{nm}$ (atlas).

IV.8.1. La comparaison des Courants de drain (I_d)

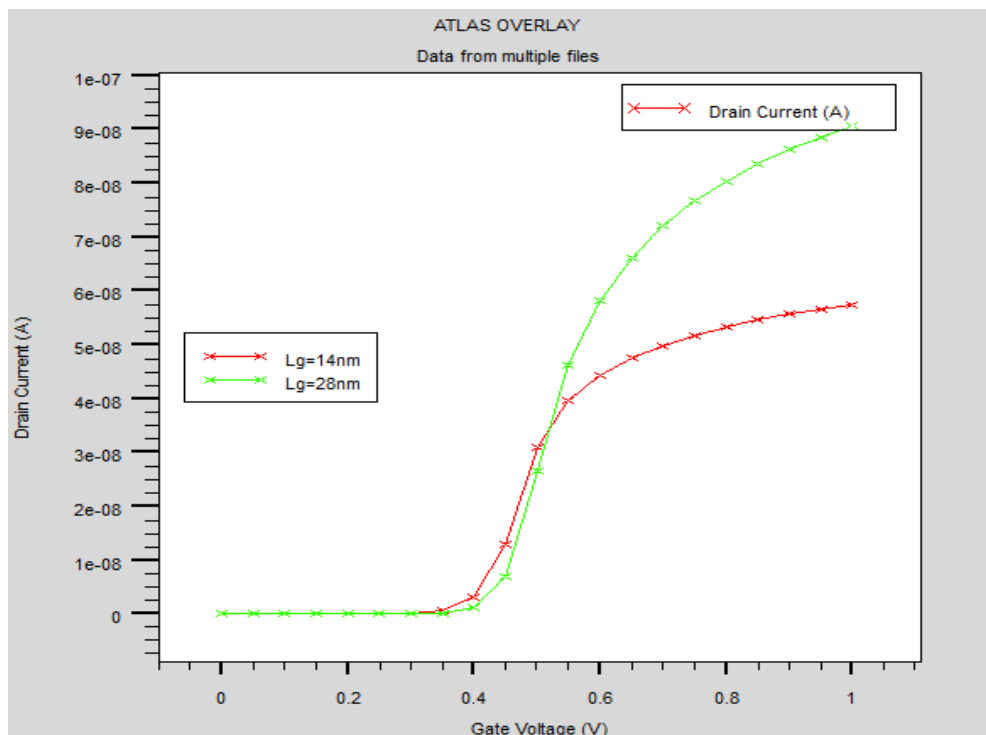


Figure IV. 28: Comparaison des courants des transistors MOS-FDSOI 14nm et 28nm.

IV.8.2. La comparaison des tensions de seuil

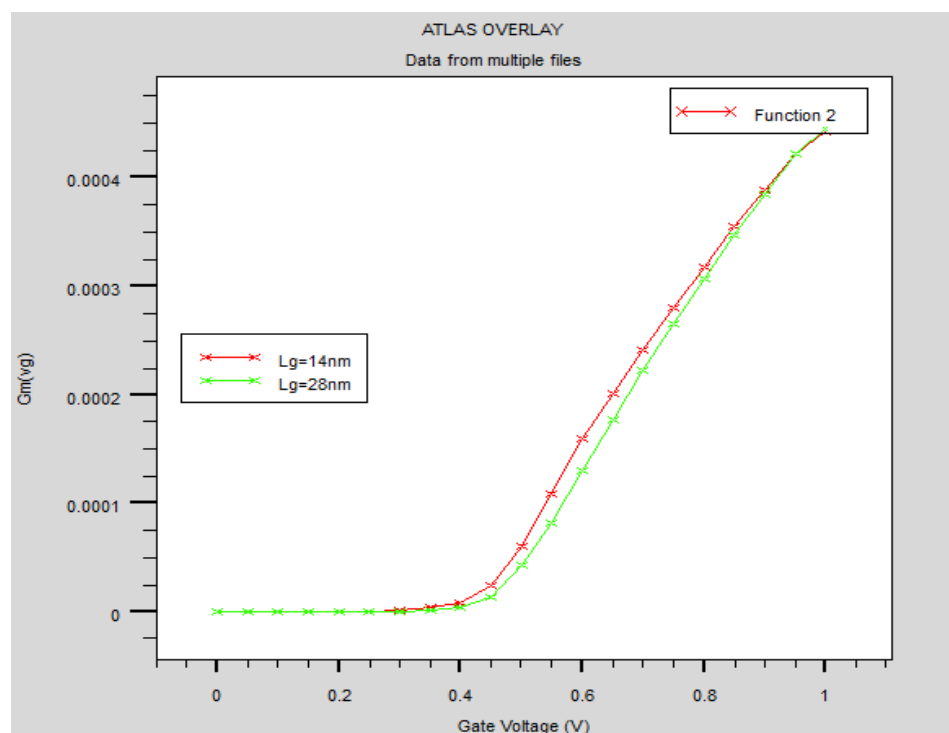


Figure IV. 29: Comparaison des tensions de seuil des transistors MOS-FDSOI 14nm et 28nm.

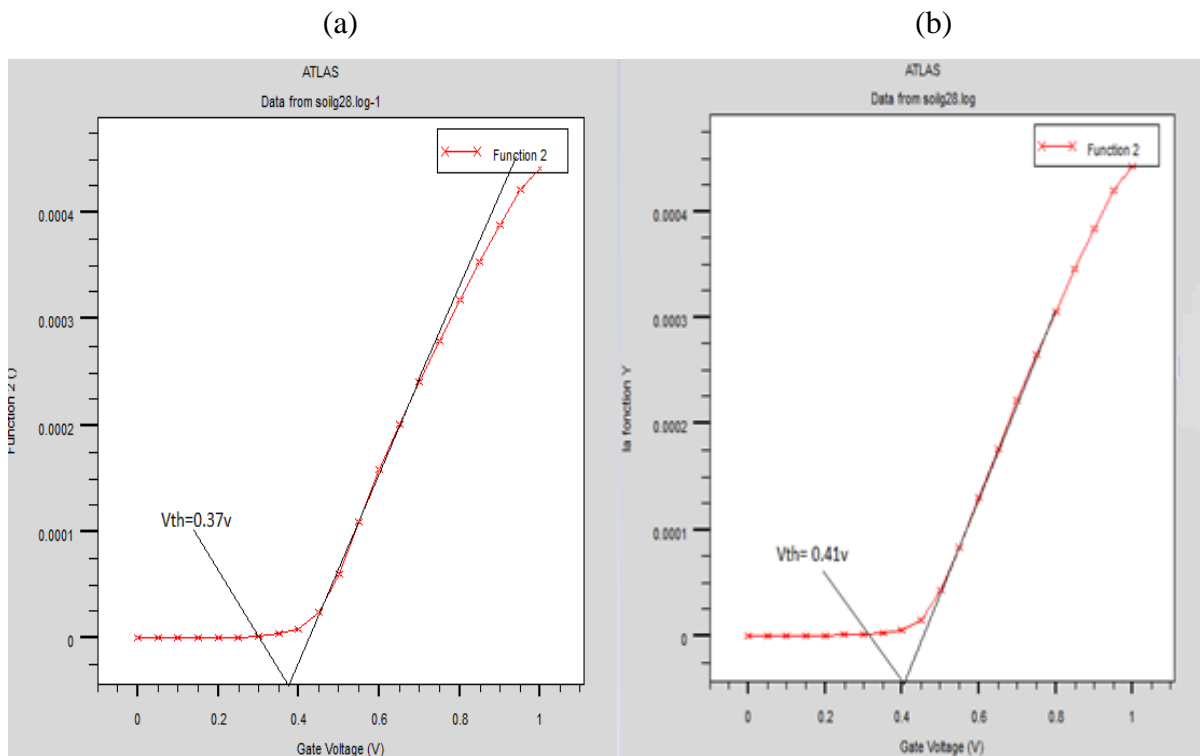


Figure IV. 30: Comparaison des tensions de seuil des transistors FDSOI par extraction de S_{ypour} : (a) 14nm et (b) 28nm.

IV.8.3. La comparaison des Transconductance Gm

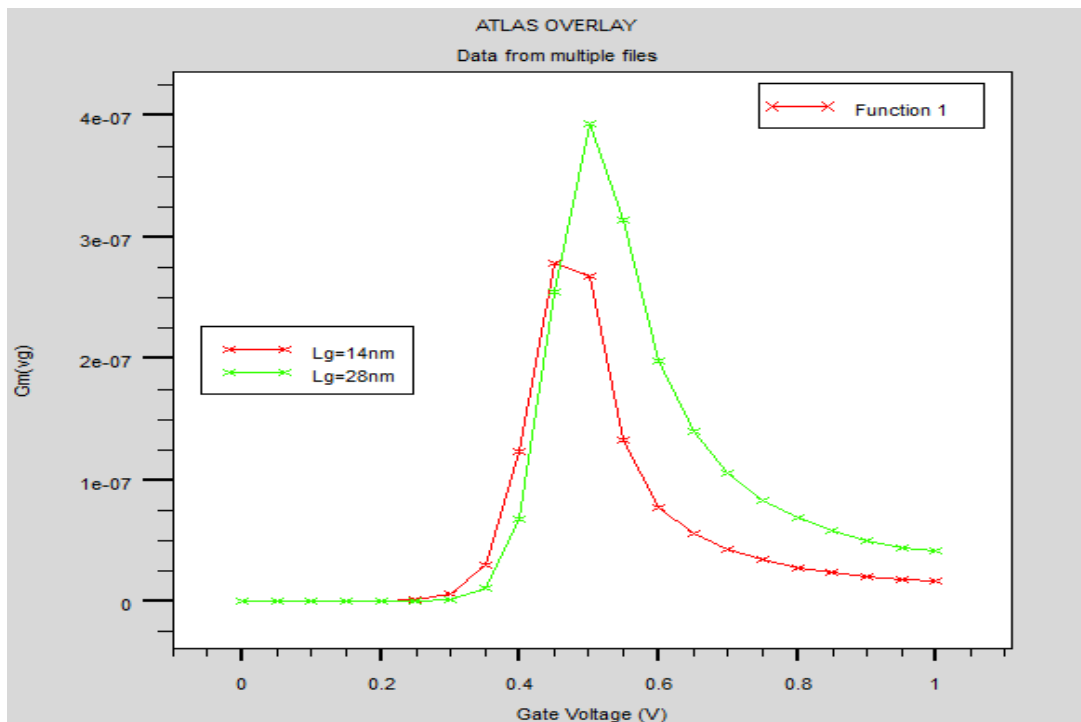


Figure IV. 31: Comparaison des transconductances des transistors FDSOI 14nm et 28nm.

Comme observé lors des simulations, dans le cas du 14nm la tension de seuil est améliorée, le gain est en revanche limité par rapport au 28nm.

IV.8.4. La comparaison de la mobilité et facteur d'atténuation μ_0

	28nm	14nm
La mobilité $cm^2V^{-1}S^{-1}$	$15.24cm^2V^{-1}S^{-1}$	$3.5cm^2V^{-1}S^{-1}$

Tableau IV.6: Comparaison de la mobilité entre 28 nm et 14 nm pour le transistor FDSOI.

En réduisant les dimensions du transistor comme le montre le tableau la mobilité diminue.

IV.8.5. La comparaison du DIBL

L'effet (DIBL) va également modifier la répartition du potentiel au niveau de la source. Les résultats de simulation que nous avons obtenus et permettant de mettre en évidence l'effet DIBL dans notre structure sont présentés sur la figure qui suit.

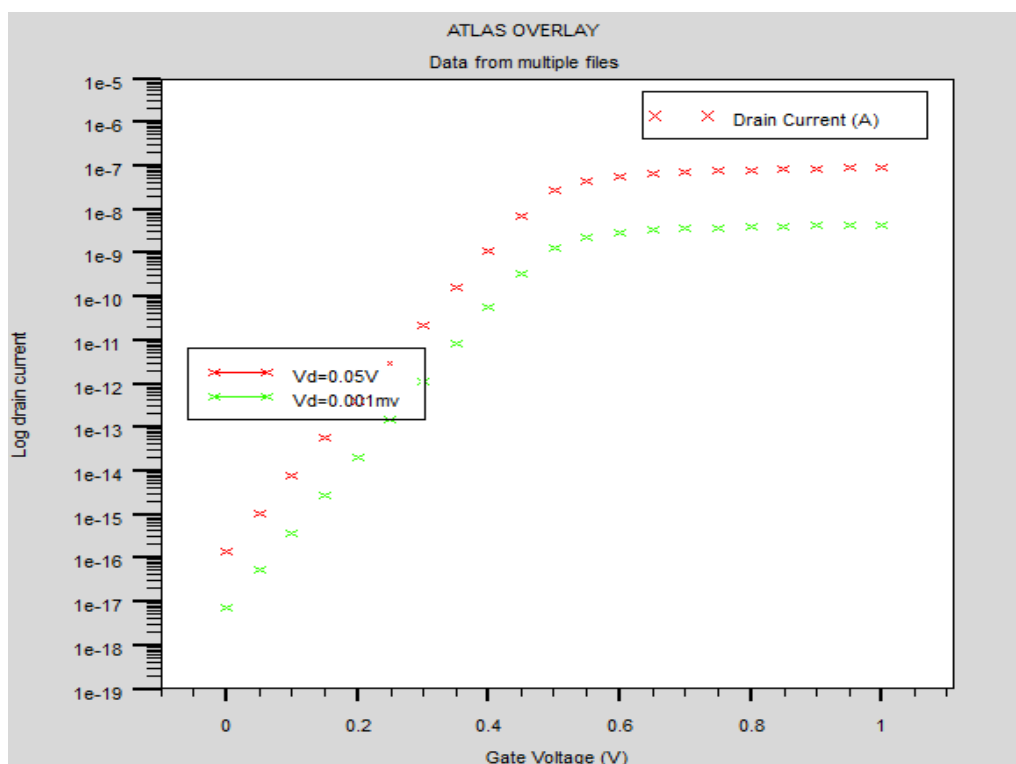


Figure IV. 32: Mise en évidence du DIBL pour FDSOI 28nm.

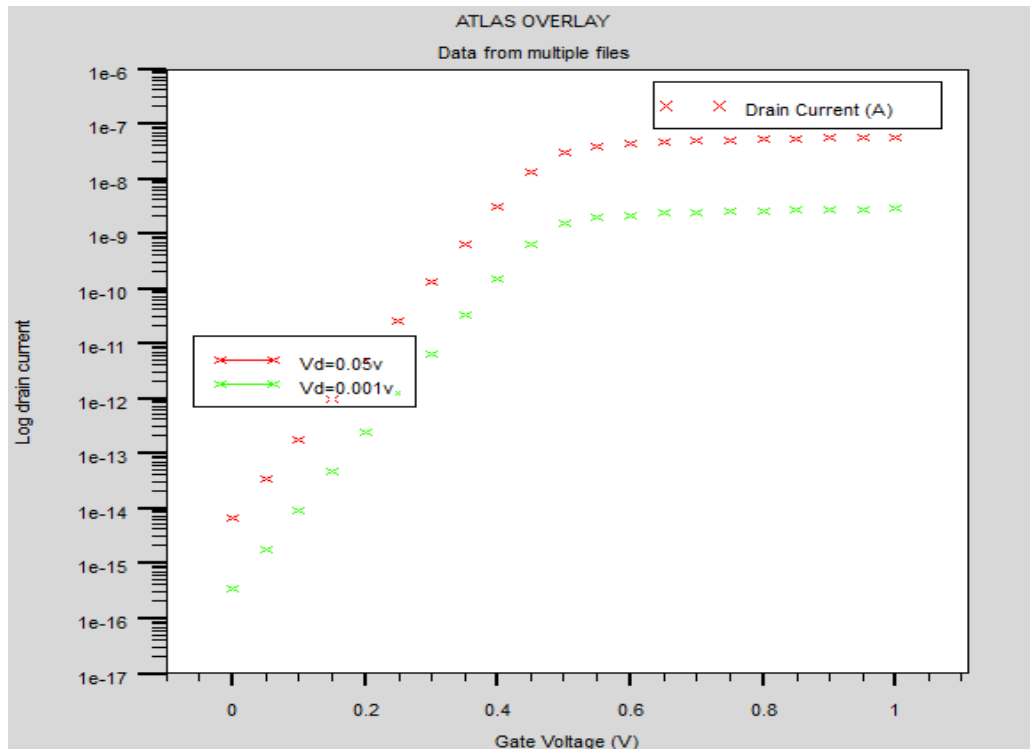


Figure IV. 33: Mise en évidence du DIBL pour FDSOI 14nm.

L'effet DIBL peut être mesuré par le décalage de la courbe de transfert en régime sous seuil ΔV_T , divisé par ΔV_D entre deux courbes résultant de deux tensions de drain ($V_{D1}=0.05\text{v}$, $V_{D2}=0.001\text{v}$).

On peut aussi noter en exploitant ce caractéristique $\log I_D$ - V_{GS} que le courant de fuite I_{OFF} qui est définie comme le courant I_{DS} à $V_{GS}=0$ dépend de la tension de polarisation du drain.

On peut alors estimer le **DIBL** = $\frac{\Delta v_{th}}{\Delta V_{DS}}$ dans les deux cas :

- Pour $L_g=14\text{nm}$:DIBL=444 mv.
- Pour $L_g=28\text{nm}$:DIBL=272 mv.

L'augmentation du potentiel sous l'effet de la polarisation du côté du drain va induire une chute de la tension de seuil en régime de saturation. Ce phénomène devient d'autant plus important qu'on réduise les dimensions du transistor comme la montre les figure IV.32 et IV.33 qui illustre le décalage de la tension de seuil entre les deux régimes pour le transistor

court. En revanche, pour les canaux longs la barrière de potentiel du côté de la source reste inchangée ce qui permet d'avoir un courant de drain équivalent en dessous du seuil.

IV.9. Conclusion

Notre travail a consisté alors à étudier une structure MOSFET FDSOI et à la modéliser sous environnement ATLAS de SILVACO. Pour les dispositifs courts, le courant de drain ne reste pas constant en régime de saturation mais continue à augmenter légèrement avec la polarisation de drain. Cette augmentation est due à trois effets:

- L'éloignement du point de pincement par rapport au drain.
- La réduction de la tension de seuil avec l'augmentation de la tension de drain.
- L'effet d'atténuation de la mobilité.

la variation de différents paramètres du transistor FDSOI en fonction de la température comme la mobilité des porteurs de charge, la tension de seuil, transconductance etc... conduisant inexorablement à la variation des caractéristiques électriques principale, soit sur son courant de drain ainsi que sur ses courant de fuite. L'élévation de la température à un effet néfaste conduisant généralement au vieillissement des dispositifs.

Nous avons aussi pu examiner les effets de la variation des paramètres de notre structure en fonction de température sur ses caractéristiques électriques à savoir son courant de drain, et sa tension de seuil. Nous avons pu alors constaté que la variation de l'épaisseur de l'oxyde, de la longueur de la grille, concentration des dopants de la source et du drain, concentrations des dopants du canal avaient un impact non négligeable sur les caractéristiques électriques de la structure. Pour finir, nous avons étudié l'effet DIBL qui se manifeste dans les transistors de petites dimensions dits transistors à canaux courts, ce qui est bien le cas de notre dispositif.

IV.10. Bibliographie

- [1] F Merad, Conception et simulation des caractéristiques électrique d'un transistor MOSFET nanométrique à conduction latéral de type Tri-Gate (FinFET), 2014.
- [2] GORDON Moore 'Progress in digital integratedelectronics', International Electron Device Meeting (IEDM) techn. Digest, p. 11-13,1975.
- [3] Tang Mingchum, "Etudes Et Modélisation Compacte Du Transistor Finfet", thèse dedoctorat, université de Stasbourg, 2009.
- [4] T. Grotjohn et B. Hoefflinger, A parametric short-channel MOS transistor model for subthreshold and strong inversion current, IEEE Transactions on Electron Devices,vol. 31, no. 2, p. 234-246, 1984.
- [5] Support de cours "Impact de la température sur les paramètres du modèle EKV", dspace.univ-tlemcen.dz.
- [6] M. F. Hamer, First orderparameter extraction on enhancementsilicon MOS transistors, IEE proceedings, vol.133 I, no.2, 1986.

Conclusion générale



Conclusion générale

Ce manuscrit a présenté une étude effectuée sur des transistors MOSFET d'une technologie avancée de type FDSOI (complètement déserté silicium sur isolant). Des simulations électriques à partir d'une analyse bidimensionnelle sous environnement SILVACO-TCAD, ont été effectuées dans le but d'expliquer les phénomènes liés à la réduction des dimensions des transistors pour différente température.

Dans le premier chapitre, nous avons présenté le transistor à effet de champ, son principe de fonctionnement ainsi que les équations de base le régissant en termes de courants, les différents modes de fonctionnement et l'influence des petites dimensions sur le comportement des transistors a été décrite au travers des effets parasites (SCE, DIBL, réduction de la mobilité). Ces effets tendent à réduire les performances électriques des dispositifs. Donc en identifiant les limites du transistor MOS sur silicium massif. Il s'avère que dans les nœuds technologiques avancés, l'amélioration des performances du transistor MOS sur silicium massif est limitée essentiellement par trois éléments. Premièrement, les effets canaux courts qui détériorent le contrôle électrostatique du canal par la grille. Ce qui a pour conséquence d'augmenter les courants de fuite du dispositif, et donc sa consommation statique. Deuxièmement, la variabilité de la tension de seuil qui limite la diminution de la tension minimale d'alimentation. Ce qui a pour conséquence d'empêcher de réduire la consommation statique des circuits en mode *standby*. Troisièmement, le procédé de fabrication qui devient de plus en plus complexe et de plus en plus cher.

Pour apporter une réponse à ces problèmes, nous nous sommes intéressés dans le deuxième chapitre à la technologie à film mince de silicium non fortement dopé qui est la technologie FDSOI. Cette technologie apporte une forte amélioration du contrôle électrostatique du canal par la grille, ce qui la rend moins sensibles aux effets canaux courts, et une faible variabilité de la tension de seuil. Cet atout majeur permet de répondre aux deux premiers problèmes du transistor MOS sur silicium massif. Pour répondre au troisième problème, la technologie planaire FDSOI paraît être une solution adaptée. En effet, bien qu'elle soit moins performante que la technologie FinFET d'un point de vue électrostatique, elle présente l'avantage d'être une technologie planaire, et donc d'être moins en rupture d'un point de vue fabrication. Un autre avantage de cette technologie est de pouvoir moduler la tension de seuil en modulant la polarisation de sa grille arrière. Ce qui est un atout supplémentaire pour la gestion de la consommation et de la vitesse.

Conclusion générale

Le troisième chapitre a été consacré à l'étude de l'impact de la température sur les paramètres électriques du transistor FDSOI ainsi que des différentes méthodes d'extraction des paramètres électriques (fonction Y, split CV,....).

Dans le dernier chapitre, nous avons présenté les structures conçues et simulées que nous avons modélisées sous l'environnement SILVACO. Nous nous sommes alors intéressés à l'étude de l'influence de la variation des paramètres technologiques de ces transistors en fonction des basses températures et leur comportement électrique.

ce chapitre a été consacré essentiellement à la simulation du transistor nanométrique du type FDSOI 28nm à canal. Pour cela nous avons tout d'abord élaboré notre structure, ensuite, nous avons modifié les différents paramètres technologiques influençant le comportement du transistor et ayant un impact sur sa tension de seuil et son courant, que nous avons comparé avec un transistor conventionnel 28nm.

Les résultats obtenus paraissent assez prometteurs.

Nous avons utilisé une technique d'extraction de paramètres électriques, notamment la méthode « Fonction Y » fondée sur des mesures courant-tension qui fut la principale méthode employée. Des mesures basses températures nous ont permis de décarreler la contribution de chacune des composantes de mobilité et ainsi de comprendre les mécanismes qui la réduisent sur les transistors FDSOI et nous sommes intéressés spécialement, on citera entre autres :

- L'effet de la variation des dimensions du transistor sur son courant de sortie.
- L'effet de la variation de la longueur du canal sur son courant de drain.
- L'effet de la variation de la Longueur et de largeur du canal sur son courant de drain.

Nous avons conçu aussi une comparaison entre les caractéristiques électriques dans les technologies 14nm et 28nm FDSOI.

Pour conclure nous pouvons affirmer que ce travail nous a été très bénéfique, car il nous a permis d'utiliser un des logiciels les plus puissants et les plus utilisés dans la recherche et la simulation à travers le monde. Les résultats de simulation que nous avons obtenus permettent de mettre en évidence les effets indésirables des transistors MOSFET à canaux ultracourts.

Perspectives

Nos Perspectives à la suite ces résultats consistent à prendre en compte davantage d'effets prédominants lors de la réduction des dimensions du dispositif. Parmi ces effets, nous comptons la saturation de la vitesse des porteurs ainsi que les effets quantiques. Il est

Conclusion générale

important d'améliorer notre approche pour les capacités extrinsèques et de prendre en compte la capacité d'*underlap*.

Résumé

A l'heure où la miniaturisation des technologies CMOS sur substrat massif atteint des limites, la technologie FDSOI (silicium sur isolant totalement déserté) s'impose comme une alternative pour l'industrie en raison de ses meilleures performances. Dans cette technologie, l'utilisation d'un substrat SOI ultramince améliore le comportement des transistors MOSFETs et garantit leur intégrité électrostatique pour des dimensions en deçà de 28nm.

L'apparition des nouveaux procédés de fabrication notamment la photolithographie a donné naissance à de nouvelles architectures pour les transistors MOSFETs dit 'la technologie SOI'. Ce procédé a permis entre autre, un meilleur contrôle des effets canaux courts.

L'objectif de cette étude est de mettre en évidence par simulation les effets des canaux courts dans les transistors MOSFET, et d'étudier les paramètres pouvant influencer la variation de ces effets. Ce travail fut réalisé par le biais du simulateur SILVACO- TCAD et nous a permis d'examiner les caractéristiques électriques d'une telle structure pour laquelle nous avons pu examiner les effets de la variation de certains de ses paramètres sur ses caractéristiques électriques pour différent température.

Mots clés : Transistor MOSFET, technologie SOI, Technologie planaire totalement désertée (FDSOI), SILVACO-TCAD.

Abstract

Nowadays the scaling of bulk silicon CMOS technologies is reaching physical limits. In this context, the FDSOI technology (fully depleted silicon-on-insulator) becomes an alternative for the industry because of its superior performances. The use of an ultra-thin SOI substrate provides an improvement of the MOSFETs behaviour and guarantees their electrostatic integrity for devices of 28nm and below. The emergence of new manufacturing processes including photolithography has given rise to new architectures for MOSFETs 'technology SOI'. This process has, among other things, a better control of these short channel effects.

The objective of this study is to highlight by simulation the effects of short channels in MOSFET transistors, and to study the parameters that can influence the variation of these effects. This work has been performed using ATLAS SILVACO-TCAD software, and allowed us to examine the electrical characteristics of such structure for which we were able to examine some parameters variation effects on these electrical characteristics for different temperature.

Key words: MOSFET, technology SOI, Fully Depleted Silicon On Insulator (FDSOI) technology, SILVACO TCAD.