

الجمهورية الجزائرية الديمقراطية الشعبية  
RÉPUBLIQUE ALGÉRIENNE DÉMOCRATIQUE ET POPULAIRE  
وزارة التعليم العالي والبحث العلمي  
Ministère de l'Enseignement Supérieur et de la Recherche Scientifique  
جامعة محمد الصديق بن يحيى - جيجل -  
Université Mohammed Seddik BENYAHIA – Jijel –  
Faculté des Sciences et de la Technologie



## MÉMOIRE

Présenté pour l'obtention du diplôme de MASTER

En : Electronique

Option : MICROELECTRONIQUE

## Thème

Modélisation et Caractérisation des Transistors  
**LDMOS** dans le Domaine des **RF** à Base de  
Schéma Equivalent

Réalisé par :

Khalil LAOUAR

Areslane MEDJDOUB

Proposé par :

Dr. Mohammed TAMOUM

Année universitaire : 2018/2019



# Remerciement

*Après Avoir rendu grâce à dieu le Tout Puissant le miséricordieux nous tenons à remercier vivement tous ceux qui, de près ou de loin ont participé à la réalisation de ce mémoire en particulier nos familles.*

*Nous voudrions dans un premier temps remercier Monsieur **M. TAMOUZ**, notre encadreur pour sa disponibilité, pour sa rigueur scientifique et son sens de d'écoute et d'échange.*

*Nous exprimons notre reconnaissance à nos enseignants de l'université de Gijel qui ont si bien mené leur noble métier.*

*Nos vifs remerciements aux membres du jury pour l'honneur et l'amabilité d'avoir bien voulu accepter de juger ce travail.*

*Merci aussi à nos amis et camarades de promotion pour leur soutien qu'ils ont apporté tout au long des années de formation*

# *Dédicace*

*Je dédie ce mémoire*

*A mes chers parents ma mère et mon père*

*Pour leurs patiences, pour leurs amours, leurs soutiens et leurs encouragements*

*A mes frères*

*A la mémoire de ma grand-mère*

*A ma famille*

*A mon chère binôme et ami Khalil*

*A tout mes Amis*

*Areslane*

# ***Dédicace***

***Je dédie ce projet***

***A mes chers parents***

***A mon Frère et mes chères sœurs***

***A toute ma famille***

***A tous mes collègues et mes amis***

***A mon cher binôme et ami Areslane***

***A tout ce qui ont participé de près ou de loin***

***Khalil***

## Résumé

Le but de notre projet est de modéliser le transistor **LDMOS** dans le domaine des **RF**. Pour cela, nous avons utilisé la modélisation empirique en se basant sur un schéma équivalent que nous avons choisi. Pour extraire les éléments de ce dernier, nous avons utilisé la méthode d'épluchage élaboré par **G. DAMBRINE**, et à l'aide du simulateur **ADS**, nous avons comparé les résultats de la mesure avec ceux de la simulation, nous avons obtenu un bon accord. L'extraction des éléments du modèle petit-signal est rapide et précise. Enfin, nous avons étudié la sensibilité des éléments intrinsèques par rapport à l'extraction des éléments extrinsèques, par conséquent nous avons appliqué une erreur de  $\pm 3\%$  ou  $\pm 6\%$  sur les éléments extrinsèques à tour de rôle et cela pour plusieurs points de polarisation. Les résultats obtenus nous permettent d'améliorer le modèle choisi.

## Abstract

The goal of our project is to model the **LDMOS** transistor in **RF** field. For this, we used empirical modeling based on an equivalent circuit that we chose. To extract its elements, we used a deembedding method developed by **G. DAMBRINE**, and using **ADS** simulator, we compared the results of the measurement with those of the simulation, we obtained a good agreement. The extraction of the elements of the small-signal model is fast and precise. Finally, we studied the sensitivity of the intrinsic elements with respect to extrinsic element extraction, therefore we applied an error of  $\pm 3\%$  or  $\pm 6\%$  on the extrinsic elements in turn and this for several polarization points. The results obtained allow us to improve the chosen model.

## ملخص

الهدف من مشروعنا هو نمذجة ترانزستور **LDMOS** في مجال **RF**. لهذا، استخدمنا النمذجة التجريبية على أساس مخطط مكافئ اخترناه. لاستخراج عناصر هذا الأخير، استخدمنا طريقة التقشير التي طورها **G. DAMBRINE**، وباستخدام محاكي **ADS**، قارنا نتائج القياس مع نتائج المحاكاة، وحصلنا على نتائج مطابقة. استخراج عناصر نموذج الإشارة الصغيرة سريع ودقيق. أخيراً، درسنا حساسية العناصر الداخلية فيما يتعلق باستخراج العناصر الخارجية، وبالتالي طبقنا خطأ  $\pm 3\%$  أو  $\pm 6\%$  على العناصر الخارجية بدورها وهذا لعدة نقاط استقطاب. النتائج التي تم الحصول عليها تسمح لنا بتحسين النموذج المختار.

## Lexique

<b>ADS</b>	Advanced design System, simulateur électrique RF de circuits
<b>BF</b>	Base Fréquence
<b>BICMOS</b>	Concentration de Bipolaire- <b>CMOS</b>
<b>CMOS</b>	Complementary <b>MOS</b>
<b>DMOS</b>	Diffused <b>Metal-Oxide Semi-conducteur</b>
<b>D-MOSFET</b>	<b>MOSFET</b> à appauvrissement
<b>E-MOSFET</b>	<b>MOSFET</b> à enrichissement
<b>FDTD</b>	Finite Difference Time Domain.
<b>FET</b>	Field Effect Transistor
<b>GaAs</b>	Arséniure de Gallium
<b>GPS</b>	General Packet radio Service
<b>GSM</b>	Global System for Mobile Communication
<b>HEMT</b>	High Electron Mobility Transistor
<b>HF</b>	Haute Fréquence
<b>Im</b>	Imaginaire
<b>ITRS</b>	International Technology Roadmap for Semiconductors
<b>LDD</b>	Lightly Doped Drain
<b>LDMOS</b>	Laterally Diffused Metal Oxide Semiconductor
<b>LDMOSFET</b>	Laterally Diffused Metal Oxide Semiconductor Field Effect Transistor
<b>LNA</b>	Low Noise Amplifier
<b>MOS</b>	Metal Oxide Semiconductor
<b>MOSFET</b>	Metal Oxide Semiconductor Field Effect Transistor
<b>N-MOS</b>	Transistor <b>MOS</b> ayant un canal de type <b>N</b>
<b>P-MOS</b>	Transistor <b>MOS</b> ayant un canal de type <b>P</b>
<b>P-N</b>	Jonction <b>PN</b>
<b>P<sup>+</sup> Sinker</b>	Implant fortement dopé pour relier la source au substrat
<b>pHEMT</b>	Pseudomorphic <b>HEMT</b>
<b>RF</b>	Radio Fréquences
<b>Re</b>	Réel
<b>S2P</b>	Matrice <b>S</b> de <b>2</b> ports
<b>SE</b>	Schéma Equivalente
<b>Si</b>	Silicium
<b>SiGe</b>	Silicium-Germanium
<b>SiO<sub>2</sub></b>	Dioxyde de Silicium
<b>SOI</b>	Silicon-On-Insulator (Silicium sur isolant)
<b>SC</b>	Semi-Conducteur
<b>VD MOS</b>	Vertically Diffused Metal Oxide Semiconductor
<b>VNA</b>	Vectorial Network Analyser
<b>Wifi</b>	Wireless internet for frequent interface

## Symboles

$a_1$	Puissance d'onde électromagnétique transverse incidente au port 1
$a_2$	Puissance d'onde électromagnétique transverse incidente au port 2
$b_1$	Puissance d'onde électromagnétique transverse réfléchie au port 1
$b_2$	Puissance d'onde électromagnétique transverse réfléchie au port 2
$C_{ds}$	Capacité drain-source
$C_{dsp}$	Capacité du boîtier entre le drain et la source
$C_{gd}$	Capacité grille-drain
$C_{gsp}$	Capacité du boîtier entre la grille et la source
$C_{ox}$	Capacité de l'oxyde par unité de surface
$f$	Fréquence
$f_{max}$	Fréquence maximale d'oscillation pour laquelle le gain en courant $I$ est égal à l'unité
$F_t$	Fréquence de transistor pour laquelle le gain $H_{21}$ est égal à l'unité
$G_d, G_{ds}$	Conductance du drain
$G_m$	Transconductance
$I_{dc}$	Courant continu
$I_{ds}, I_d$	Courant drain-source
$I_{dsat}$	Courant drain-source à la saturation ( $V_{ds}=V_{dsat}$ )
$I_{off}$	Courant en régime bloqué (non-passant)
$K$	Constante de BOLTZMANN ( $k=1.38 \times 10^{23} \text{ J.K}^{-1}$ )
$I_1$	Courant d'entrée
$I_2$	Courant de sortie
$L$	Longueur du canal d'un <b>MOSFET</b>
$L_d$	Inductance d'accès du drain
$L_{eff}$	Longueur effective du canal
$L_{dp}$	Inductance du boîtier, coté drain
$L_g$	Inductance d'accès de la grille
$L_{gp}$	Inductance du boîtier, coté grille
$L_s$	Inductance d'accès de la source
$N$	Concentration d'électron
$N^+$	Zone type <b>N</b> fortement dopée
$N^-$	Zone type <b>N</b> faiblement dopée
$P$	Concentration de trou
$P^+$	Zone type <b>P</b> fortement dopée
$P_1$	Puissance d'entrées
$P_2$	Puissance de sortir
$Q_d$	Charge accumulée sous l'électrode de drain
$Q_g$	Charge total stockée dans la grille
$R_d$	Résistance d'accès du drain
$R_g$	Résistance d'accès de la grille
$R_s$	Résistance d'accès de la source



<b>[S]</b>	Matrice- <b>S</b>
<b>S<sub>ij</sub></b>	Paramètres de répartition ( <b>S</b> : Scattering) d'indice <i>i</i> et d'un multipole
<b>[S<sub>mes</sub>]</b>	Matrice- <b>S</b> mesuré
<b>t<sub>ox</sub></b>	Epaisseur de l'oxyde
<b>V<sub>b</sub></b>	Tension de polarisation appliquée au substrat
<b>V<sub>d</sub></b>	Tension de polarisation appliquée au drain
<b>V<sub>dc</sub></b>	Tension continue
<b>V<sub>ds</sub></b>	Différence de potentiel drain-source
<b>V<sub>dsat</sub></b>	Différence de potentiel drain-source dans la région de saturation
<b>V<sub>g</sub></b>	Tension de polarisation appliquée à la grille
<b>V<sub>gd</sub></b>	Différence de potentiel grille-drain
<b>V<sub>gs</sub></b>	Différence de potentiel grille-source
<b>V<sub>p</sub></b>	Tension de pincement
<b>V<sub>s</sub></b>	Tension de polarisation appliquée à la source
<b>V<sub>th</sub>, V<sub>t</sub></b>	Tension de seuil
<b>[Y]</b>	Matrice- <b>Y</b>
<b>[Y<sub>i</sub>]</b>	Matrice- <b>Y</b> intrinsèque
<b>[Y<sub>mes</sub>]</b>	Matrice- <b>Y</b> mesuré
<b>Z, W</b>	Largeur du canal
<b>Z<sub>c</sub></b>	Impédance caractéristique
<b>[Z]</b>	Matrice- <b>Z</b>
<b>[Z<sub>e</sub>]</b>	Matrice- <b>Z</b> extrinsèque
<b>[Z<sub>mes</sub>]</b>	Matrice- <b>Z</b> mesuré
<b>ω</b>	Pulsation

# Sommaire

<b>Introduction générale</b> .....	1
------------------------------------	---

## CHAPITRE I

### Caractérisation électrique du transistor LDMOS

1. Introduction .....	3
2. Structure du transistor <b>MOS</b> .....	3
3. Les Types de transistor <b>MOS</b> .....	4
3.1. Transistor <b>MOS</b> à canal <b>N</b> .....	4
3.2. Transistor <b>MOS</b> à canal <b>P</b> .....	5
3.3. <b>MOSFET</b> à appauvrissement <b>D-MOSFET</b> .....	6
3.4. <b>MOSFET</b> à enrichissement <b>E-MOSFET</b> .....	6
4. Principe de fonctionnement .....	7
4.1. Régime bloqué .....	8
4.2. Régime d'inversion .....	8
4.3. Régime linéaire .....	9
4.4. Régime de saturation .....	10
5. Caractéristique électrique du transistor <b>MOS</b> .....	11
6. Les transistors <b>MOS</b> pour les applications <b>RF</b> .....	11
7. Les transistors <b>LDMOS</b> .....	15
8. Conclusion .....	16

## CHAPITRE II

### Modélisation du transistor LDMOS en RF

1. Introduction .....	17
2. Exigences de la modélisation .....	17
3. Types de modélisation .....	19
3.1. La Modélisation physique .....	19
3.2. La Modélisation phénoménologique (ou empirique) .....	19
3.3. La Modélisation à base de données expérimentales ou partable .....	20
4. Choix de la modélisation .....	21
5. Les mesures physiques hyperfréquences .....	21
6. Méthodologie suivie durant ce travail .....	24
7. Conclusion .....	24

## CHAPITRE III

### Caractérisation électrique du transistor LDMOS

1. Introduction .....	25
2. Schéma équivalent électrique .....	25
2.1. Eléments du boîtier .....	26
2.2. Eléments extrinsèques .....	27
2.3. Eléments Intrinsèques .....	29
3. Détermination des éléments électriques du modèle .....	31
3.1. Extraction des éléments du boîtier .....	31
3.2. Extraction des éléments extrinsèques .....	32
3.3. Extraction des éléments intrinsèques .....	38
4. Caractéristiques statiques du transistor <b>LDMOS</b> utilisé .....	41
5. Implémentation du schéma équivalent dans le simulateur <b>ADS</b> .....	41
6. Validation du modèle .....	43
7. Conclusion .....	48

## CHAPITRE IV

### Sensibilité des éléments intrinsèques par rapport aux éléments extrinsèques

1. Introduction .....	49
2. Etude de l'influence des éléments extrinsèque sur les éléments intrinsèque .....	49
2.1. Application d'une erreur de $\pm 3\%$ sur les éléments extrinsèques .....	49
2.2. Application d'une erreur de $\pm 6\%$ sur les éléments extrinsèques .....	61
2.3. Effet de l'erreur de sur les éléments intrinsèques pour d'autres points de fonctionnement .....	62
2.3. a. Pour le point de polarisation $V_{gs}=5.6V, V_{ds}=27V$ .....	62
2.3. b. Pour le point de polarisation $V_{gs}=5.2V, V_{ds}=0.75V$ .....	64
3. Conclusion .....	66
<b>Conclusion générale</b> .....	67

## Introduction générale

Le développement de systèmes de communications, civiles et militaires, se traduit par leur montée en puissance et en fréquence. Cette évolution apparaît pour les concepteurs comme une nouvelle contrainte sur les étages d'amplification et donc plus particulièrement sur les transistors de puissance qui les constituent [1].

La conception des amplificateurs de puissance requiert une bibliothèque de modèles pour leurs composants actifs et passifs. Le transistor est considéré comme l'élément actif le plus important dans l'architecture des amplificateurs de puissance [2].

En conséquence, aujourd'hui, même si le transistor **MOS** reste un composant massivement utilisé pour la conception numérique, de nombreux efforts sont portés sur la fabrication de circuits **RF** en technologie **MOS**. Depuis 2003, l'**ITRS** (International Technology Roadmap for Semiconductors) s'intéresse ainsi à l'évolution des technologies **RF** et Analog/Mixed-Signal pour les communications sans fil. Dans la vie de tous les jours, ce type d'applications se situe potentiellement à peu près partout, pour la téléphonie mobile (**GSM, UMTS**), les réseaux sans fil (**Wifi, Bluetooth, bande ISM, Wimax**) ou la localisation et le transport (**GPS, radars de proximité**) et possède encore vraisemblablement, à l'heure actuelle, une bonne marge de développement [3].

Par rapport à ces exigences de performances et de coût, une nouvelle génération de composant semi-conducteur est apparue sur la scène de l'amplification de puissance : le **LDMOS** (Lateral Doubled Diffused Metal-Oxide Semiconductor) dédié à la radiotéléphonie mobile et utilisé dans les étages de sortie des amplificateurs des stations de base [4].

L'objectif de ce travail s'est exprimé à travers le besoin de modèle **RF** pour les technologies **MOS**. Or les modèles compacts ne sont pas adaptés pour les technologies émergentes, à cause de leur complexité et du temps élevé pour l'extraction des paramètres. Par conséquent, la solution qui peut contourner ce problème est l'utilisation d'un modèle empirique basé sur l'utilisation de schéma équivalent **RF**. Ce dernier est divisé en trois parties : une partie boîtier, une partie

extrinsèque et une partie intrinsèque.

Une fois le est développé, nous allons étudier à quel point la précision de l'extraction des éléments extrinsèques influe sur les éléments intrinsèques.

Ce travail est organisé en 4 chapitres:

Le premier chapitre présentera tout d'abord ce qu'est un transistor **MOSFET**, puis décrira son principe de fonctionnement ainsi que les caractéristiques principales en précisant sa structure. Le cas du transistor **LDMOS** sera mis en relief, étant donné qu'il est souvent utilisé pour le domaine des **RF**.

Le deuxième chapitre décrira la modélisation, nous montrons les exigences de la modélisation, ses différents types ainsi que leurs avantages et inconvénients sur lesquelles nous nous sommes basés pour choisir particulièrement la modélisation phénoménologique. Enfin nous allons présenter la méthodologie à suivre pendant notre travail.

Dans le troisième chapitre, nous présentons la caractérisation hyperfréquence du transistor **LDMOS** utilisé. Tout d'abord, nous décrivons le schéma équivalent utilisé. Ensuite, nous présentons l'extraction des éléments du boîtier, des éléments extrinsèques et des éléments intrinsèques en utilisant la méthode d'extraction développée par **G. DAMBRINE** qui est basée sur des transformations successives des paramètres **S** en paramètres **Z** ou **Y**. Puis nous allons implémenter le modèle dans le logiciel de simulation **ADS**. Enfin, pour valider notre modèle, nous optons pour des comparaisons entre simulations et mesures.

Dans le dernier chapitre de notre travail, nous allons étudier l'influence des éléments extrinsèques sur l'extraction des éléments intrinsèques pour différents points de polarisation ( $V_{gs}$ ,  $V_{ds}$ ). Pour cela, nous allons proposer une erreur dans les valeurs des éléments extrinsèques à tour de rôle de  $\pm 3\%$  et de visualiser leurs influences sur l'extraction des éléments intrinsèques. Ensuite, nous doublerons cette erreur à  $\pm 6\%$  pour visualiser comment ce changement affecte les éléments intrinsèques, pour étudier l'effet de l'amplitude de l'erreur sur les éléments intrinsèques.

Enfin, nous terminerons par une conclusion générale et des perspectives.

## 1. Introduction

Les technologies **MOS** (Métal Oxyde Semi-conducteur) et bipolaire sont les deux grandes familles de l'électronique. Compte tenu de facteurs tels que la rapidité lors de la commutation, la faible consommation, etc..., la technologie unipolaire **MOS** est la plus utilisée que ce soit pour la logique ou l'électronique de puissance. Cette préférence a motivé le choix d'étudier les transistors **MOS** [5].

Le transistor **MOSFET** se caractérise par le fait que la grille, par l'effet de champ électrique, contrôle à travers l'oxyde de grille la densité de porteurs dans le canal du dispositif et ainsi l'intensité du courant dans le canal. Le canal est relié de part et d'autre à deux régions fortement dopées entre lesquelles est appliquée une tension donnant lieu à la circulation du courant [6].

Ce chapitre est consacré à la présentation du transistor **MOS**, et en y mettant l'accent sur son principe de fonctionnement et ses caractéristiques statique, à la fin de ce chapitre on a jugé nécessaire de décrire les applications du transistor **MOS** dans le domaine fréquentiel et le mettre en relief avec les caractéristiques et les propriétés **RF** du transistor **LDMOS**.

## 2. Structure du transistor MOS

La structure **MOS** est constituée d'une électrode de grille, déposée sur un isolant (couche d'oxyde de grille), recouvrant un substrat semi-conducteur à canal de conduction [7].

La **Figure I.1** présente l'architecture d'un transistor **N-MOS**. L'architecture classique est constituée de trois terminaux qui permettent d'analyser le comportement électrique du transistor : la grille ( $V_g$ ), la source ( $V_s$ ), le drain ( $V_d$ ).

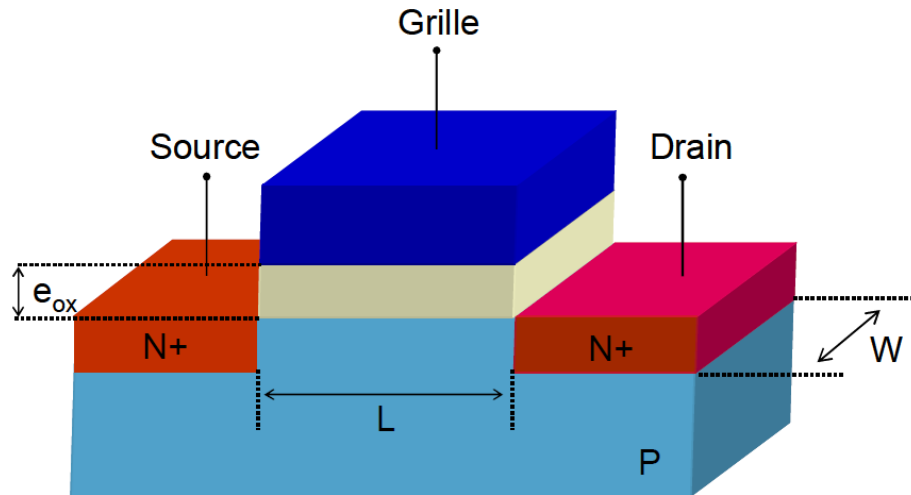


Figure I.1: Structure du transistor **N-MOS** [4]

### 3. Types des transistors MOS

Selon deux types du substrat **P** ou **N** on peut concevoir deux types de transistor **MOSFET** les **P-MOSFET** et les **N-MOSFET** :

#### 3.1. Transistor MOS à canal N

Dans les transistors **N-MOSFET** (Figure I.2), le substrat est de type **P**. Dans ce cas la grille est polarisée positivement par une tension  $V_g$  suffisante, qui va peupler l'interface Sc-Oxyde, d'électrons permettant l'apparition de deux zones peuplées d'électrons la source et le drain reliées par un canal rempli d'électrons, et la tension  $V_{ds}$  doit être positive afin de drainer ces électrons ; le courant circule du drain vers la source [8].

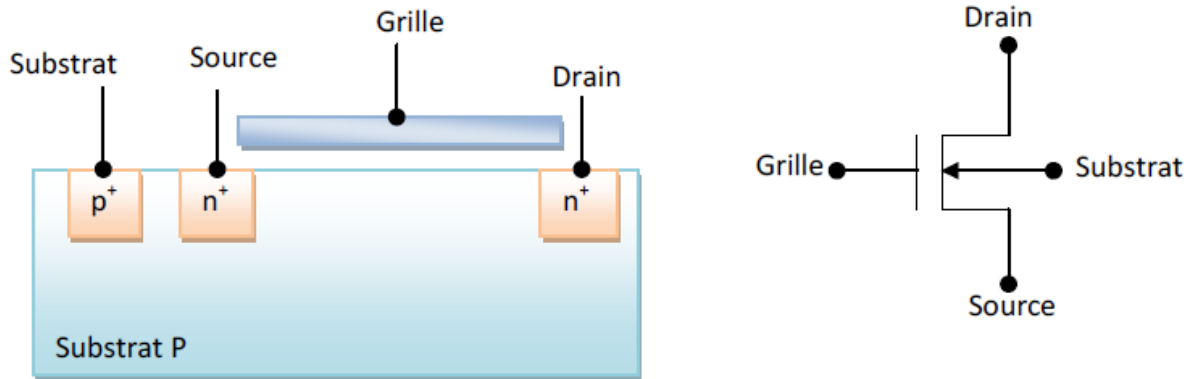


Figure I.2: MOSFET type N

### 3.2. Transistor MOS a canal P

Dans les transistors **P-MOSFET** (Figure I.3), le substrat est de type **N** et la grille est polarisée négativement par une tension  $V_g$  suffisante, qui va peupler de trous l'interface Sc-Oxyde, et qui donne deux zones peuplées de trous : la source et le drain reliées par un canal rempli de trous, et la tension  $V_{ds}$  doit être négative afin de drainer ces trous ; le courant circule donc de la source vers le drain [8].

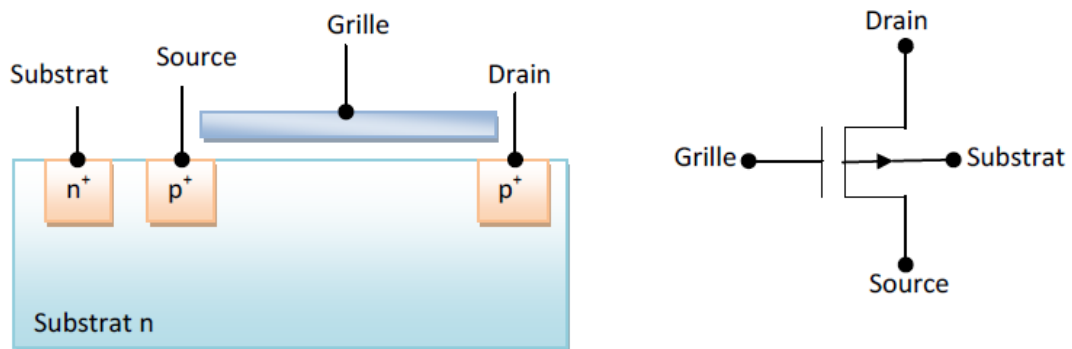


Figure I.3 : MOSFET type P



### 3.3. MOSFET à appauvrissement D-MOSFET

#### ❖ Type N

Dans le **D-MOSFET** le drain et la grille sont reliés par un canal étroit du même type : **N** pour **D-MOSFET** canal **N**. Dans ce cas, si on applique une tension négative sur la grille par rapport au substrat, les électrons sont repoussés et la conductivité du canal diminue [9].

#### ❖ Type P

Les transistors **MOS** à appauvrissement sont passants sans tension de commande sur la grille (**NORMALLY ON**), ils deviennent de moins en moins conducteurs au fur et à mesure que la tension de commande augmente pour finalement se bloquer au-delà d'une tension de blocage  $V_{gs\text{off}}$  [9].

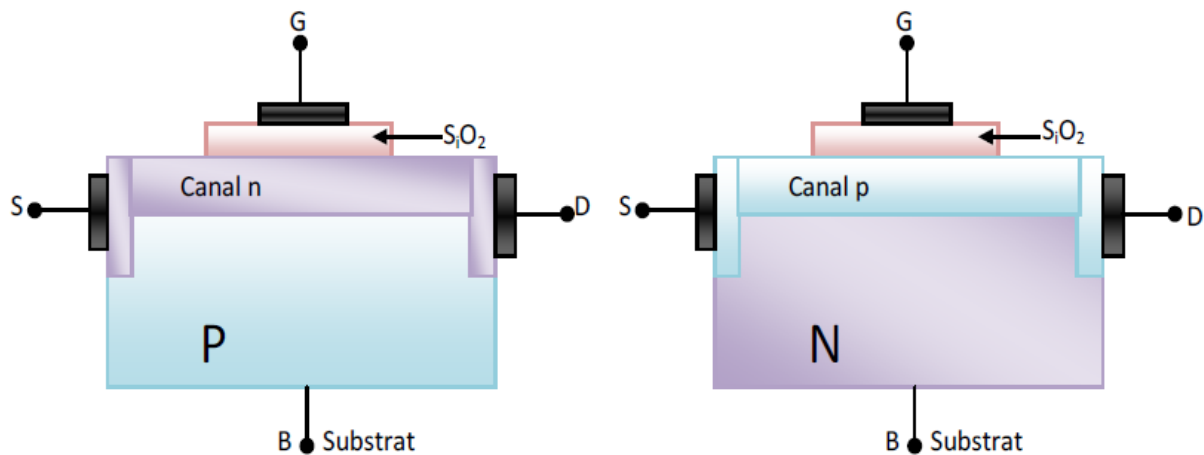


Figure I.4 : Coupe de **MOSFET** à appauvrissement à canal **N** et **P**

### 3.4. MOSFET à enrichissement E-MOSFET

#### ❖ Type N

En appliquant une tension positive sur la grille, on attire les électrons à l'interface isolant-semi-conducteur et on repousse les trous. A partir d'une certaine valeur : tension de seuil  $V_{th}$  (Threshold Voltage), une couche d'inversion apparaît et le transistor devient de plus en plus passant [9].

## ❖ Type P

Dans le cas du **E-MOSFET** canal **P**, si on applique une tension négative sur la grille par rapport au substrat, les électrons sont repoussés et les trous minoritaires sont attirés. À partir d'une certaine valeur : tension de seuil  $V_{th}$  (Threshold Voltage), une couche d'inversion apparaît et le transistor devient de plus en plus passant [9].

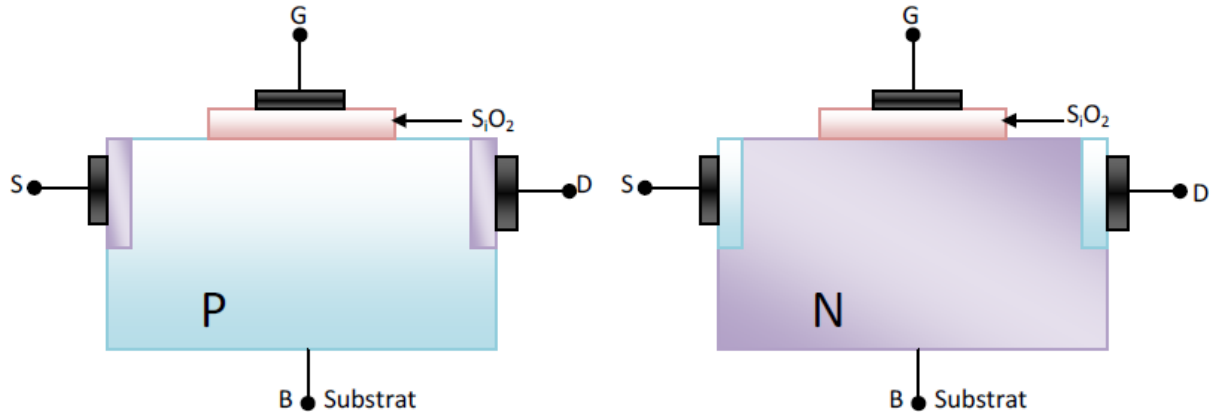


Figure I.5 : Coupe de **MOSFET** à enrichissement à canal **N** et **P**

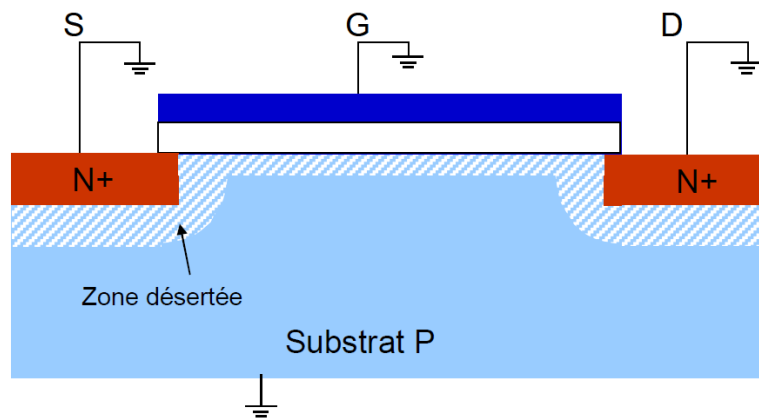
## 4. Principe de fonctionnement

Le transistor **MOS** est constitué de deux régions semi-conductrices fortement dopées appelées source et drain (de type **N** dans le cas d'un transistor **NMOS** et de type **P** pour un transistor **PMOS**) séparées par une région faiblement dopée et de type opposée (canal). Le principe du transistor **MOS** repose sur la possibilité de modifier localement la nature du dopage du canal (inversion) par un champ électrique (**Figure I.1**). Ce champ électrique est appliqué par l'électrode de commande appelée grille à travers un isolant (diélectrique de grille). Lorsque la tension appliquée sur la grille ( $V_{gs}$ ) est supérieure à une tension appelée tension de seuil ( $V_{th}$ ), des charges mobiles sont créés: électrons dans le cas d'un transistor **NMOS**, trous dans le cas d'un transistor **PMOS**. Ces charges mobiles constituent un canal de conduction entre la source et le drain. Lorsqu'une différence de potentiel  $V_{ds}$  est appliquée entre la source et le drain, les porteurs affluant de la source peuvent donc circuler dans le canal et sont collectés par le drain [10].

La variation de la tension  $V_{gs}$  dans lieu différents zones de fonctionnements :

#### 4.1. Régime bloqué

Le régime bloqué représente l'état du composant en absence de polarisation de grille ( $V_g$ ). Le transistor **MOS** est alors représenté par deux jonctions **PN** tête-bêche (**Figure I-6**). Le seul courant qui peut alors résulter d'une polarisation drain-source est le courant inverse de l'une ou de l'autre des jonctions. Ce courant en régime bloqué ( $I_{off}$ ) doit être le plus faible possible afin d'éviter toute consommation superflue lorsque le dispositif est non passant [4].

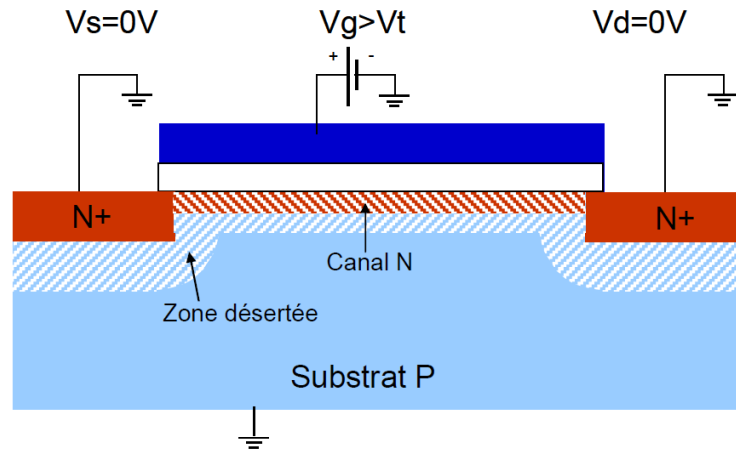


**Figure I.6** : Coupe de **MOSFET** représentative de son fonctionnement en absence de polarisation

#### 4.2. Régime d'inversion

L'application d'une tension positive (négative pour le **PMOS**) sur l'électrode de grille supérieure à une certaine tension de seuil  $V_{th}$  produit l'apparition d'une couche d'inversion de type **N** entre la source et le drain (**Figure I.7**). Un canal de type **N** relie la source au drain.

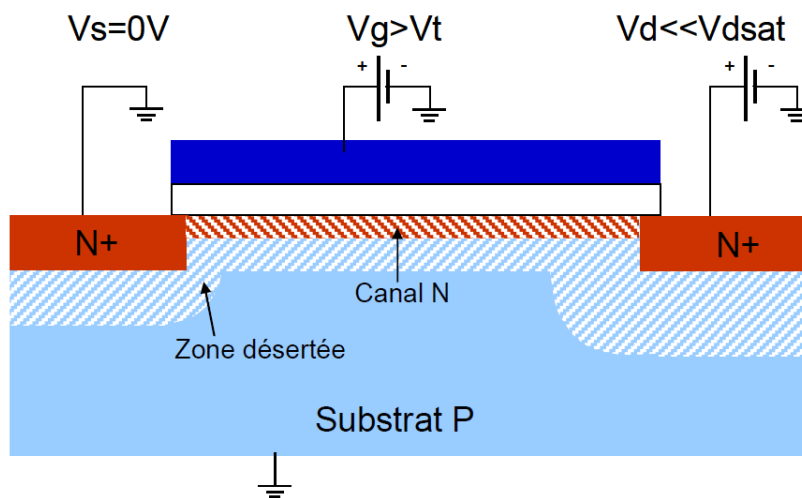
Plus la tension de grille  $V_{gs}$  est élevée, plus la densité de porteurs dans la couche augmente [4].



**Figure I.7** : Coupe de **MOSFET** représentative de son fonctionnement avec une zone d'inversion

### 4.3. Régime linéaire

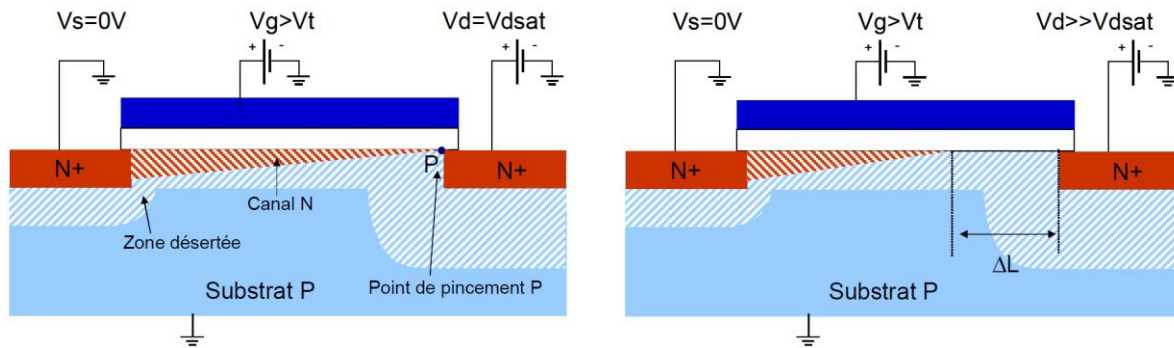
Une fois le canal formé, si une tension de drain est appliquée, un courant circule entre le drain et la source (**Figure I.8**). La variation de la tension  $V_{ds}$  modifie la couche d'inversion et fait ainsi varier la conductance du canal. Tant que la tension de drain  $V_{ds}$  reste faible, le courant reste proportionnel à la tension  $V_d$  appliquée. Le composant fonctionne en régime linéaire dans lequel le canal se comporte comme une résistance contrôlée par la tension de grille  $V_{gs}$  [4].



**Figure I.8** : Coupe de **MOSFET** représentative de son fonctionnement en régime linéaire (faible  $V_{DS}$ )

#### 4.4. Régime de saturation

Plus la tension  $V_{ds}$  appliquée est élevée, plus le potentiel côté drain diminue. De ce fait la densité d'électrons et également la conductance diminuent. Le courant de drain n'est alors plus proportionnel à  $V_{ds}$  et aboutit à un phénomène de saturation du courant. Durant ce régime, le courant est alors indépendant de la tension de drain appliquée. Pour une tension appliquée entre la grille et le drain ( $V_{gs}-V_{ds}$ ) égale à la tension de seuil  $V_{th}$  le canal se pince côté drain et la conductivité du canal s'annule au voisinage du drain. La tension de drain à laquelle le pincement a lieu est appelée tension de saturation  $V_{dsat}$ , et le courant correspondant est appelé courant de saturation  $I_{dsat}$  (**Figure I.9**) [4].

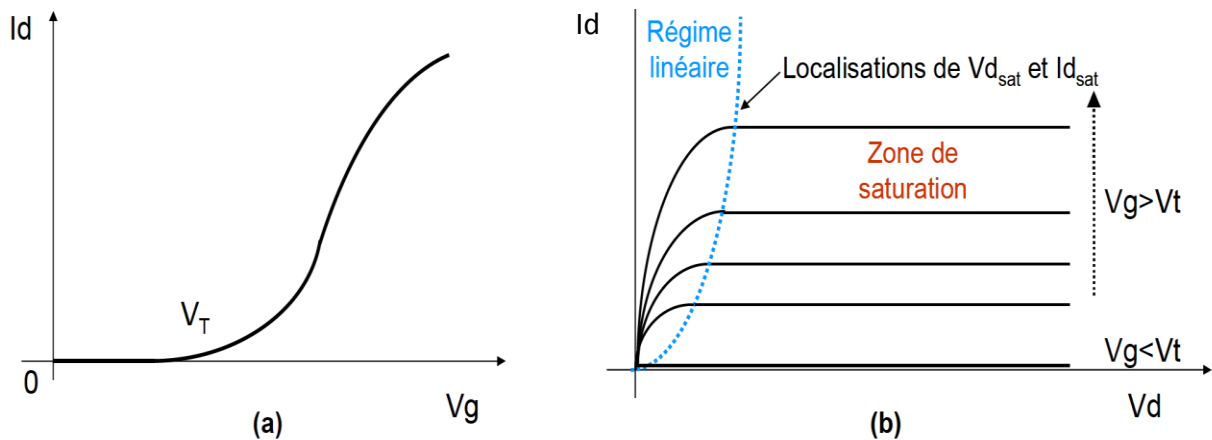


**Figure I.9** : Coupes de **MOSFET** représentatives de son fonctionnement en régime de saturation (gauche) et en régime de sur saturation ou la longueur de canal est réduite de  $\Delta L$  (droite).

En continuant d'augmenter la tension de drain, la longueur effective du canal diminue progressivement et le point de pincement se rapproche de la source. La région voisine du drain n'est plus en inversion. Dans ces conditions, le courant est transporté par les porteurs libres dans le canal conducteur jusqu'au point de pincement, ces porteurs sont ensuite propulsés vers l'électrode de drain par le fort champ électrique qui existe dans la région désertée. La tension aux bornes du canal reste constante et égale à  $V_{dsat}$ . Si la variation relative  $\Delta L/L$  de la longueur du canal est faible, le courant de drain est égal à  $I_{dsat}$  et indépendant de  $V_{ds}$  [4].

## 5. Caractéristique électrique du transistor MOS

Les transistors **MOSFET** peuvent être caractérisés par des mesures électriques statiques en courant-tension au niveau du drain  $I_{ds}=f(V_{ds})$  et courant-tension de grille  $I_{ds}=f(V_{gs})$ , comme présent il s'agit de caractéristiques idéale souvent associées à des dispositifs a canal long.

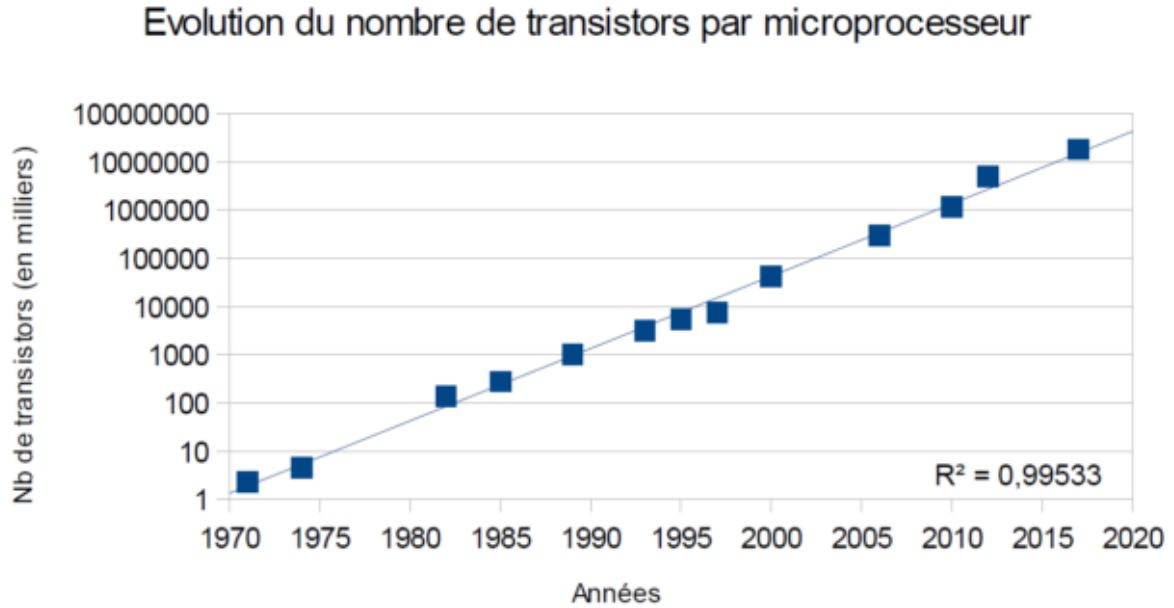


**Figure I.10** : Caractéristiques idéales de transfert (a) et de sortie (b) d'un transistor **MOS** de type **N**. La courbe pointillée correspond à la tension  $V_{dsat}$ . Pour  $V_d > V_{dsat}$  le courant reste constant à  $I_{dsat}$

## 6. Les transistors MOS pour les applications RF

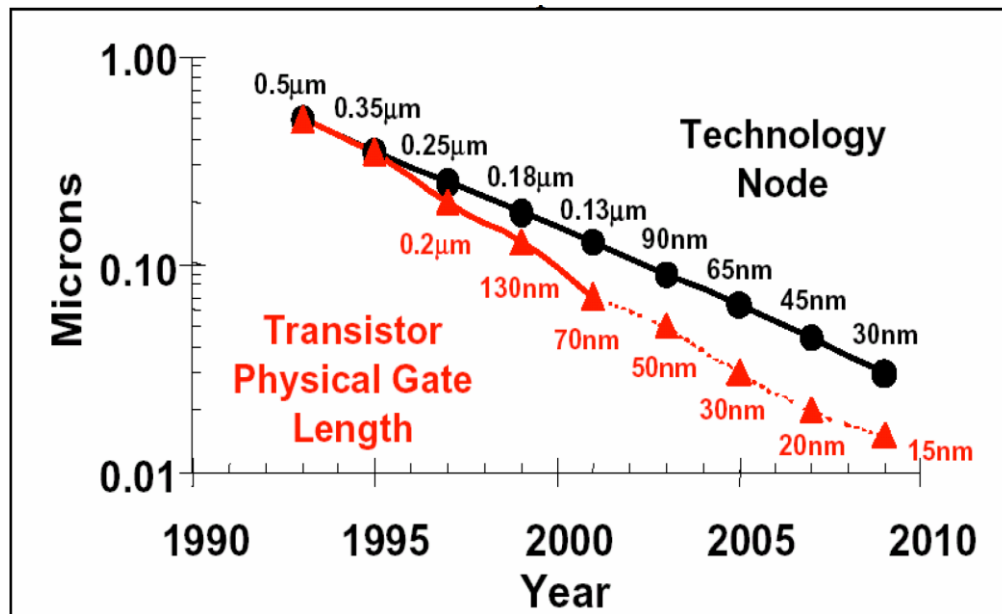
En 1965, le premier circuit intégré n'avait que quatre ans mais Gordon Moore prédit que la densité de transistors sur circuits intégrés devrait doubler tous les 12 mois pour les dix prochaines années.

Cette prévision est révisée en 1975 à un doublement tous les 18 mois et devient connue sous le nom de la loi de Moore [11] (**Figure I.11**).



**Figure I.11** : Loi de Moore [12]

La technologie **CMOS** représente près de **90%** du marché des semi-conducteurs et poursuit sa route dans la miniaturisation qui amènera l'utilisation de dispositifs **MOS** de longueur de grille de **40-50nm** en 2007-2008 au plan industriel comme l'illustre la **Figure I.11** [9].

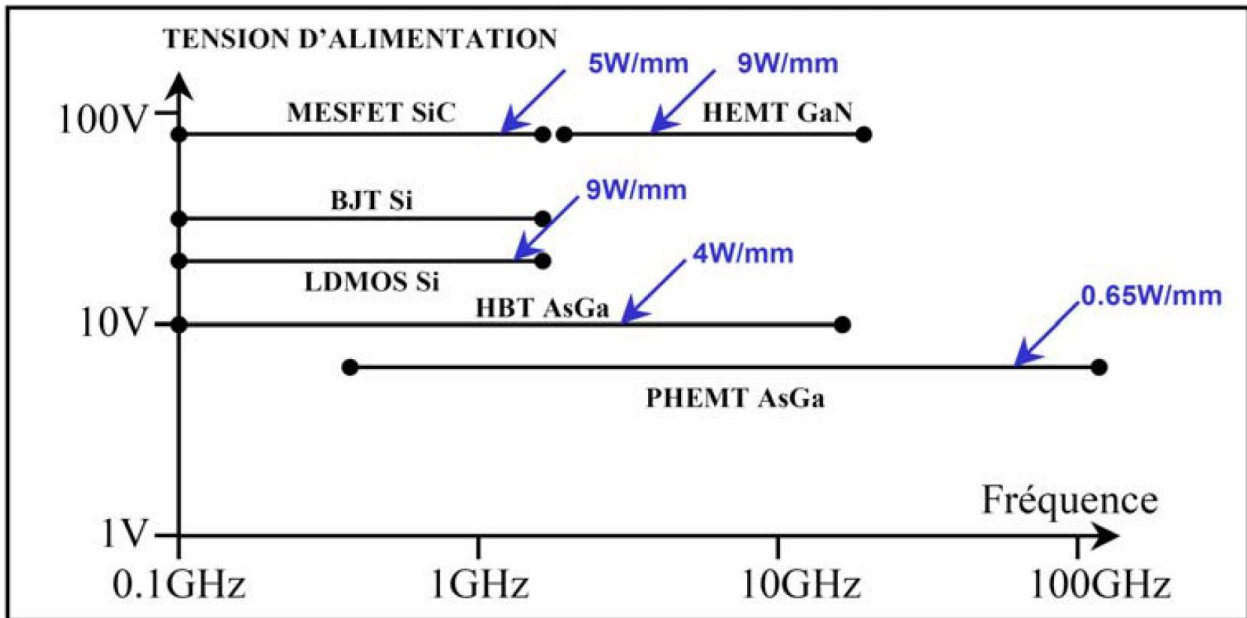


**Figure I.12** : Évolution de la longueur de grille des transistors (d'après la feuille de route ITRS 2001)

La réduction de la longueur de grille des transistors **MOS** est principalement motivée par la volonté d'augmenter la densité d'intégration des transistors sur une puce et par le désir d'augmenter leurs performances, par exemple en niveau de courant délivré ou bien en temps de propagation. Par loi d'échelle cette réduction de la longueur de grille entraîne des réductions de paramètres technologiques et électriques des transistors **MOS** comme l'épaisseur de l'oxyde de grille ou bien la tension nominale. Cette miniaturisation globale entraîne aussi des effets néfastes sur certains paramètres électriques régissant le fonctionnement des transistors **MOS**. Pour contrecarrer ces effets, plusieurs solutions technologiques ont été proposées, soit en optimisant les architectures existantes, soit en proposant de nouvelles architectures. Afin de quantifier les avantages et les inconvénients de tels dispositifs ultracourts il est indispensable de pouvoir les caractériser électriquement de façon efficace ainsi que de modéliser le comportement de leurs paramètres électriques avec la réduction des dimensions [13].

Les fabricants de composants semi-conducteurs (transistors bipolaires, transistors à effet de champ) se sont lancés dans la « bataille » permettant de répondre aux exigences des systèmes de communication en termes de puissance, de performances en gain et linéarité, d'encapsulation et de coût de revient. En effet, ces différents dispositifs semi-conducteurs sont nécessaires pour les étages émetteurs et récepteurs dans les divers équipements qui utilisent le spectre hertzien depuis le téléphone portable, jusqu'aux stations de bases et aux satellites. Les filières sur Arséniure de Gallium (**GaAs**) sont actuellement les plus performantes du fait des propriétés physiques intrinsèques et permettent d'obtenir de meilleures caractéristiques aux fréquences élevées (**Figure I.13**). Cependant les technologies Silicium (**MOSFET** et bipolaire) sont très matures et offrent des composants avec des performances très honorables à des coûts relativement plus faibles, ce qui reste un atout majeur dans le contexte actuel où le marché du téléphone cellulaire est très sensible au prix de revient des composants [14].





**Figure I.13** : Technologies disponibles pour l'amplification de puissance

Les applications analogiques exigent des composants fournissant suffisamment de puissance à haute fréquence pour réaliser des circuits à gain en puissance supérieure à l'unité. Les performances **RF** d'un dispositif comme le **MOSFET** peuvent être évaluées par des grandeurs telles que le gain en puissance, la fréquence de transition  $f_t$ , la fréquence maximale d'oscillation  $f_{max}$  et le facteur de bruit minimum  $N_{fmin}$  du composant [15].

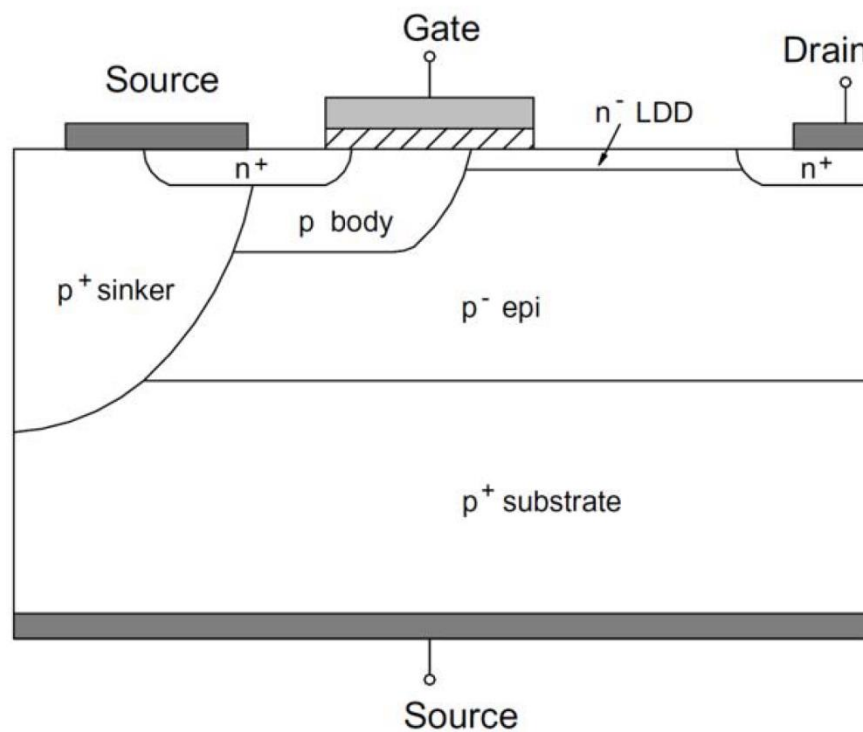
Des structures ont été élaborées afin de pouvoir réaliser des transistors **MOS** de puissance tout en remédiant à l'apparition des phénomènes d'avalanche et de perçage. Deux grandes familles de transistor **MOS** de puissance sont référencées : les **MOSFET** de puissances verticales (**VDMOS**) et les **MOSFET** de puissances latérales (**LDMOS**) [4].

Dans ce travail nous nous intéressons aux transistors **LDMOS**.

## 7. Transistor **LDMOS**

Actuellement, d'un point de vue technologique, le transistor **MOSFET** classique ne peut supporter des fortes polarisations. Une filière plus employée dans le domaine des applications de puissance est celle du **LDMOS** (Laterally Diffused **MOS**) sur silicium (**Figure I.14**) qui supporte des tensions de polarisation élevées [16].

Il est également compatible avec les technologies **BiCMOS** avancées, ce qui fait de lui un candidat idéal pour assurer la partie puissance (c'est-à-dire interrupteur) dans un circuit intégré [4].



**Figure I.14** : Coupe de Transistor **LDMOS** type **N** [17]

Ces transistors obtenus par le procédé de double diffusion se distinguent du **MOSFET** par un puits dopé **P<sup>+</sup>** qui assure la continuité électrique entre les sources des composants élémentaires et la masse connectée au substrat **P<sup>+</sup>**. Sa très large utilisation dans

le domaine des amplificateurs de puissance **RF** (réseaux télécommunications) fait de cette technologie un standard. En plus de leur faible coût de conception, les transistors **LDMOS** possèdent toutes les caractéristiques électriques et thermiques requises pour les modulations complexes. Ses potentialités en termes de haut rendement et de linéarité en font un candidat idéal pour une gamme de fréquences qui reste limitée à quelques **GHz** [16].

Les transistors **LDMOS** sont aussi caractérisés par une zone **N** située entre la fin du canal d'inversion et le drain **N<sup>+</sup>**, zone appelée drift ou extension de drain (**LDD** de : **L**ightly **D**oped **D**rain), ceci a pour but, l'augmentation de la tension de claquage [10].

La diffusion **P<sup>+</sup>Sinker** : Permet de relier directement la source du transistor au Bulk (masse) et évite ainsi d'utiliser des contacts, pistes et autres fils de câblage qui induisent des perturbations selfiques, résistives et des parasites [18].

Un autre grand avantage du **LDMOS** réside dans sa facilité d'intégration dans des circuits **RF** puisqu'il permet de disposer des électrodes de drain et de grille sur la face avant de la puce. Cette topologie permet donc l'utilisation de lignes micro-rubans, de capacités planaires et d'inductances intégrées pour réaliser des circuits et notamment des amplificateurs **RF** de puissance [19].

Son principal inconvénient est sa limitation en fréquence (en général **3GHz**, sauf dans un travail récent, à notre connaissance, on a pu monter en fréquence jusqu'à **6GHz**) [14].

## 8. Conclusion

Dans ce chapitre nous avons donné un rappel sur le transistor **MOS**, structure, types, régimes de fonctionnement ainsi que ses caractéristiques statiques.

La technologie **MOS** est de plus en plus utilisée dans le domaine **RF**, c'est pour cela qu'on s'intéresse au transistor **LDMOS** souvent utilisé dans ce domaine. Nous l'avons donc, définie et présenté ses avantages dans les applications **RF**.

## 1. Introduction

La modélisation des éléments d'un circuit intégré s'inscrit parmi les méthodologies permettant de réduire le temps de cycle et le coût d'un circuit. En effet, une des particularités des circuits intégrés est qu'une fois fabriqués ils ne peuvent être modifiés. Ainsi, lors de la conception du circuit, le comportement électrique de celui-ci doit être simulé pour vérifier qu'il fonctionne correctement. Pour être pertinente, cette simulation doit bien entendu être la plus proche possible de la réalité.

Le but de la modélisation est donc d'élaborer, pour chaque dispositif, un équivalent mathématique, le modèle, qui permet d'en reproduire et d'en prédire le comportement électrique [20].

La conception de chaque élément d'un système nécessite l'utilisation de modèles permettant de simuler des phénomènes électriques et thermiques complexes [18].

Les principales difficultés résident dans le fait que développer un modèle représente un très long travail de recherche.

## 2. Exigences de la modélisation

La modélisation d'un composant doit répondre à un ensemble d'exigences qui, elles sont définies par le domaine d'application et les demandes du concepteur en termes de résultats de simulation.

Pour illustrer ceci, nous allons prendre un exemple très simple qui est le cas d'une impédance.

Si le concepteur s'intéresse uniquement au rapport du courant avec la tension appliquée sur cet élément, la loi d'ohm  $I=V/Z$  suffit pour le décrire. Cependant, si l'on est intéressé aussi par l'influence de l'effet Joule et de la température sur le courant, il est nécessaire d'inclure ce phénomène et de rendre le modèle plus complexe. Il en va de même pour le bruit thermique, etc.

De manière générale, un modèle idéal de transistors **MOS** adapté pour la conception de circuits intégrés numériques, analogiques ou mixtes, doit satisfaire les points suivants [21].

1. Le modèle doit donner une bonne précision sur les caractéristiques de courant I-

- V** dans une large gamme de polarisation.
2. Il doit prédire, de façon rigoureuse, les caractéristiques dynamiques en régime petit et grand-signal, même pour des fréquences de fonctionnement proches de la fréquence de transition du composant.
  3. Il doit donner une bonne prédiction du bruit blanc et du bruit basse fréquence.
  4. Les recommandations 1 à 3 doivent être vérifiées sur tous les régimes de polarisation et pour diverses valeurs du potentiel de substrat **V<sub>b</sub>**.
  5. Toutes les exigences précédentes doivent être satisfaites pour une large gamme de températures.
  6. Le modèle doit être valable pour une large gamme de largeur **W** et de longueur **L<sub>g</sub>** de la grille (paramétrable en **W**, **L<sub>g</sub>**).
  7. Il doit avoir le strict minimum possible de paramètres. Ceux-ci doivent être reliés directement à la structure du composant et au procédé de fabrication technologique.
  8. Le modèle doit être facile à intégrer (implémenter) dans un simulateur. Pour le calcul numérique, il doit être robuste et continu entre les régimes de fonctionnement.
  9. La méthode d'extraction des paramètres du modèle doit être la plus simple possible. Le nombre de composants-test ainsi que le nombre de mesures requis pour l'extraction des paramètres doit être le plus petit possible.

Tous les points énoncés précédemment représentent évidemment le cas d'un modèle idéal. Il n'existe pas de modèle pouvant satisfaire la totalité de ces exigences. Cependant, l'approche et le type de modélisation font apparaître divers avantages et inconvénients.

Ainsi, le choix d'un modèle ou d'une approche de modélisation doit s'effectuer en fonction des besoins comme des moyens offerts.

Par la suite, nous allons présenter trois types de modélisation concernant les **MOSFET**, avec leurs avantages et leurs inconvénients. Ainsi, en combinant les moyens offerts et les exigences requises dans le cadre de ce travail, nous allons exposer le choix de modélisation effectué.

### 3. Types de modélisation

Afin de placer le travail de modélisation qui a été effectué dans son contexte, cette partie propose de faire un tour d'horizon de différents types de modélisations du transistor **MOS** en général. Trois types de modélisations peuvent être distingués :

- Les modèles physiques
- Les modèles phénoménologiques
- Les modèles par tables

#### 3.1. Modélisation physique

Par définition, un modèle physique répond à la majorité des exigences présentées ci-dessus. Ainsi, il est adapté à la simulation statistique en rapport avec les paramètres technologiques, il peut prévoir le comportement du transistor à diverses températures et peut tenir compte de nombreux effets, de manière analytique.

Cependant, le temps de développement d'un modèle physique peut durer plusieurs années et ne jamais prendre fin, car, à chaque nouvelle génération technologique, de nouveaux effets physiques apparaissent et doivent être pris en compte. D'autre part, afin d'assurer une bonne robustesse numérique, les équations doivent être les plus simples possibles et doivent assurer une continuité entre les différents régimes de fonctionnement. Ceci entraîne automatiquement une limitation dans les expressions du modèle physique. Finalement, d'un point de vue pratique, les inconvénients les plus importants sont le nombre de paramètres et les méthodes d'extraction des modèles physiques [14].

#### 3.2. Modélisation phénoménologique ou (empirique)

La modélisation phénoménologique est une approche purement empirique, c'est-à-dire qu'elle se base uniquement sur la représentation des effets observables et mesurables, indépendamment de leur nature.

Cette catégorie regroupe les modèles utilisant un circuit électrique équivalent qui comporte des éléments linéaires et non linéaires. Ces éléments non-linéaires sont décrits par des expressions mathématiques les plus simples possibles pour ne pas altérer la convergence et le temps de calcul des simulateurs. Les expressions mathématiques sont représentatives du fonctionnement global, elles peuvent avoir une signification

physique ou non, on emploie alors le terme d'expression ou de modèle empirique. Ce type de modèle présuppose de réaliser des composants avant de les modéliser car les paramètres des expressions sont déterminés à partir de mesures électriques de ces mêmes composants [22,23].

Toutefois, les avantages de la modélisation phénoménologique ne doivent pas être négligés. L'élaboration d'un tel modèle peut s'avérer très rapide ; des équations simples peuvent très bien décrire le comportement électrique du transistor, sur tous les régimes de polarisation et sur la gamme de fréquence de fonctionnement envisagés. Même certaines lois d'échelle peuvent être incluses dans les équations. Une fois le modèle élaboré, l'extraction des paramètres est rapide et les mesures requises sont simples et peu nombreuses.

Par ailleurs, à cause de la nature de la modélisation empirique, le modèle est facilement incorporable dans un simulateur de circuits quelconque. Grâce à la simplicité de tels modèles, le temps de calcul numérique, peut être considérablement réduit [14,21].

### **3.3. Modélisation à base de données expérimentales ou par table**

La modélisation à base de données expérimentales est très similaire à la modélisation phénoménologique. La différence majeure est que les éléments non linéaires ne sont pas décrits par des fonctions mathématiques, mais par des matrices de données de mesures paramétrées suivant plusieurs entrées ( $V_{gs}$ ,  $V_{ds}$ , température ...) [22]. Les points de mesures sont reliés entre eux par des fonctions d'interpolation. Ceci entraîne certains avantages et inconvénients [23].

Le modèle est valable uniquement dans la plage des mesures effectuées, car, au-delà, les fonctions d'interpolation ne peuvent nullement assurer le comportement du composant. Il en découle que, pour des polarisations proches à la limite des mesures, ces modèles présentent d'énormes problèmes de discontinuité. Ceci est un inconvénient majeur, car il peut entraîner la divergence lors d'un calcul. D'autre part, peu de lois d'échelle peuvent être prises en compte et chaque composant doit être individuellement mesuré.

On peut désigner le modèle par table comme le plus simple et le plus rapide à mettre au point puisqu'il ne nécessite pas d'étapes d'optimisations parfois coûteuses en

temps. Les avantages sont similaires à ceux des modèles phénoménologiques, avec, de plus, une rapidité d'extraction plus élevée [14].

## 4. Choix de la modélisation

Afin de modéliser les transistors **MOS** en hyperfréquence, nous avons d'abord considéré les besoins et le but de l'étude. Le transistor mis en avant dans cette étude est destiné à des applications de puissance. Le composant est d'abord modélisé puis son modèle est implanté dans le logiciel de simulation **ADS** d'Agilent. Les concepteurs utilisent ces modèles pour concevoir des circuits hyperfréquences (amplificateurs de puissance, mélangeurs, **LNA**, oscillateurs, ...).

Les modèles physiques représentent, de façon précise, le comportement physique interne du composant, mais ils exigent des temps de calcul très importants et des ressources informatiques conséquentes.

Les modèles par tables constituent un bon compromis calcul-précision-facilité de mise en œuvre, mais il faut élaborer un modèle pour chaque transistor utilisé, et de plus, le modèle est valide uniquement dans la zone mesurée car l'extrapolation du modèle peut-être inexacte.

Nous avons donc fait le choix du modèle phénoménologique qui rendait le travail beaucoup plus flexible et rapide.

## 5. Mesures hyperfréquences

Les transistors sont généralement représentés sous la forme de quadripôles avec un port d'entrée et un port de sortie, où sont définis les courants et les tensions. (**Figure II.1**) illustre schématiquement un transistor **MOSFET** sous sa représentation quadripôle en source commune.

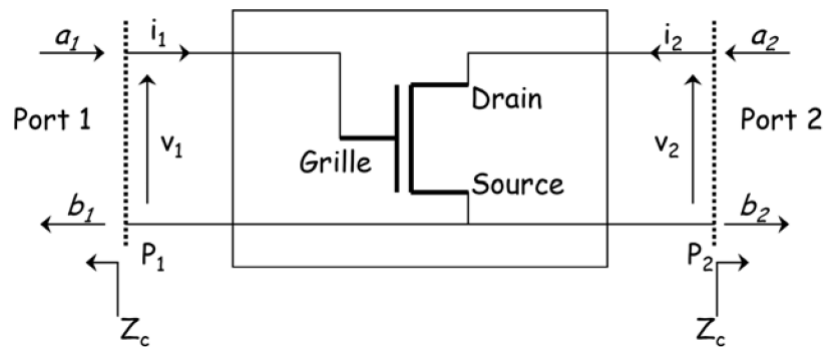
En régime de fonctionnement petit-signal (faibles amplitudes d'excitation), le quadripôle peut être caractérisé par des relations linéaires entre les courants  $i_i$  et les tensions  $v_i$ . En hyperfréquences, les notions de courant et de tension sont difficiles à utiliser [21].

En effet, au-delà de **100MHz**, la condition circuit ouvert (impédance infinie) est difficile à réaliser ; quant à la mise en court-circuit, elle entraîne souvent l'oscillation du



montage, ceci est dû aux capacités et aux inductances parasites. Au contraire, les mesures des paramètres **S** se font sur entrée et sortie adaptées et n'entraînent pas ces difficultés [14].

De plus, en raison des phénomènes de propagation qui peuvent exister en haute fréquence, on se rend compte que les tensions et les courants dépendent de la position où ils sont mesurés (la longueur des éléments est souvent du même ordre de grandeur que la longueur d'onde) [18].



**Figure II.1.** Représentation d'un transistor en source commune, sous la forme d'un quadripôle

Pour cela, nous utilisons le concept de la puissance d'onde. En un plan du circuit (plan **P<sub>1</sub>** ou plan **P<sub>2</sub>** de la **Figure II.1**) sont définies la puissance de l'onde incidente **a<sub>i</sub>** et la puissance d'onde réfléchi **b<sub>i</sub>**. Entre deux plans (**P<sub>1</sub>** et **P<sub>2</sub>**), nous définissons la notion de la puissance transmise. Les puissances **a<sub>i</sub>** et **b<sub>i</sub>** sont reliées avec les courants **i<sub>i</sub>** et les tensions **v<sub>i</sub>** par les relations :

$$a_i = \frac{v_i + Z_c i_i}{2\sqrt{\text{Re}(Z_c)}} \quad (\text{II.1})$$

$$b_i = \frac{v_i - Z_c i_i}{2\sqrt{\text{Re}(Z_c)}} \quad (\text{II.2})$$

**Z<sub>c</sub>** est l'impédance caractéristique sur laquelle le quadripôle est chargé. Le quadripôle est caractérisé par les paramètres **S** qui sont définis par des relations linéaires entre les ondes incidentes, réfléchies et transmises. Ils sont définis par :

$$\begin{cases} b_1 = S_{11}a_1 + S_{12}a_2 & (\text{II.3}) \\ b_2 = S_{21}a_1 + S_{22}a_2 & (\text{II.4}) \end{cases}$$

Ou sous forme matricielle :

$$\begin{pmatrix} b_1 \\ b_2 \end{pmatrix} = (S) \begin{pmatrix} a_1 \\ a_2 \end{pmatrix} = \begin{pmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{pmatrix} \begin{pmatrix} a_1 \\ a_2 \end{pmatrix} \quad (\text{II.5})$$

Les 4 paramètres  $S_{ij}$  sont des grandeurs complexes.

La signification physique des paramètres  $S$  est la suivante :

$$S_{11} = \left. \frac{b_1}{a_1} \right|_{a_2=0} \quad (\text{II.6})$$

C'est le coefficient de réflexion l'entrée, la sortie étant adapté.

$$S_{12} = \left. \frac{b_1}{a_2} \right|_{a_1=0} \quad (\text{II.7})$$

C'est le coefficient de transmission sortie → entrée, l'entrée étant adaptée.

$$S_{21} = \left. \frac{b_2}{a_1} \right|_{a_2=0} \quad (\text{II.8})$$

C'est le coefficient de transmission entrée → sortie, la sortie étant adaptée.

$$S_{22} = \left. \frac{b_2}{a_2} \right|_{a_1=0} \quad (\text{II.9})$$

La mesure des paramètres  $S$  d'un quadripôle se fait à l'aide d'un analyseur de réseau vectoriel (ou **VNA**, Vector Network Analyzer). Il comprend un synthétiseur de fréquences, un amplificateur, un atténuateur, un commutateur et deux coupleurs bidirectionnels. La source génère le signal incident au composant dont la puissance est réglée par l'amplificateur et l'atténuateur. Le signal est dirigé par le commutateur selon qu'on fait une mesure directe ou inverse. Les ondes incidentes et réfléchies par le composant sont séparées par les coupleurs. Le traitement se fait en basse fréquence après avoir effectué une division de fréquence par mélange [14].

Ces paramètres sont souvent représentés sous forme de diagramme de Smith ou polaire. Ils permettent de caractériser complètement un quadripôle en petit-signal et aussi l'extraction des figures de mérites  $f_t$  et  $f_{\max}$  ainsi que des éléments extrinsèques d'un modèle [4].

## 6. Méthodologie suivie durant ce travail

La méthodologie à suivre pour l'extraction des éléments est présentée par l'organigramme suivant :

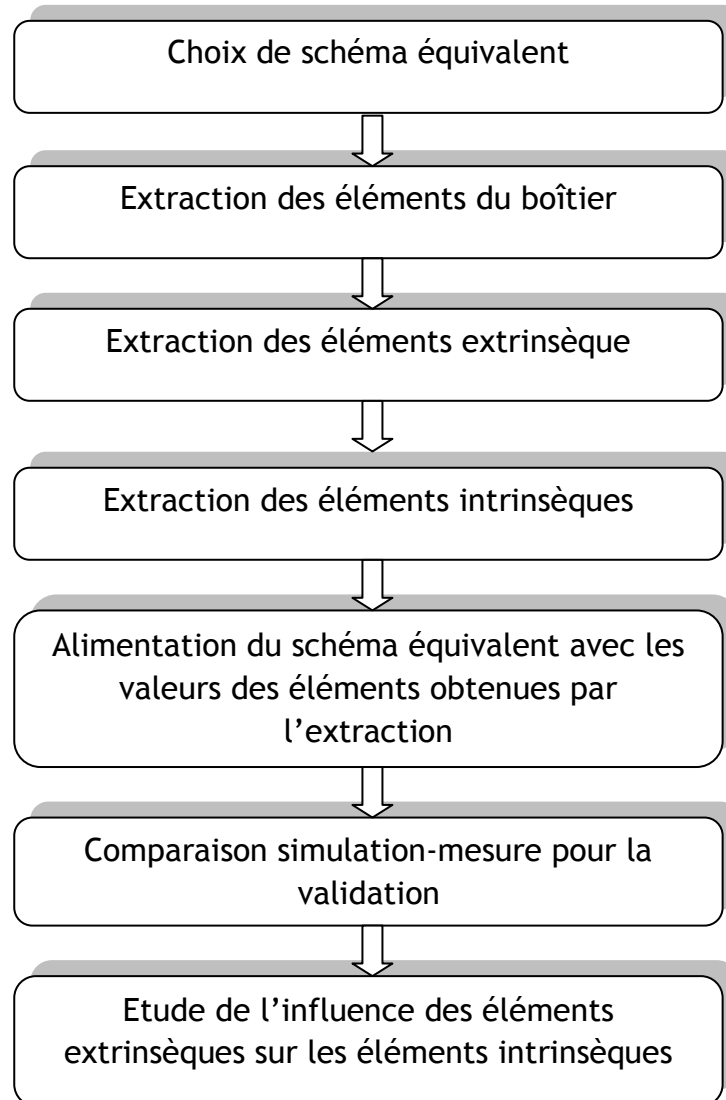


Figure II.2 : Plan de travail du projet

## 7. Conclusion

Dans ce chapitre nous avons défini la modélisation des transistors **MOS** en domaine **RF**. Nous avons montré les exigences pour modéliser un transistor **MOS**, puis les différents types de modélisation en citant les avantages et les inconvénients de chacune sur les quelles, nous avons choisi la modélisation empirique. Ensuite, nous avons donné un rappel sur les mesures hyperfréquences.

En fin, nous avons présenté la méthodologie suivie pendant notre travail.

## 1. Introduction

La caractérisation et l'étude du comportement **RF** du transistor **MOS** est un élément important pour une modélisation précise de ce dernier.

Pour caractériser le transistor **MOS** jusqu'à des fréquences élevées (par exemple jusqu'à **110Ghz**), on cherche à obtenir, en module et en phase, une mesure petit-signal du transistor **MOS**, c'est-à-dire une mesure à un certain point de polarisation et pour une certaine fréquence, en considérant le dispositif comme un quadripôle linéaire autour du point de polarisation [3].

La modélisation électrique petit-signal se fait via un schéma équivalent électrique. Les éléments de ce dernier sont déterminés à partir des mesures statique et dynamique pour un point de fonctionnement. C'est pourquoi il est important de rappeler le schéma équivalent utilisé.

L'objectif de la caractérisation des transistors est de connaître les propriétés de ces composants dans les conditions de fréquence et de polarisation qui définissent leurs domaines d'utilisation.

Dans ce chapitre, on s'intéresse à la caractérisation du transistor **LDMOS**, en utilisant une méthode d'extraction **RF** afin de déterminer les valeurs de tous les éléments du schéma équivalent de ce dernier.

## 2. Schéma équivalent

Nous nous sommes basés sur un schéma équivalent (**SE**), largement utilisé dans la littérature [14,22]. Il est défini par une topologie à source commune.

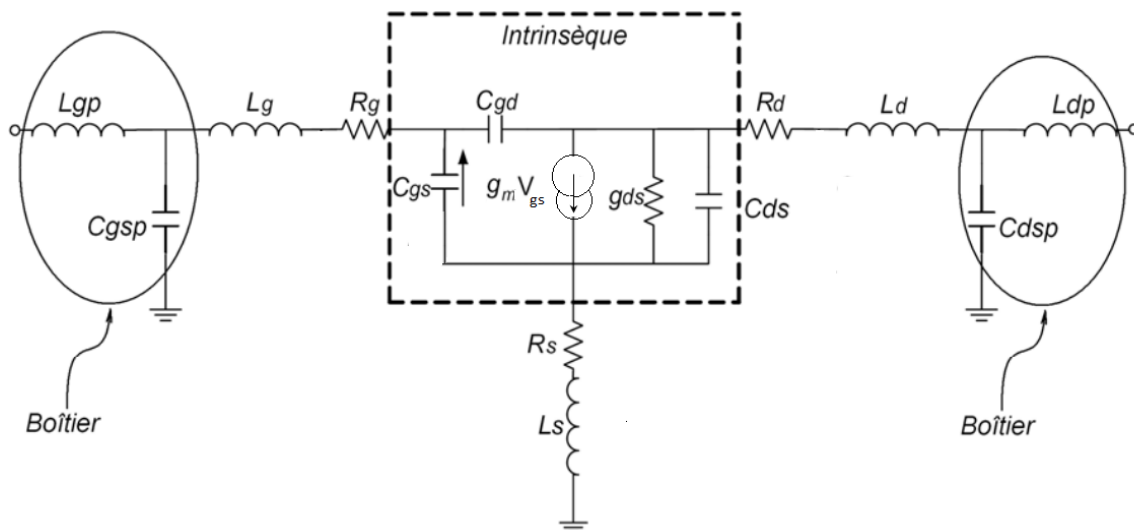
Les différents éléments électriques constituant le **SE** représentent les diverses parties du transistor et leurs mécanismes physiques. On utilise la notion d'éléments localisés, car une représentation du transistor à éléments distribués nécessite la connaissance du potentiel le long du canal [24].

D'après sa structure et son fonctionnement physique, le transistor est divisé en deux parties : sa partie intrinsèque et sa partie extrinsèque. La partie intrinsèque correspond à la partie active du transistor, c'est-à-dire au canal. La partie extrinsèque correspond aux zones reliant la partie active du composant avec les métallisations de contact. De même, le **SE** est constitué par ses éléments extrinsèques et ses éléments

intrinsèques [24].

Dans la littérature, on parle souvent de ces deux parties (extrinsèque et intrinsèque) pour la modalisation des transistors de type **FET** sans prendre en considération l'effet du boîtier. Or, on peut distinguer les applications où les circuits intégrés ne peuvent pas assurer tous les performances demandées et, par conséquent, le composant discret se révèle nécessaire [14].

Le schéma électrique équivalent du transistor **FET**, représenté à la **Figure III.1** comprend une partie intrinsèque, une partie extrinsèque et le boîtier. Que ce soit pour l'une ou l'autre partie, le schéma équivalent repose sur l'hypothèse que ses éléments sont indépendants de la fréquence jusqu'à la fréquence de coupure du transistor. Cette hypothèse est primordiale pour l'extraction des éléments du schéma équivalent à partir des mesures.



**Figure III.1** : Schéma équivalent du **LDMOS**

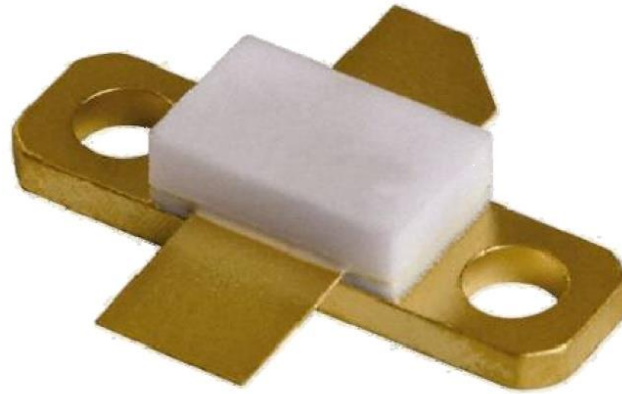
## 2.1. Eléments du boîtier

Le transistor **LDMOSFET** utilisé est le **BLF2043F** de **NXP Semiconductor**. C'est un transistor encapsulé dans un boîtier en céramique de type **SOT467C** (**Figure III.2**). La source commune est connectée au support de fixation.

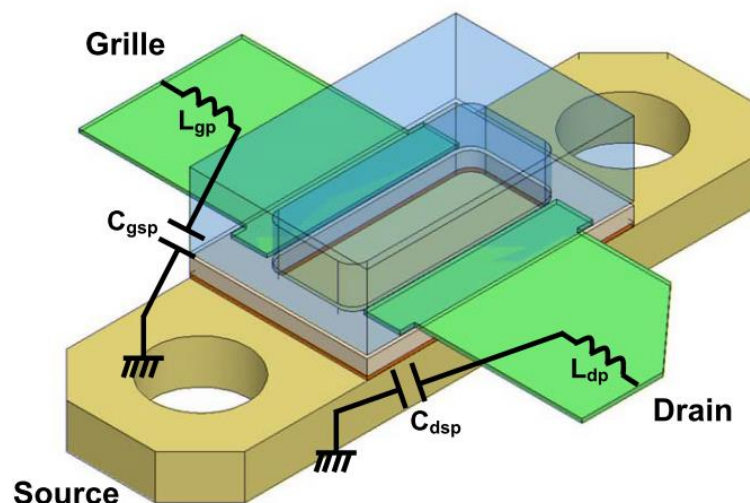
Pour objectif de modéliser l'effet du boîtier on a ajouté les inductances  $L_{gp}$  et  $L_{dp}$  et les capacités  $C_{gsp}$  et  $C_{dsp}$  sont illustrés dans la (**Figure III.3**).

$L_{gp}$  et  $L_{dp}$  modélisent les inductances équivalentes des pattes (languettes) grille et drain du boîtier.

$C_{gsp}$  et  $C_{dsp}$  modélisent les capacités parasites entre les pattes grille et drain respectivement et celle de la source [14].



**Figure III.2** : Photo du boîtier **SOT467C** utilisé pour les transistors **BLF2043F**



**Figure III.3** : Origine physique des éléments du boîtier

## 2.2. Éléments extrinsèques

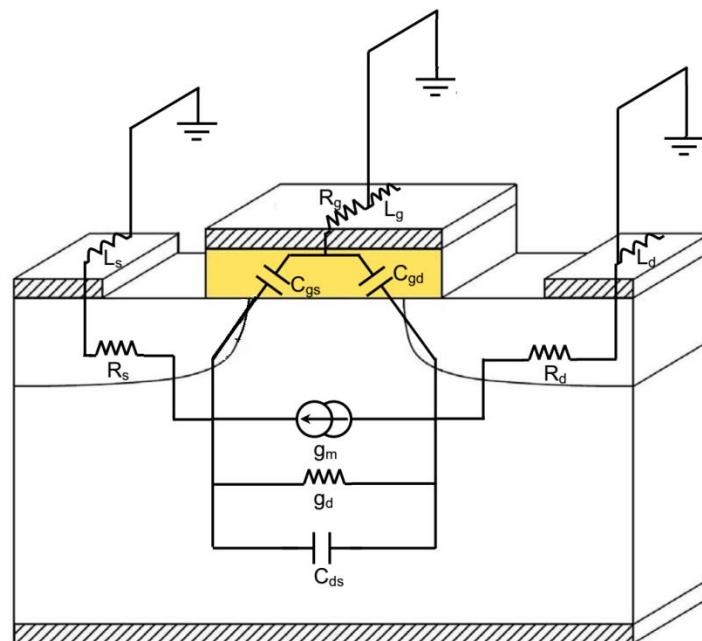
Les éléments extrinsèques du schéma équivalent sont illustrés sur la **Figure III.4**. La partie extrinsèque est liée aux éléments parasites des zones d'accès entre la partie intrinsèque et les contacts métalliques reliant le transistor au reste du circuit. Ces éléments sont considérés comme étant indépendants de la polarisation [24,25].

Les résistances  $R_s$  et  $R_d$  modélisent la résistivité des caissons fortement dopés, respectivement, de source et de drain [14,21].

La résistance  $R_g$  est due principalement à la résistance de la siliciuration de la grille, ainsi qu'aux pertes métalliques [25]. Il est important de noter que  $R_d$  et  $R_s$  sont inversement proportionnelle à la largeur du transistor, alors que  $R_g$  est proportionnelle à la largeur totale [21].

Les éléments  $L_g$ ,  $L_s$  et  $L_d$  matérialisent les inductances parasites, respectivement de grille, de source et du drain liées aux connexions du transistor avec le reste du circuit [22,26]

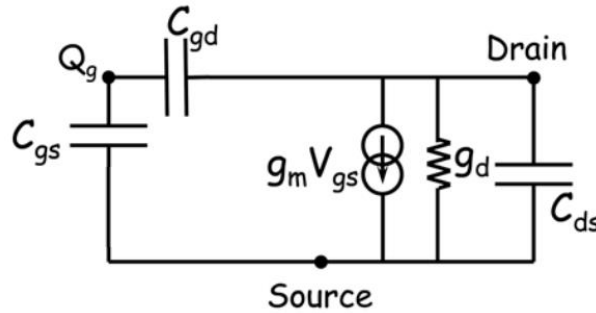
L'inductance  $L_s$  modélise essentiellement les effets inductifs dus aux trous de contact afin de joindre le plan de masse de la puce « **via-hole** » [16].



**Figure III.4** : Signification physique des éléments intrinsèques et extrinsèques du schéma équivalent

### 2.3. Elément Intrinsèques

Chaque élément du schéma équivalent intrinsèque **Figure III.5** reflète un mécanisme physique ou une propriété électrique du transistor. Ces éléments sont des fonctions de la polarisation et de la longueur de la grille. L'extraction de la partie intrinsèque du transistor se fait ensuite lorsque celui-ci est polarisé [11].



**Figure III.5** : Schéma équivalent petit signal de la partie intrinsèque d'un transistor MOS

L'effet transistor est modélisé par une source de courant donnée par  $G_m \cdot V_{gs}$ ,  $G_m$  étant la transconductance et traduisant la commande du canal par la tension  $V_{gs}$ .  $V_{gs}$  est le signal appliqué aux bornes de la capacité  $C_{gs}$ . La transconductance est définie par [27] :

$$G_m = \left. \frac{\partial I_{ds}(V_{gs}, V_{ds})}{\partial V_{gs}} \right|_{V_{ds}=cte} \quad (III.1)$$

L'élément  $G_d$  représente la conductance du drain du transistor qui est définie par :

$$G_d = \left. \frac{\partial I_{ds}(V_{gs}, V_{ds})}{\partial V_{ds}} \right|_{V_{gs}=cte} \quad (III.2)$$

Dans les équations (III.1) et (III.2),  $I_{ds}$  est le courant circulant entre le drain et la source du transistor et dépend des potentiels  $V_{gs}$  et  $V_{ds}$ .

$C_{ds}$  correspond aux capacités en série des jonctions de source et de drain. Elle est définie par la relation suivante :

$$C_{ds} = \left. \frac{\partial Q_d(V_{gs}, V_{ds})}{\partial V_{ds}} \right|_{V_{gs}=cte} \quad (III.3)$$



$Q_d$  est la charge accumulée sous l'électrode de drain.

Les capacités  $C_{gs}$  et  $C_{gd}$  sont les charges qui fluctuent en fonction du champ électrique émanant de la grille vers les métallisations, les régions  $N^+$  de drain et de source. L'estimation de ces capacités dans un dispositif **MOSFET** est très importante, et cela particulièrement pour la simulation des circuits **RF** [11,14].

Ces capacités représentent la commande de la charge stockée sous l'effet des tensions  $V_{gs}$  et  $V_{gd}$ . Les équations décrivant leur évolution reposent sur le principe de la conservation de la charge. Ce principe assure la convergence des simulations en grand-signal est correspond à une réalité physique [14].

$$C_{gs} = \left. \frac{\partial Q_g(V_{gs}, V_{gd})}{\partial V_{gs}} \right|_{V_{gd}=cte} \quad (III.4)$$

$$C_{gd} = \left. \frac{\partial Q_g(V_{gs}, V_{gd})}{\partial V_{gd}} \right|_{V_{gs}=cte} \quad (III.5)$$

$Q_g$  est la charge totale stockée dans la grille et dépend aussi du potentiel  $V_{gs}$  et  $V_{ds}$ . Dans les équations (III.4) et (III.5),  $C_{gs}$  et  $C_{gd}$  sont définies par rapport aux potentiels  $V_{gs}$  et  $V_{gd}$ . Néanmoins, dans la topologie source commune, les potentiels de control usuels sont  $V_{gs}$  et  $V_{ds}$ . A partir de la relation entre les trois potentiels ( $V_{gd} = V_{gs} - V_{ds}$ ),  $C_{gs}$  et  $C_{gd}$  peuvent être exprimées sous la forme [21] :

$$C_{gs} = \left. \frac{\partial Q_g(V_{gs}, V_{ds})}{\partial V_{gs}} \right|_{V_{ds}=cte} + \left. \frac{\partial Q_g(V_{gs}, V_{ds})}{\partial V_{ds}} \right|_{V_{gs}=cte} \quad (III.6)$$

$$C_{gd} = \left. \frac{\partial Q_g(V_{gs}, V_{ds})}{\partial V_{gs}} \right|_{V_{ds}=cte} \quad (III.7)$$

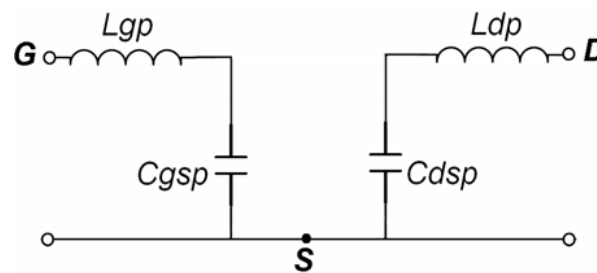
### 3. Détermination des éléments électriques du modèle

La détermination des éléments du schéma équivalent électrique petit-signal se base sur des propriétés des transistors **MOS** dépendant du régime de polarisation et de la fréquence de fonctionnement. Elle se fait par étapes selon une méthode d'épluchage « deembedding » qui consiste à déterminer en premier les éléments du boîtier puis les éléments extrinsèques pour se rapprocher progressivement de la zone intrinsèque.

Pour cela, nous avons besoin de 3 types de mesures (d'extractions) :

#### 3.1. Extraction des éléments du boîtier

Le boîtier peut être modélisé en entrée par une inductance  $L_{gp}$  en série avec une capacité  $C_{gsp}$ . De même, en sortie il est modélisé par une inductance  $L_{dp}$  et une capacité  $C_{dsp}$  (**Figure III.6**). Pour les éléments du boîtier, nous allons prendre les valeurs obtenus par **M. TAMOUM** [14,28].



**Figure III.6** : Schéma équivalent du boîtier du **LDMOS**

Les Valeurs des éléments du boîtier sont données dans le **Tableau III.1** :

Éléments du boîtier	$C_{gsp}$	$C_{dsp}$	$L_{gp}$	$L_{dp}$
Unité	pF	pF	pH	pH
Valeur	4	3.9	0.1	0.1

**Tableau III.1** : Éléments du boîtier **LDMOS**

### 3.2. Extraction des éléments extrinsèques

Les éléments extrinsèques sont la matérialisation des phénomènes que l'on qualifie de parasites. Ils ne participent pas à l'effet transistor qui se produit dans le canal. Ils sont engendrés le plus souvent par les métallisations d'accès à la zone active. Il est nécessaire de déterminer leurs valeurs pour rendre possible l'extraction des éléments intrinsèques et donc des données principales et primordiales du modèle. Plusieurs méthodes nous sont proposées pour leur extraction [18].

**Calcul analytique** : Il nécessite une bonne connaissance des propriétés physiques et géométriques des matériaux du transistor. En utilisant les simples lois ohmiques on approche les valeurs de ces composants extrinsèques. Cependant cette technique n'est pas une fin en soit, elle permet juste d'avoir un point de départ, une idée pour les autres méthodes, et en particulier pour l'optimisation [14].

**Optimisation** : Cette méthode consiste à trouver un algorithme qui minimise la fonction d'erreur entre les mesures et les valeurs simulées. D'une autre façon, on cherche pratiquement à optimiser les valeurs extrinsèques des composants du circuit équivalent pour qu'elles aient une réponse la plus identique possible à celle des mesures.

Malgré la performance et la rapidité de cette méthode, elle nécessite cependant de connaître l'ordre de grandeur des valeurs recherchées, pour éviter de commettre des erreurs flagrantes [2].

**Simulation électromagnétique** : On simule les paramètres **S** sur une bande de fréquences bien définie, en utilisant un simulateur électromagnétique. A partir de ces paramètres **S**, on en déduit les valeurs des éléments extrinsèques du circuit équivalent. Il faut bien noter que la simulation électromagnétique devra être associée à une des méthodes suivantes, car les paramètres **S** simulés à cette étape sont insuffisants pour déterminer les valeurs des éléments du circuit équivalent [2].

**Méthode statique** : Elle est basée sur une technique de régression linéaire. Elle permet, à partir d'une mesure de paramètres **S** à un point de polarisation donnée, de faire coïncider une expression analytique avec les paramètres **Z**, puis de faire une régression linéaire pour obtenir les paramètres **Z** à une fréquence hypothétique infinie et en déduire ainsi les éléments extrinsèques [14,18].

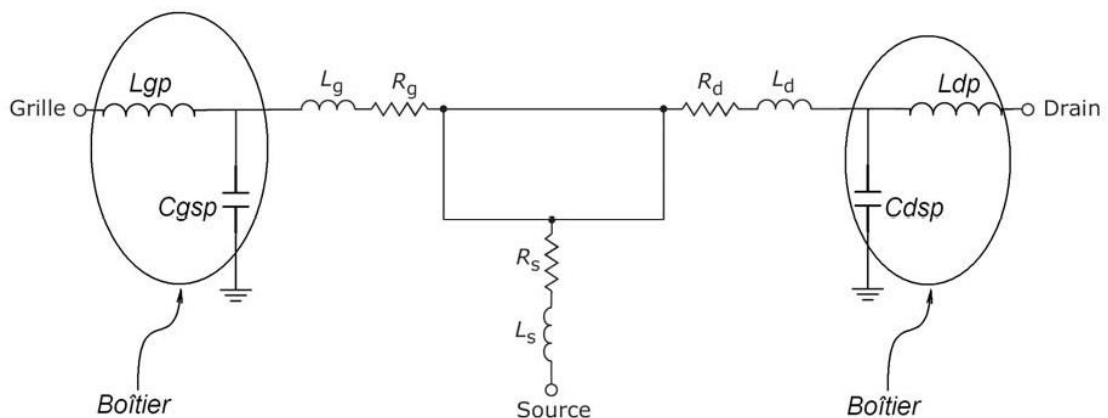
Le **FET « froid »** (ou **Cold FET**) : Comme son nom l'indique, cette méthode est uniquement destinée aux transistors de technologie **FET**. Elle consiste à effectuer des mesures de paramètres **S** sur le transistor polarisé de façon à ce que les éléments intrinsèques ne masquent pas les éléments extrinsèques. Ces états de polarisations sont :

$V_{ds}=0V$  &  $V_{gs} \gg V_{th}$  (tension de seuil) : Le canal du transistor est en « Conduction », dans cet état on peut déterminer les valeurs des composants séries des éléments extrinsèques.

$V_{ds}=0V$  &  $V_{gs} \ll V_{th}$  : Le canal du transistor est dépleté, on a alors accès aux valeurs des composants parallèles des éléments extrinsèques.

C'est une méthode fiable et largement utilisée dans la littérature scientifique [14, 18, 21].

Dans ce travail, on utilise la méthode du **FET froid**, l'extraction des éléments extrinsèques du schéma équivalent se fait alors en polarisant la grille en directe, c'est-à-dire en appliquant une tension  $V_{gs}=14V$  et  $V_{ds}=0V$ . Ceci a pour effet de court-circuiter les éléments parallèles du schéma équivalent **MOSFET**, seuls les éléments séries sont pris en compte, comme indiqué sur la **Figure III.7** (on note que les mesures sont faites par **M. TAMOUM**) :

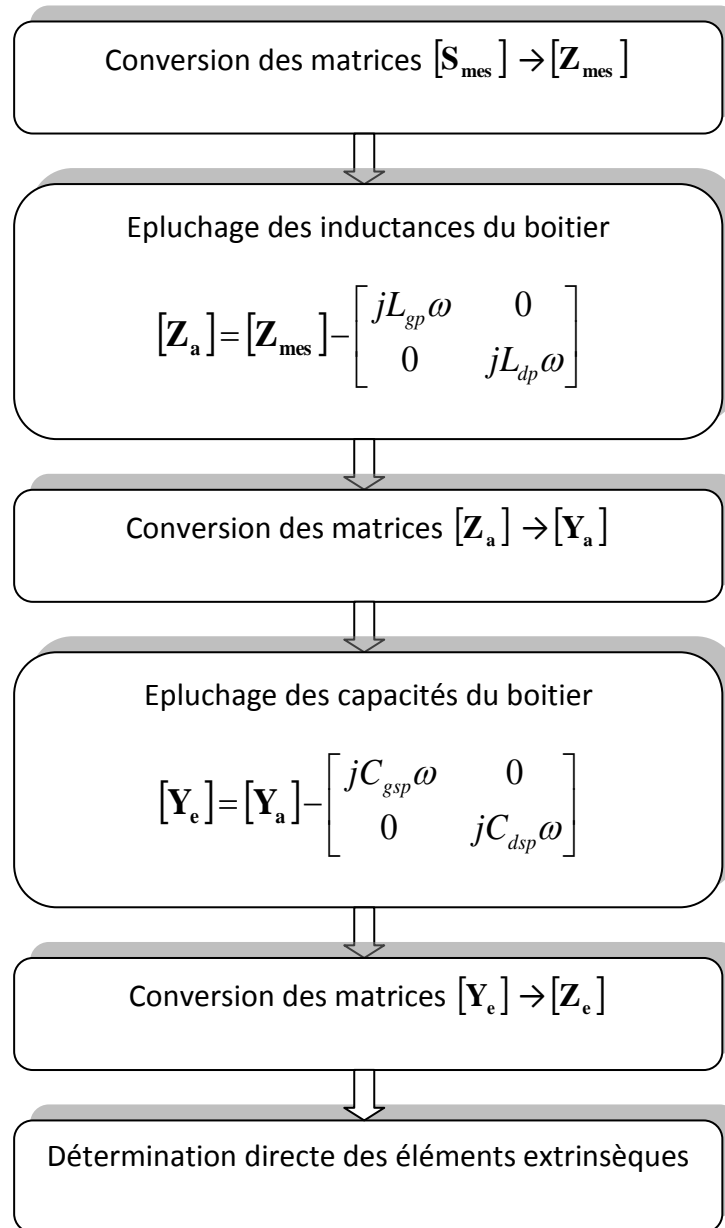


**Figure III.7** : Schéma équivalent petit-signal à polarisation froide pour  $V_{ds}=0V$  et  $V_{gs} \gg V_{th}$

Les parties réelles et imaginaires des éléments de la matrice **Z** extraites des mesures permettent alors, par identification, de déterminer les éléments résistifs et les réactances de ce quadripôle, à savoir les résistances et les inductances extrinsèques du transistor [14].

Nous utilisons le principe d'extraction des éléments du schéma équivalent à

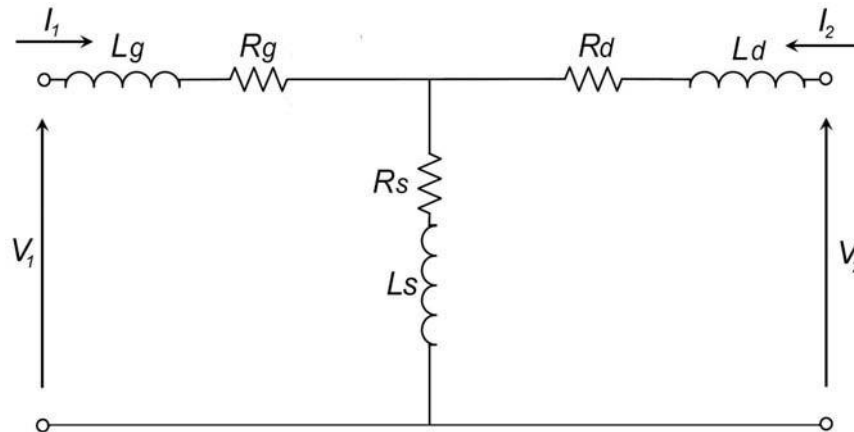
polarisation froide, à savoir la méthode basée sur des transformations successives (Annexe) des paramètres **S** en paramètres **Z** ou **Y** selon la procédure d'épluchage décrit dans le schéma de la **Figure III.8**.



**Figure III.8** : Procédure d'extraction des éléments extrinsèques du transistor **LDMOS** en boîtier

On en déduit les éléments extrinsèques en fonction des éléments de matrice  $[Z_e]$ .

A partir de la **Figure III.9**, la matrice  $[Z_e]$  du quadripôle est exprimée comme suite (Eq. de III.8 à III.12) :



**Figure III.9** : Schéma équivalent à polarisation froide sans boîtier

$$\begin{pmatrix} V_1 \\ V_2 \end{pmatrix} = \begin{pmatrix} I_1 \\ I_2 \end{pmatrix} \begin{pmatrix} Z_{11e} & Z_{12e} \\ Z_{21e} & Z_{22e} \end{pmatrix} \Rightarrow \begin{cases} V_1 = Z_{11e} I_1 + Z_{12e} I_2 \\ V_2 = Z_{21e} I_1 + Z_{22e} I_2 \end{cases} \quad (\text{III.8})$$

$$Z_{11e} = \left. \frac{V_1}{I_1} \right|_{I_2=0} = (R_g + R_s) + j\omega(L_g + L_s) \quad (\text{III.9})$$

$$Z_{12e} = \left. \frac{V_1}{I_2} \right|_{I_1=0} = R_s + j\omega L_s \quad (\text{III.10})$$

$$Z_{21e} = \left. \frac{V_2}{I_1} \right|_{I_2=0} = R_s + j\omega L_s \quad (\text{III.11})$$

$$Z_{22e} = \left. \frac{V_2}{I_2} \right|_{I_1=0} = (R_d + R_s) + j\omega(L_d + L_s) \quad (\text{III.12})$$

Les éléments extrinsèques sont donc exprimés comme suit (Eq. de **III.13** à **III.20**) :

$$[Z_e] = \begin{pmatrix} (R_g + R_s) + j\omega(L_g + L_s) & R_s + jL_s\omega \\ R_s + jL_s\omega & (R_d + R_s) + j\omega(L_d + L_s) \end{pmatrix} \quad (\text{III.13})$$

$$R_g = \text{Re}(Z_{11e}) - \text{Re}(Z_{12e}) \quad (\text{III.14})$$

$$R_d = \text{Re}(Z_{22e}) - \text{Re}(Z_{12e}) \quad (\text{III.15})$$

$$R_d = \text{Re}(Z_{22e}) - \text{Re}(Z_{12e}) \quad (\text{III.16})$$

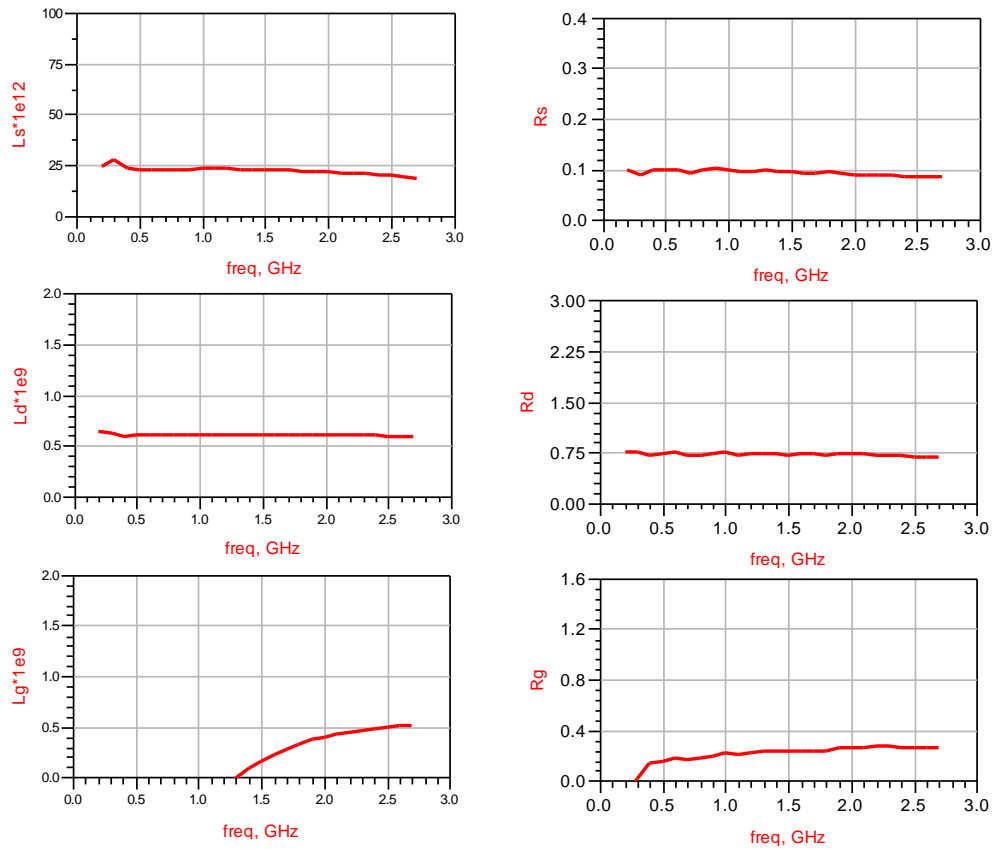
$$R_s = \text{Re}(Z_{12e}) \quad (\text{III.17})$$

$$L_g = \frac{[\text{Im}(Z_{11e}) - \text{Im}(Z_{12e})]}{2 \cdot \pi \cdot f} \quad (\text{III.18})$$

$$L_d = \frac{[\text{Im}(Z_{22e}) - \text{Im}(Z_{12e})]}{2 \cdot \pi \cdot f} \quad (\text{III.19})$$

$$L_s = \frac{\text{Im}(Z_{12e})}{2 \cdot \pi \cdot f} \quad (\text{III.20})$$

La **Figure III.10** illustre les graphes des éléments extrinsèques en fonction de la fréquence a **V<sub>ds</sub>=0V** et **V<sub>gs</sub>=14V** :



**Figure III.10 :** Eléments extrinsèques ( $L_s$ ,  $L_g$ ,  $L_d$ ,  $R_s$ ,  $R_d$  et  $R_g$ ) extraits en fonction de la fréquence pour  $V_{ds}=0V$  et  $V_{gs}=14V$

On remarque que les graphes des éléments extrinsèques  $L_s$ ,  $L_d$ ,  $R_s$ ,  $R_d$  et  $R_g$  sont plats, ce qui veut dire que leurs valeurs sont indépendantes de la fréquence.

Les valeurs des éléments extrinsèques extraites sont regroupées dans le **Tableau III.2 :**

Eléments extrinsèques extraits	$R_s$	$R_d$	$R_g$	$L_g$	$L_d$	$L_s$
Unité	$\Omega$	$\Omega$	$\Omega$	nH	nH	pH
Valeur	0.095	0.73	0.25	0.66	0.61	20

**Tableau III.2 :** Valeurs des éléments extrinsèques extraites



### 3.3 Extraction des éléments intrinsèques

Le principe d'extraction des éléments intrinsèques du schéma équivalent est celui mis au point par **G. Dambirine** [29]. Il consiste à extraire les différents éléments à partir de la matrice admittance intrinsèques  $[Y_i]$  du fait de la topologie en  $\pi$  du schéma équivalent intrinsèque [14].

On utilise alors la procédure d'épluchage selon le schéma de la **Figure III.11**, dans notre cas on réalise des transformations successives sur la matrice **S** pour arriver à la matrice  $[Y_i]$ , en suite à partir de la matrice intrinsèque, on extrait, par calcul analytique l'ensemble des éléments intrinsèques du schéma équivalent.

La matrice  $[Y_i]$  est donnée comme suit [14, 26, 29] :

$$[Y_i] = \begin{bmatrix} Y_{11i} & Y_{12i} \\ Y_{21i} & Y_{22i} \end{bmatrix} = \begin{bmatrix} j\omega(C_{gs} + C_{gd}) & -jC_{gd}\omega \\ G_m - jC_{gd}\omega & G_d + j\omega(C_{ds} + C_{gd}) \end{bmatrix} \quad (\text{III.21})$$

On en déduit les éléments électriques intrinsèques en fonction des éléments  $[Y_i]$  (Eq. de III.22 à III.26) :

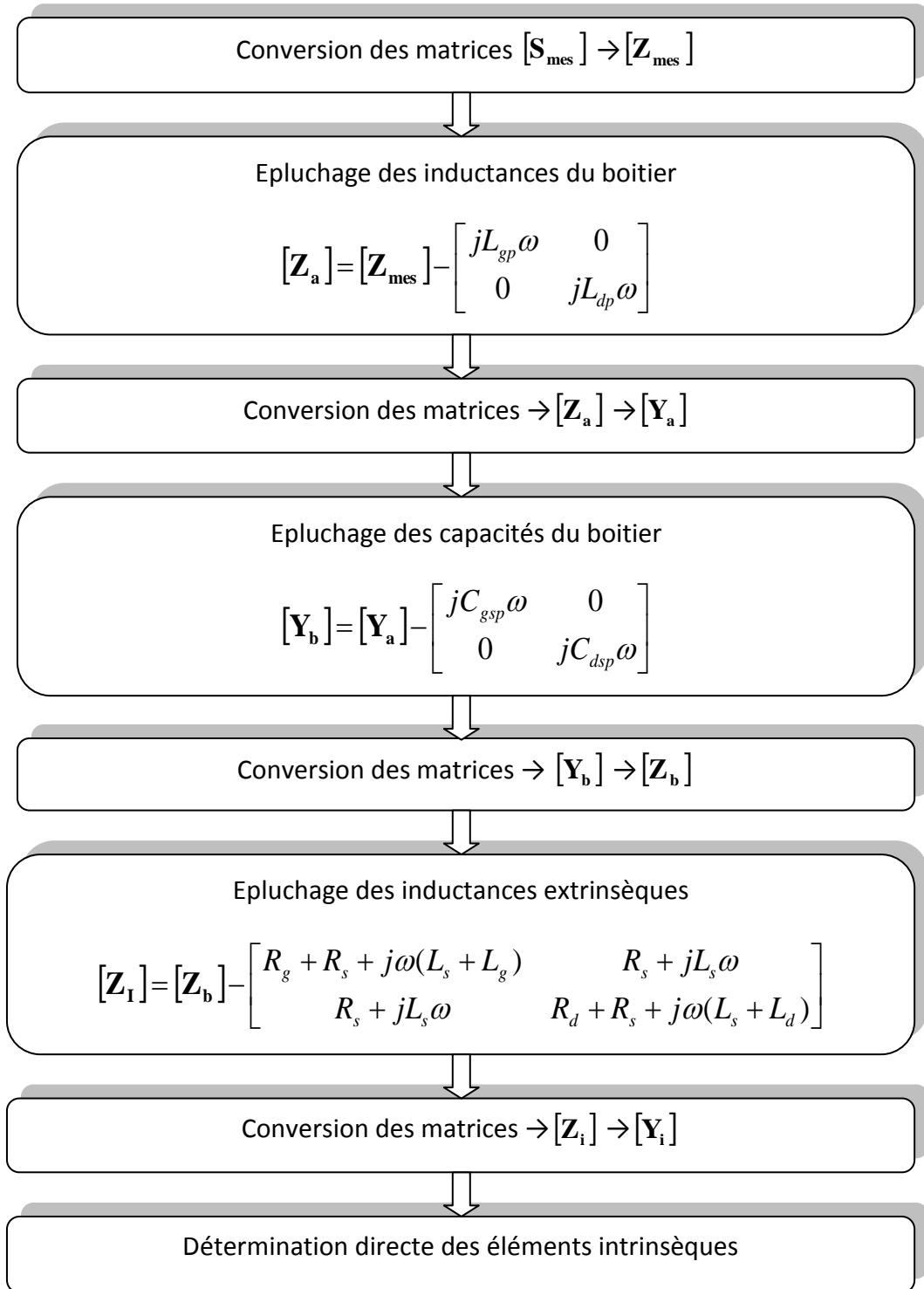
$$C_{ds} = \frac{\text{Im}(Y_{22i}) + \text{Im}(Y_{12i})}{\omega} \quad (\text{III.22})$$

$$C_{gs} = \frac{\text{Im}(Y_{11i}) + \text{Im}(Y_{12i})}{\omega} \left[ 1 + \frac{(\text{Re}(Y_{11i}) + \text{Re}(Y_{12i}))^2}{(\text{Im}(Y_{11i}) + \text{Im}(Y_{12i}))^2} \right] \quad (\text{III.23})$$

$$C_{gd} = \frac{-\text{Im}(Y_{12i})}{\omega} \left[ 1 + \left( \frac{\text{Re}(Y_{12i})}{\text{Im}(Y_{12i})} \right)^2 \right] \quad (\text{III.24})$$

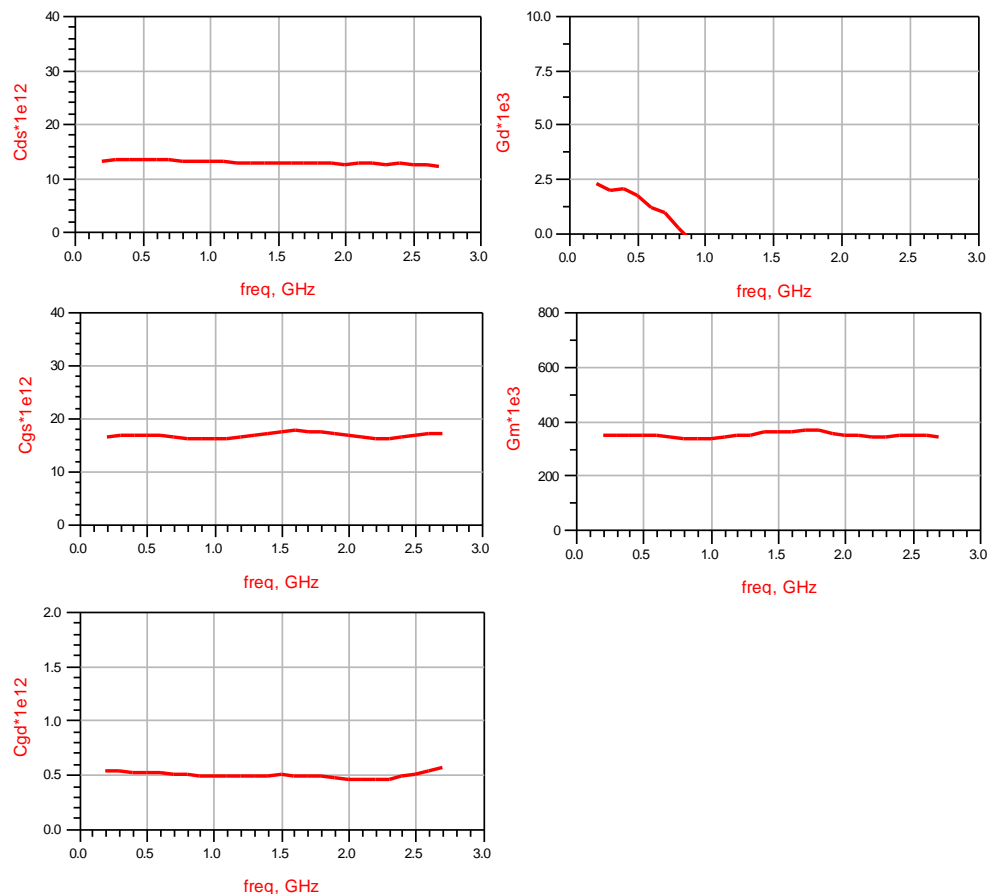
$$G_d = \text{Re}(Y_{22i}) + \text{Re}(Y_{12i}) \quad (\text{III.25})$$

$$G_m = \sqrt{[\text{Re}(Y_{21i}) - \text{Re}(Y_{12i})]^2 + [\text{Im}(Y_{21i}) - \text{Im}(Y_{12i})]^2} \quad (\text{III.26})$$



**Figure III.11** : Procédure d'extraction des éléments intrinsèques du **LDMOS**

Les éléments extraits du transistor à  $V_{gs}=4.8V$  et  $V_{ds}=27V$  sont illustrés sur la **Figure III.12** :



**Figure III.12** : Eléments intrinsèques  $C_{ds}$ ,  $C_{gs}$ ,  $C_{gd}$ ,  $G_d$  et  $G_m$  extraits en fonction de la fréquence à  $V_{gs}=4.8V$  et  $V_{ds}=27V$

En observant la **Figure III.12**, on remarque que les éléments  $C_{ds}$ ,  $C_{gs}$ ,  $C_{gd}$ , et  $G_m$  sont quasiment constante dans la bande de fréquence **0.2-2.7GHz**, la conductance  $G_d$  présente une nette variation en fonction de la fréquence. Effectivement, sa valeur diminue lorsque la fréquence augmente et sa valeur passe en négative pour une fréquence supérieure à **0.9GHz** (ce qui n'a pas de sens physique).

Cette erreur est due à la mesure des paramètres **S**. Nous prenons comme valeurs de  $G_d$  celle des fréquences les plus faibles. Cependant, dans la suite du travail on constatera que malgré la valeur de  $G_d$  prise, le modèle reproduit précisément les caractéristiques électriques hyperfréquences.

Les valeurs des éléments intrinsèques extraites sont données dans le **Tableau III.3** :

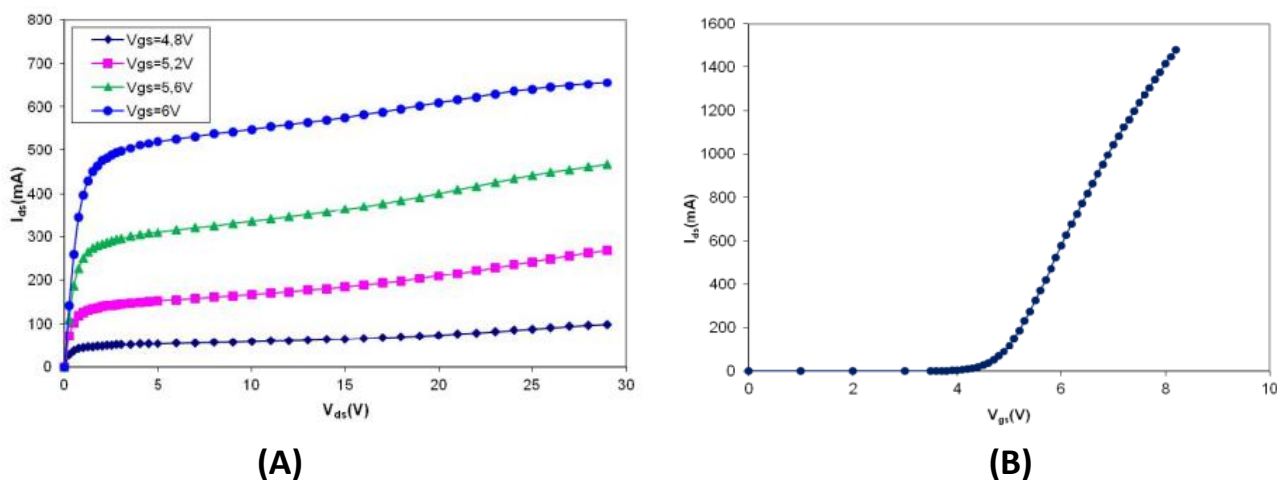
**III.3** :

Éléments intrinsèques extraits	$C_{ds}$	$C_{gs}$	$C_{gd}$	$G_d$	$G_m$
Unité	pF	pF	pF	mS	mS
Valeur	12.9	16.8	0.49	2.25	346

**Tableau III.3** : Élément intrinsèques extrait à  $V_{gs}=4.8V$  et  $V_{ds}=27V$

#### 4. Caractéristiques statiques du transistor LDMOS utilisé

La **Figure III.13** représente le réseau des caractéristiques de sortie  $I_{ds}=f(V_{ds})$  du transistor LDMOS utilisé donnant l'évolution du courant  $I_{ds}$  circulant entre le drain et la source en fonction de la tension  $V_{ds}$  pour  $V_{gs}$  constante (**Figure III.13 A**) et la caractéristique de transfert  $I_{ds}=f(V_{gs})$  pour  $V_{ds}=16V$  (**Figure III.13 B**).



**Figure III.13** : Réseaux de caractéristiques de sortie (A) et de transfert (B) [14]88

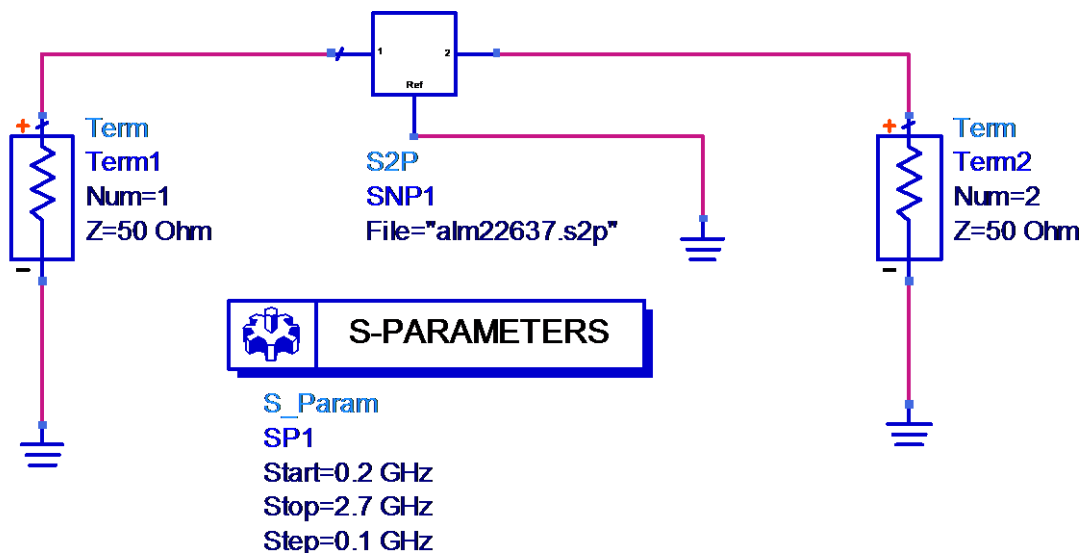
#### 5. Intégration du schéma équivalent dans le simulateur

Vue que le modèle phénoménologique (type de modélisation choisit pour notre travail) nécessite d'être implémenté dans un logiciel de simulation électronique pour circuit, nous avons sectionné le logiciel **ADS (Advanced Design System)** d'**Agilent Technologie** largement utilisé par les concepteurs dans le domaine des micro-ondes.

Nous avons implanté les paramètres **S** mesurés pour chaque point de polarisation dans le logiciel **ADS** sous forme de fichier Touchstone à extension **S2P**.

La **Figure III.14** montre comment est introduit le fichier contenant les mesures des paramètres **S** dans le simulateur **ADS**. Les mesures sont faites par **M. TAMOUM** à l'aide d'un analyseur de réseaux vectoriel (**VNA**). Ce dernier fournit les résultats sous forme de fichier **S2P** contenant les valeurs des paramètres **S** pour la gamme de fréquence de travail (**0.2 à 2.7GHz**).

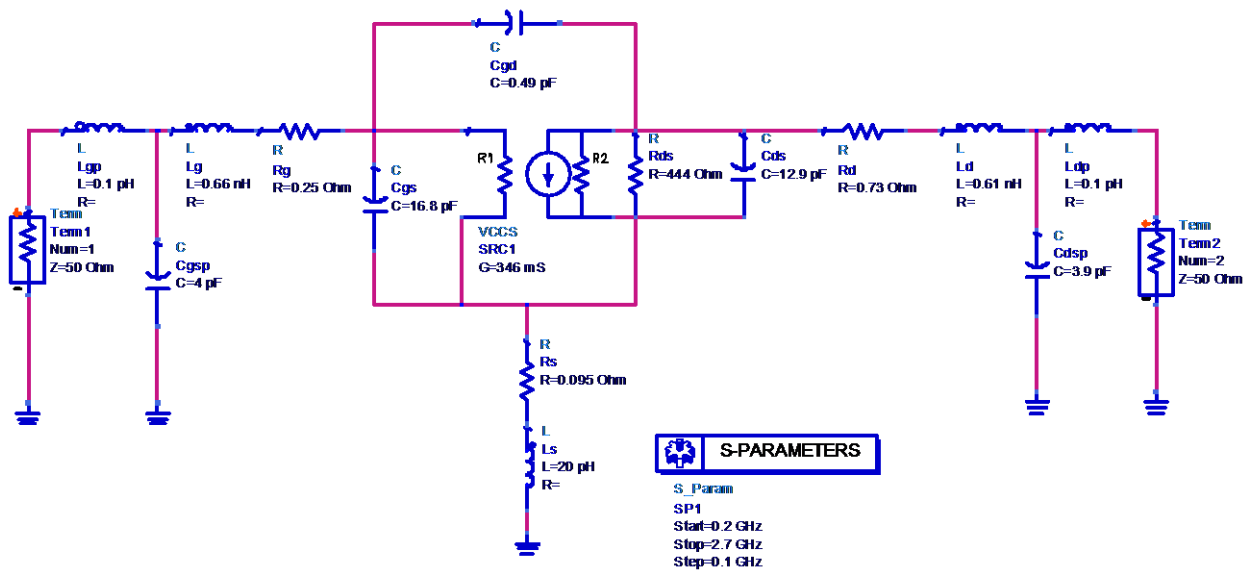
Chaque point de polarisation ( $V_{ds}$ ,  $V_{gs}$ ) est représenté par un fichier **S2P**. Le fichier des mesures **S2P** doit être copié dans le dossier **DATA** du projet. Par conséquent, nous pouvons visualiser les différents résultats sous forme d'abaque de **Smith**, de courbe de module et de phase, ou encore sous forme de tableau de valeur [14].



**Figure III.14** : Design utilisé pour la visualisation des paramètres **S** mesurés sous **ADS**

Un bon avantage de **ADS** c'est qu'il permet de visualiser les résultats de plusieurs designs (fichier **.dsn**) en même temps, et donc la possibilité de comparer les résultats des mesures avec ceux des calculs.

Nous disposons à présent de tous les éléments du schéma équivalent. Le modèle final implémenté sous **ADS** est représenté sur la **Figure III.15** :



**Figure III.15** : Schéma équivalent petit-signal introduit dans le simulateur **ADS** pour  $V_{gs}=4.8V$  et  $V_{ds}=27V$

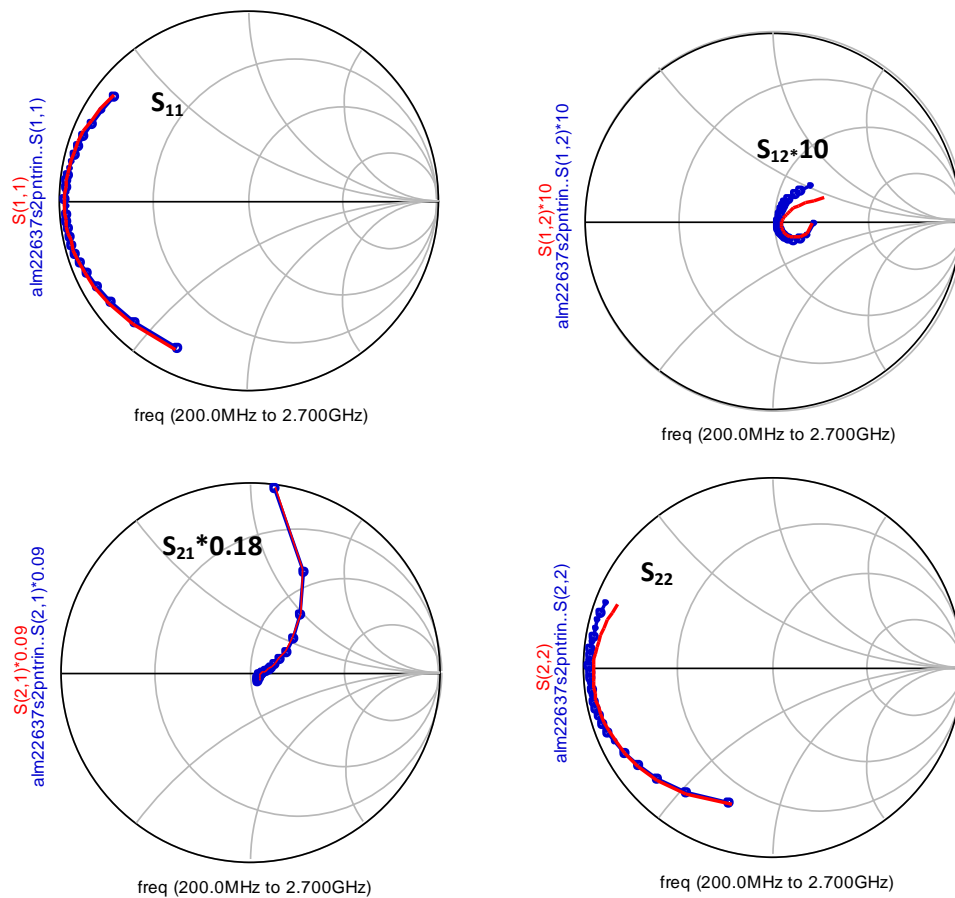
## 6. Validation du modèle

La validité d'un modèle concerne la précision avec laquelle il reproduit les caractéristiques d'un composant. La validité doit être bien cadrée et définie dans tous les aspects électriques (polarisation, fréquences d'utilisation, puissances des signaux,...), car l'utilisateur d'un modèle peut facilement procéder à des conclusions erronées [21].

Plusieurs moyens permettent de vérifier la qualité des méthodes d'extraction et la validité du schéma équivalent ainsi obtenu [25] :

- Invariabilité des éléments intrinsèques avec la fréquence (cette vérification fait partie des méthodes d'extraction),
- Comparaison entre paramètres **S** mesurés et simulés,
- Comparaison des fréquences de coupures  $f_t$  et  $f_{max}$  mesurées et calculées,
- Comparaison entre transconductances extraites en statique et en dynamique.

La **Figure III.16** montre la comparaison entre les paramètres **S** mesurés et calculés du transistor pour des fréquences allant de **0.2GHz** à **2.7GHz**. Le composant est polarisé en saturation pour  $V_{gs}=4.8V$ ,  $V_{ds}=27V$ .



**Figure III.16** : Comparaison entre mesure et simulation des paramètres **S** pour  $V_{gs}=4.8V$  et  $V_{ds}=27V$  (— Simulation ••• Mesure)

Nous observons une excellente concordance de ces évolutions, ce qui traduit une reproduction satisfaisante du fonctionnement du composant en régime petit-signal.

Les résultats donnés par la simulation se rapprochent bien de la mesure malgré un petit décalage dans le paramètre  $S_{12}$ .

Pour valider le modèle dans les différents régimes de polarisation, nous faisons une comparaison des paramètres **S** mesurés et calculés pour différents points de polarisation.

Nous prenons comme exemple les points ( $V_{gs}=4.8V$ ,  $V_{ds}=7V$  et  $V_{ds}=27V$ ) pour le régime de faible inversion-saturation, les courbes obtenues sont illustrées sur les **Figures III.17** et **III.18**

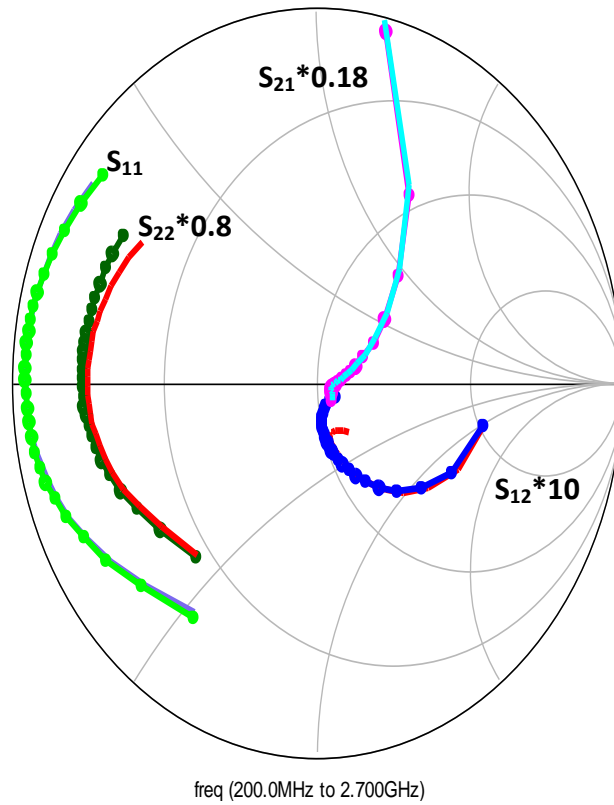


Figure III.17 : Comparaison entre mesure et simulation des paramètres S pour  $V_{gs}=4.8V$  et  $V_{ds}=7V$  (— simulation, ••• mesure)

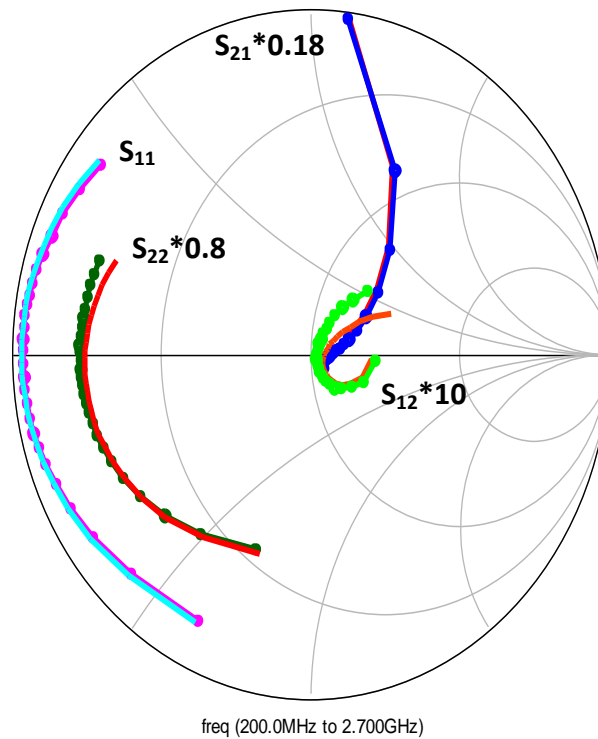
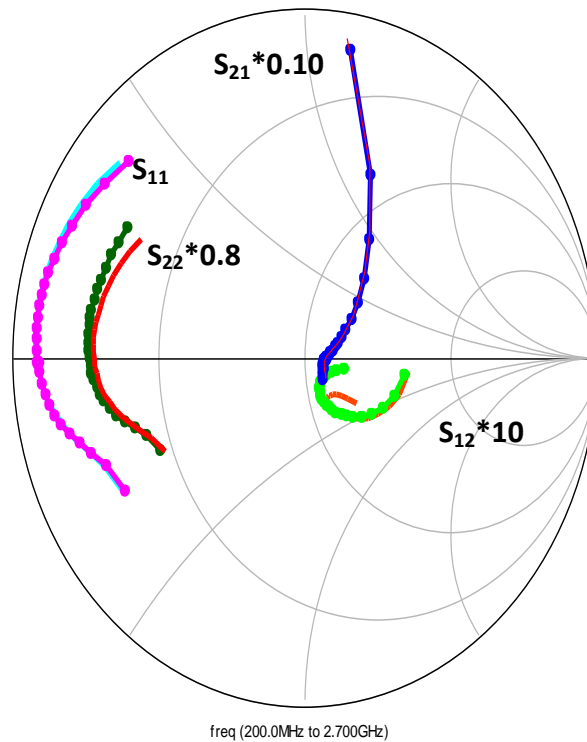


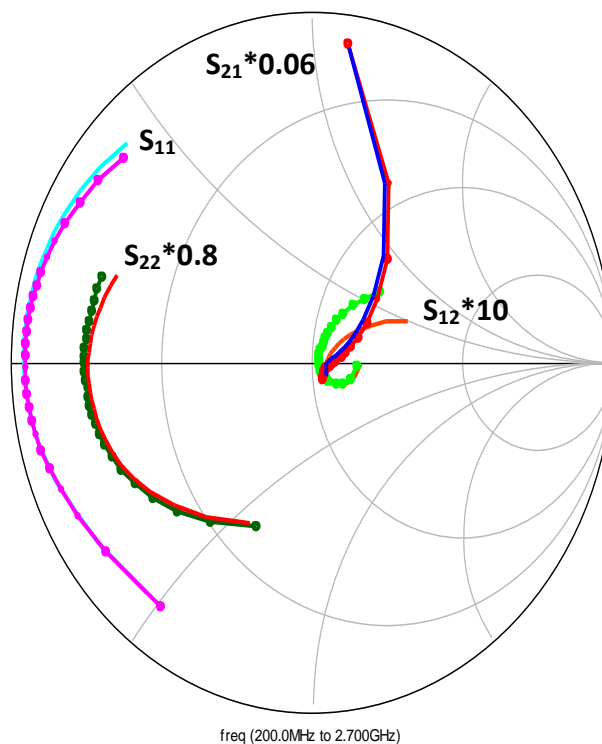
Figure III.18 : Comparaison entre mesure et simulation des paramètres S pour  $V_{gs}=4.8V$  et  $V_{ds}=27V$  (— simulation, ••• mesure)



Pour les fortes inversions, et en régime de saturation nous prenons les points  $V_{gs}=5.6V$ ,  $V_{ds}=7V$  et  $V_{ds}=27V$ . Les résultats sont donnés sur les **Figures III.19** et **III.20**.

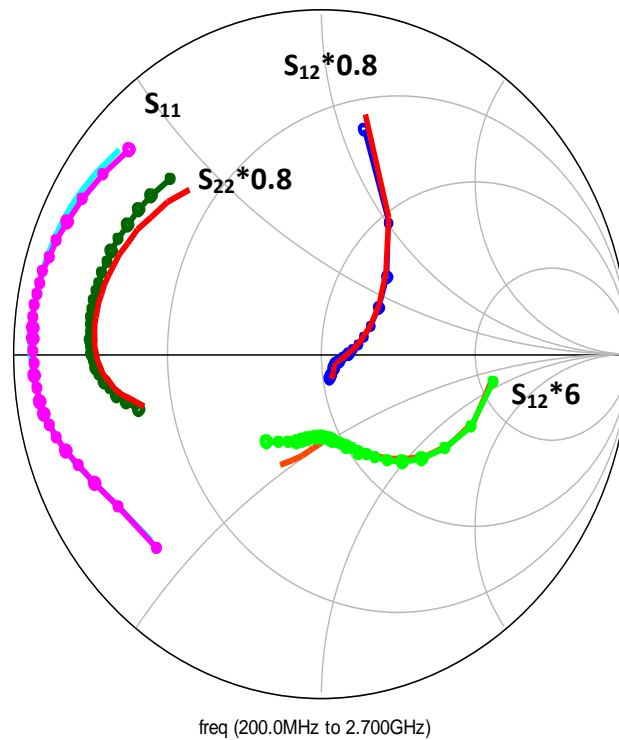


**Figure III.19** : Comparaison entre mesure et simulation des paramètres **S** pour  $V_{gs}=5.6V$  et  $V_{ds}=7V$  (— simulation, ••• mesure)

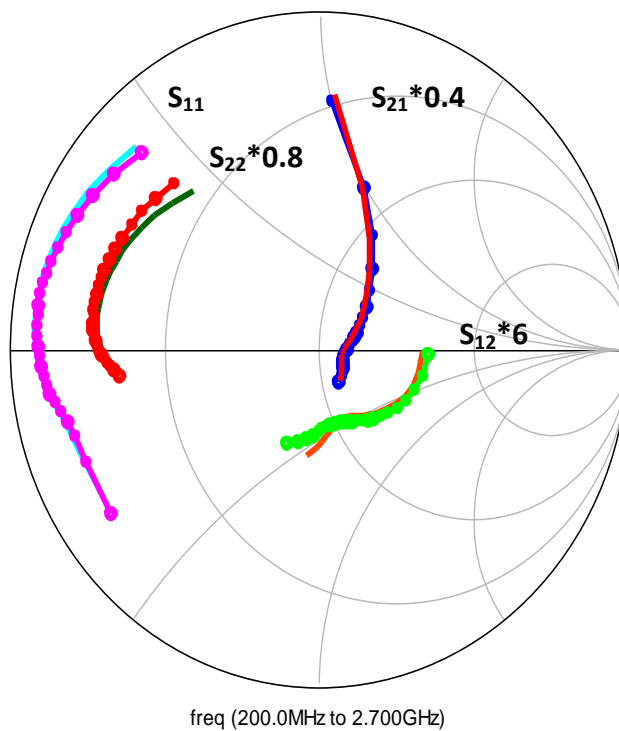


**Figure III.20** : Comparaison entre mesure et simulation des paramètres **S** pour  $V_{gs}=5.6V$  et  $V_{ds}=27V$  (— simulation, ••• mesure)

Pour le régime linéaire, nous prenons les points et ( $V_{gs}=4.8V$ ,  $V_{ds}=0.5V$ ) ( $V_{gs}=5.2V$ ,  $V_{ds}=0.75V$ ), Figures III.21 et III.22.



**Figure III.21** : Comparaison entre mesure et simulation des paramètres **S** pour  $V_{gs}=4.8V$  et  $V_{ds}=0.5V$  (— simulation, ••• mesure)



**Figure III.22** : Comparaison entre mesure et simulation des paramètres **S** pour  $V_{gs}=5.2V$  et  $V_{ds}=0.75V$  (— simulation, ••• mesure)

D'après les résultats obtenus, on remarque qu'il y a un bon accord entre les résultats de simulation et la mesure pour tous les points de fonctionnement soit en faible et forte inversion soit en régime linéaire.

Nous pouvons dire que le schéma choisi pour notre étude est convenable pour la modélisation et la caractérisation du transistor **LDMOS**, pour les différents régimes de fonctionnement ; faible inversion, forte inversion, linéaire ou saturation et cela pour les fréquences allant de **0.2** à **2.7GHZ**. Ce résultat est très intéressant car il prouve la validité de la méthode pour les différents régimes de fonctionnement du transistor.

## 7. Conclusion

Dans ce chapitre nous avons présenté la caractérisation hyperfréquence du transistor **LDMOSFET** monté en boîtier.

Dans un premier temps, nous avons décrit le schéma équivalent petit-signal des transistors **LDMOSFET**.

Par la suite, nous avons illustré les différentes méthodes d'extraction des éléments extrinsèques et nous avons constaté que la méthode du **FET** froid est la plus convenable surtout pour les **LDMOSFET**.

Après avoir extrait les éléments extrinsèques, nous avons utilisé la méthode d'épluchage pour extraire les éléments intrinsèques. Cette méthode est basée sur des transformations successives des paramètres des **S** en paramètres **Z** ou **Y** développée par **G. DAMBRINE**.

Finalement, les résultats de simulations ont été confrontés aux résultats expérimentaux afin de vérifier la validité du modèle petit-signal. Nous en avons déduit la validité du modèle pour plusieurs points de polarisation.

## 1. Introduction

Dans le chapitre précédent, nous avons extrait les éléments extrinsèques et intrinsèques du schéma équivalent petit signal en utilisant la méthode d'épluchage, cette méthode est basée sur des transformations successives des paramètres **S** en paramètres **Z** ou **Y**. Nous avons comparé les résultats de simulation et les résultats de la mesure (pour plusieurs points de polarisations) pour but de valider le modèle.

Dans ce chapitre, nous allons étudier l'influence des éléments extrinsèques sur les éléments intrinsèques pour plusieurs points de polarisations, pour des fréquences confinées entre **0.2GHz** et **2.7GHz**. Pour savoir à quel point les éléments intrinsèques sont sensibles à l'extraction des éléments extrinsèques.

## 2. Etude de l'influence des éléments extrinsèques sur les éléments intrinsèques

Nous allons étudier la sensibilité de l'extraction des éléments intrinsèques par rapport aux éléments extrinsèques. Pour cela, il suffit d'utiliser le schéma équivalent du transistor pour différents points de fonctionnement, de faire varier les valeurs des éléments extrinsèques à tour de rôle de  $\pm 3\%$  et visualiser leur influence sur l'extraction des éléments intrinsèques.

### 2.1. Application d'une erreur de $\pm 3\%$ sur les éléments extrinsèques

La **Figure IV.1** représente les éléments intrinsèques du schéma équivalent utilisé comme référence, pour le point de fonctionnement  $V_{gs} = 4.8V$ ,  $V_{ds}=27V$ .

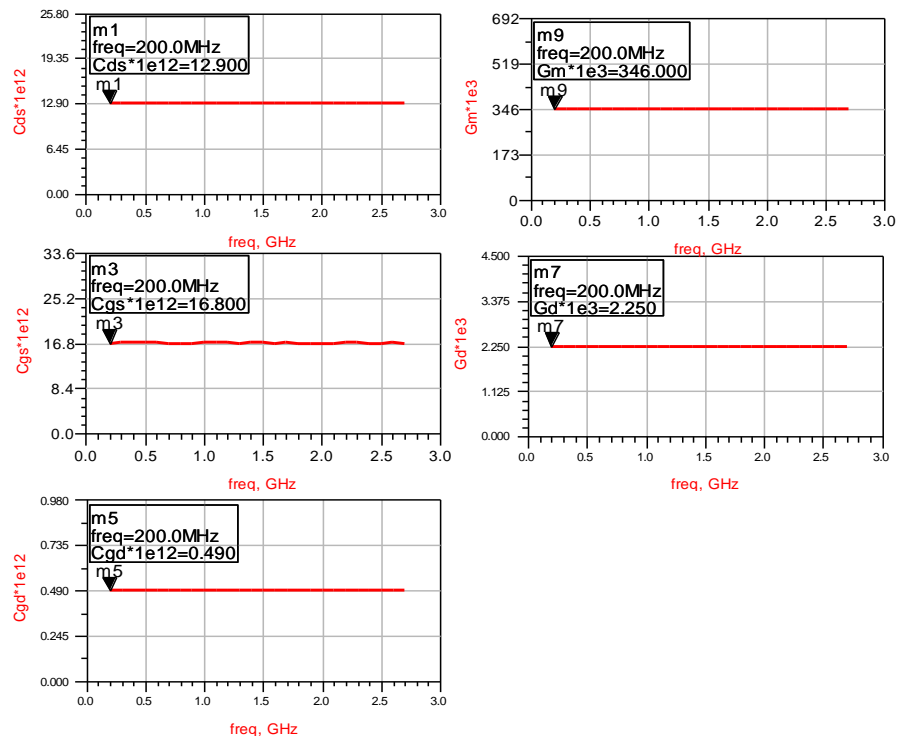
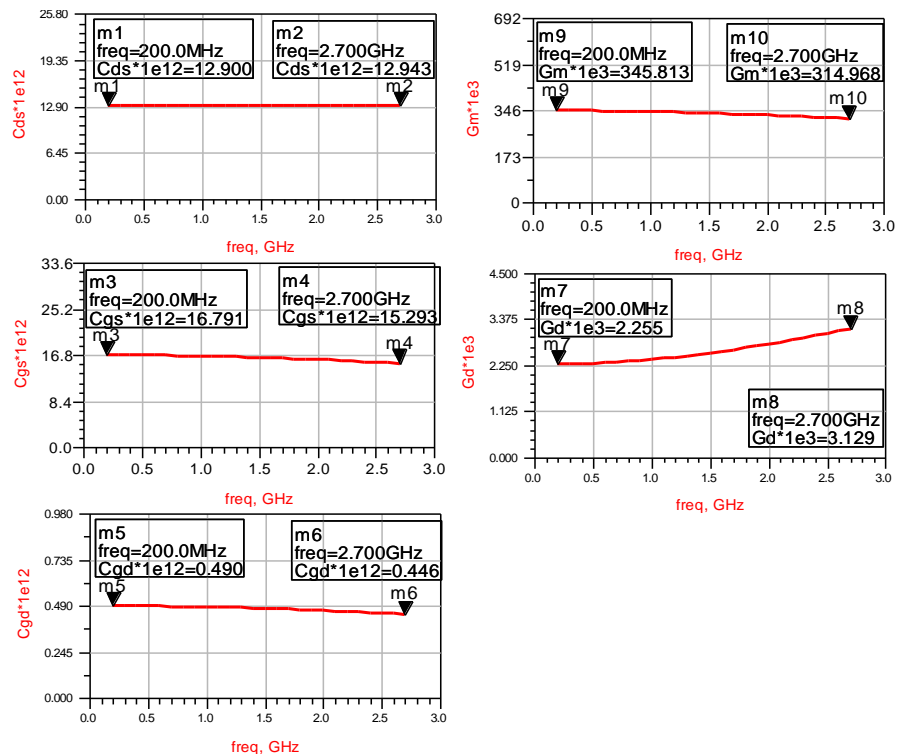
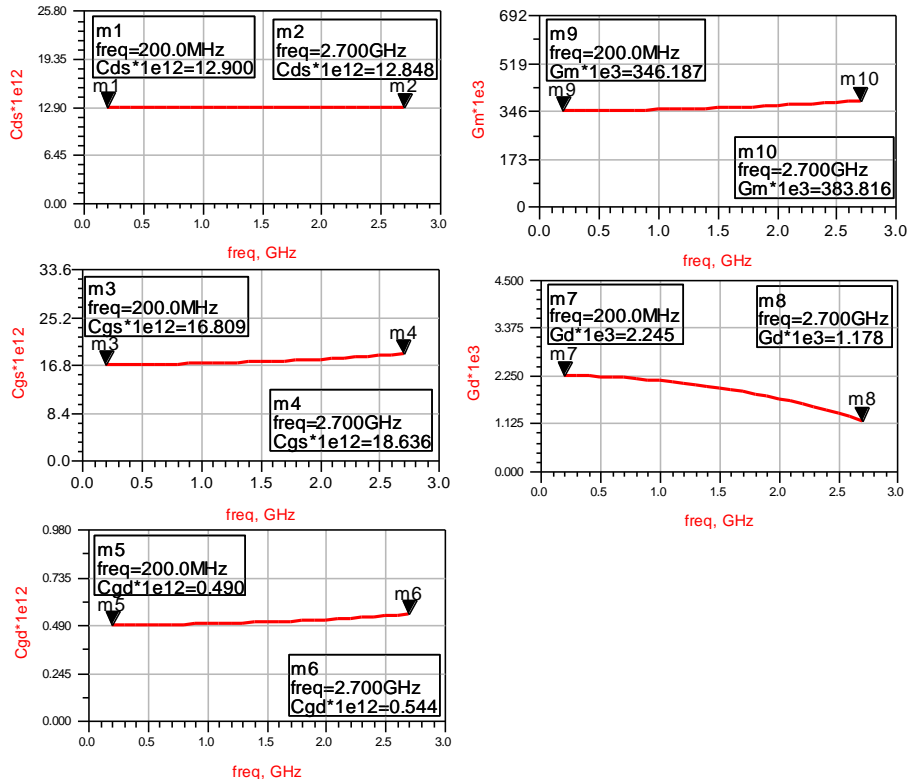


Figure IV.1 Éléments intrinsèques  $C_{ds}$ ,  $C_{gs}$ ,  $C_{gd}$ ,  $G_m$ , et  $G_d$  du schéma équivalent de référence

❖ La variation de  $\pm 3\%$  de l'inductance de la grille  $L_g$  donne les courbes des éléments intrinsèques en fonction de la fréquence représentées sur la Figure IV.2.



(I). +3%



(II).-3%

Figure IV.2 : Influence de  $\pm 3\%$  de l'inductance  $L_g$  sur les éléments intrinsèques  $C_{ds}$ ,  $C_{gs}$ ,  $C_{gd}$ ,  $G_m$ , et  $G_d$

Les résultats sont résumés sur le **Tableau IV.1** :

$L_g$	$C_{ds}$	$C_{gs}$	$C_{gd}$	$G_m$	$G_d$
+3%	0.33	-8.97	-8.98	-8.97	39.06
-3%	-0.40	10.92	11.02	10.93	-47.64

Tableau IV.1 : Variation en % des éléments intrinsèques pour la fréquence **2.7GHz** en changeant la valeur de l'inductance  $L_g$  de  $\pm 3\%$

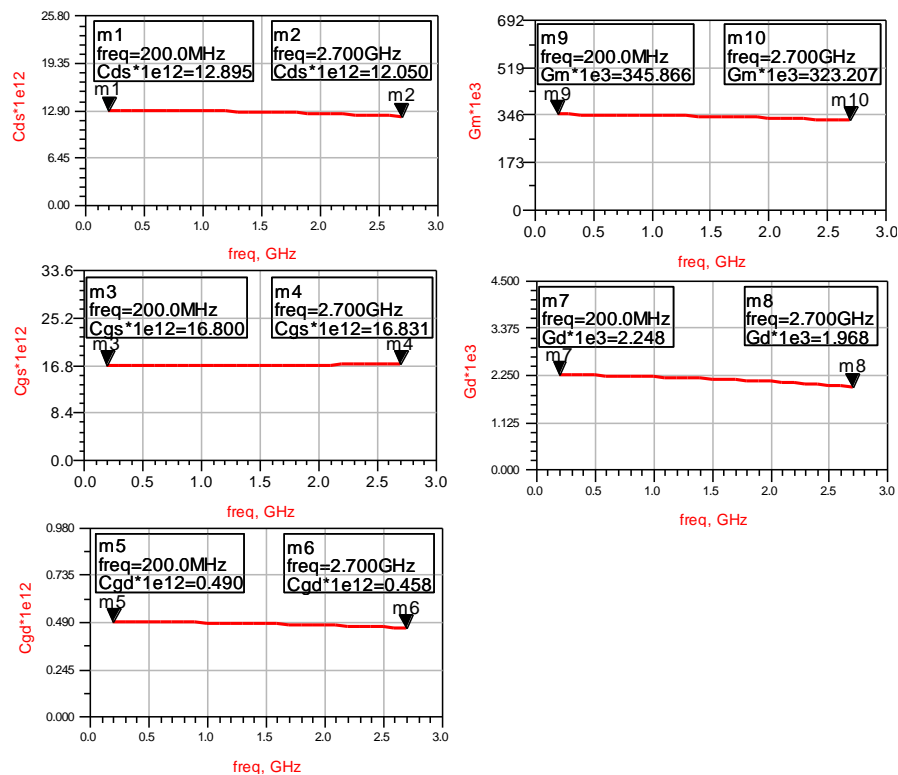
En augmentant la valeur de l'inductance  $L_g$  de **+3%** ; on note que :

- Tous les éléments intrinsèques sont restés inchangés pour les basses fréquences.
- Les éléments intrinsèques  $C_{gs}$ ,  $C_{gd}$  et  $G_m$  ont commencés à diminuer progressivement en augmentant la fréquence, pour une fréquence de **2.7GHz** par exemple, on a constaté une diminution d'environ **9%** de chacun de ces éléments.
- La valeur la conductance  $G_d$  augmente de **39%** de sa valeur.
- La capacité  $C_{ds}$  reste pratiquement inchangée.

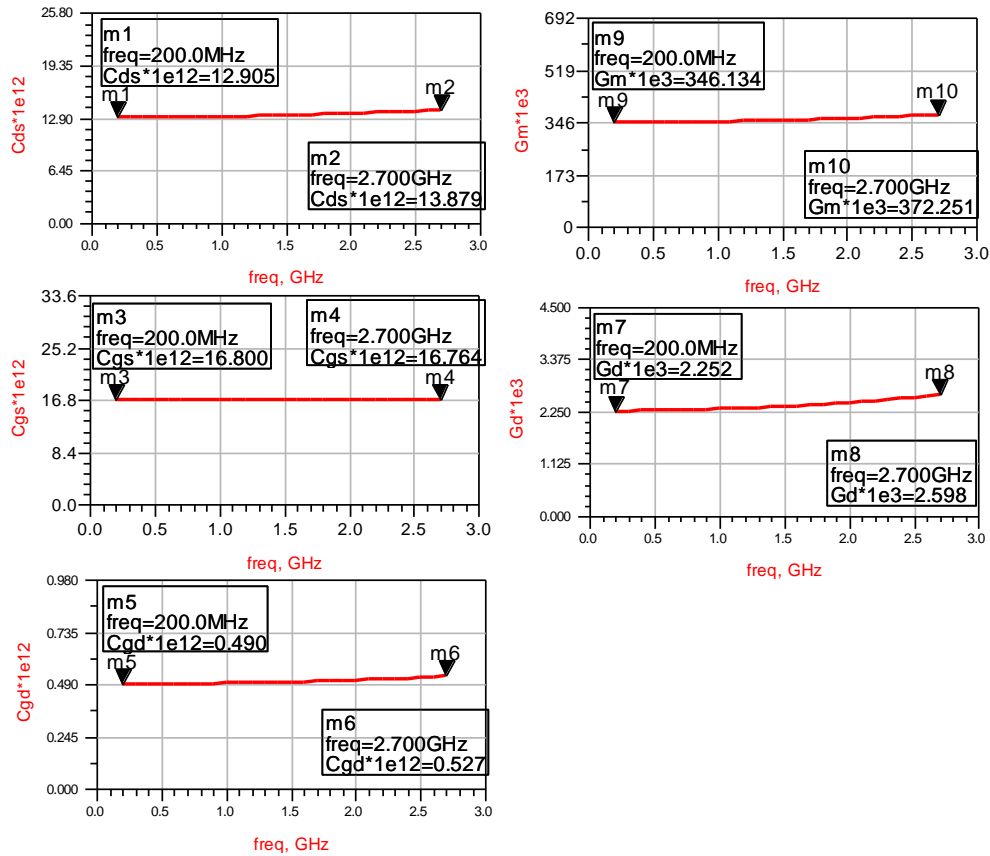
En diminuant la valeur de  $L_g$  de **-3%** on note que :

- Tous les éléments intrinsèques sont restés inchangés pour les bases fréquences.
- Les éléments intrinsèques  $C_{gs}$ ,  $C_{gd}$  et  $G_m$  ont commencés a augmenté progressivement en augmentant la fréquence, Pour la fréquence **2.7GHz** par exemple on a constaté une augmentation d'environ **11%** de chaque élément.
- Une diminution de la valeur de la conductance de  $G_d$  de **47%**de sa valeur.
- La capacité  $C_{ds}$  reste pratiquement inchangée pour toute la gamme de fréquence.

❖ La variation de  $\pm 3\%$  de l'inductance du drain  $L_d$  donne les courbes des éléments intrinsèques en fonction de la fréquence représentées sur la **Figure IV.3**.



(I).+3%



(II).-3%

Figure IV.3 : Influence de  $\pm 3\%$  de l'inductance  $L_d$  sur les éléments intrinsèques  $C_{ds}$ ,  $C_{gs}$ ,  $C_{gd}$ ,  $G_m$ , et  $G_d$

Les résultats sont résumés sur le **Tableau IV.2** :

$L_d$	$C_{ds}$	$C_{gs}$	$C_{gd}$	$G_m$	$G_d$
+3%	-6.59	0.17	-6.53	-6.53	-12.53
-3%	7.58	-0.21	7.55	7.59	15.47

**Tableau IV.2** : Variation en % des éléments intrinsèques pour la fréquence **2.7GHz** en changeant la valeur de l'inductance  $L_d$  de  $\pm 3\%$

En augmentant la valeur de l'inductance  $L_d$  de **+3%**, on remarque que :

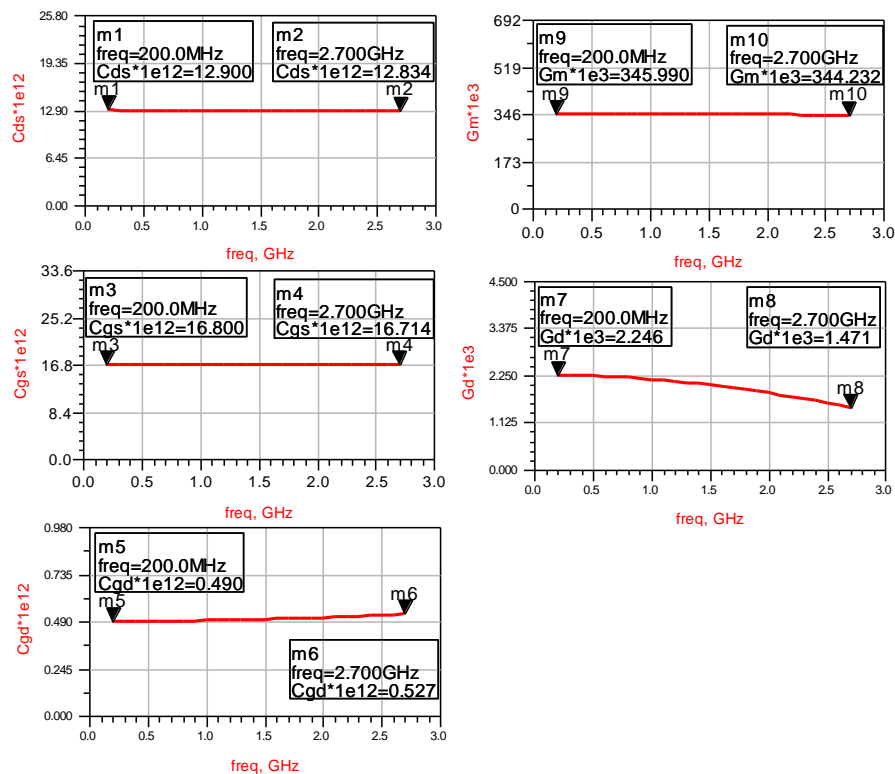
- a) Tous les éléments intrinsèques sont restés inchangés pour les basses fréquences.
- b) Les éléments  $C_{ds}$ ,  $C_{gd}$ ,  $G_m$  et  $G_d$  ont commencés à diminuer progressivement aussitôt que la fréquence augmente. Ainsi pour la fréquence **2.7GHz** par exemple, on relève une diminution de **6.5%** de la valeur de  $C_{ds}$ ,  $C_{gd}$  et  $G_m$ , et **12.5%** de la valeur de  $G_d$ .
- c) La valeur de  $C_{gs}$  reste pratiquement inchangée pour toute la gamme de fréquence.



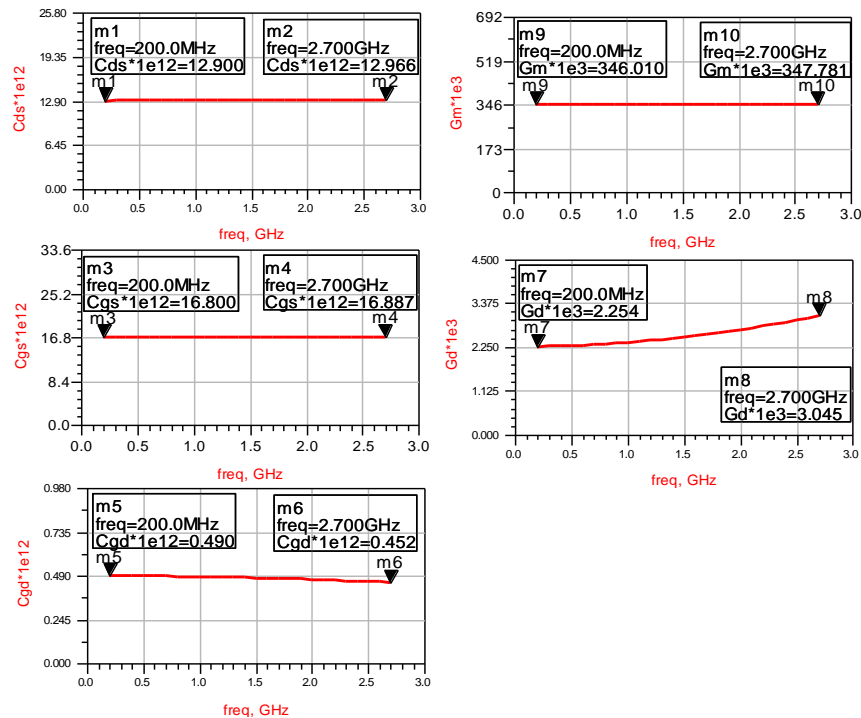
En diminuant la valeur de l'inductance  $L_d$  de **-3%**, on remarque que :

- Tous les éléments intrinsèques sont restés inchangés pour les basses fréquences.
- Les éléments intrinsèques  $C_{ds}$ ,  $C_{gd}$ ,  $G_m$ , et  $G_d$  ont commencé à augmenter aussitôt que la fréquence augmente. Ainsi pour une fréquence de **2.7GHz** on relève une augmentation d'environ **7.5%** pour la valeur des capacités  $C_{ds}$ ,  $C_{gd}$  et  $G_m$ , et de **15.5%** de la valeur de  $G_d$ .
- La capacité  $C_{ds}$  reste pratiquement inchangée pour toute la gamme de fréquence.

❖ La variation de  $\pm 3\%$  de l'inductance de la source  $L_s$  donne les courbes des éléments intrinsèques en fonction de la fréquence représentées sur la **Figure IV.4**.



(I).+3%



(II).-3%

**Figure IV.4 :** Influence de  $\pm 3\%$  de l'inductance  $L_s$  sur les éléments intrinsèques  $C_{ds}$ ,  $C_{gs}$ ,  $C_{gd}$ ,  $G_m$ , et  $G_d$

Les résultats sont donnés sur le **Tableau IV.3 :**

$L_s$	$C_{ds}$	$C_{gs}$	$C_{gd}$	$G_m$	$G_d$
<b>+3%</b>	-0.51	-0.52	7.55	-0.51	-34.6
<b>-3%</b>	0.51	0.52	-7.75	0.51	35.33

**Tableau IV.3 :** Variation en % des éléments intrinsèques pour la fréquence **2.7GHz** en changeant la valeur de l'inductance  $L_s$  de  $\pm 3\%$

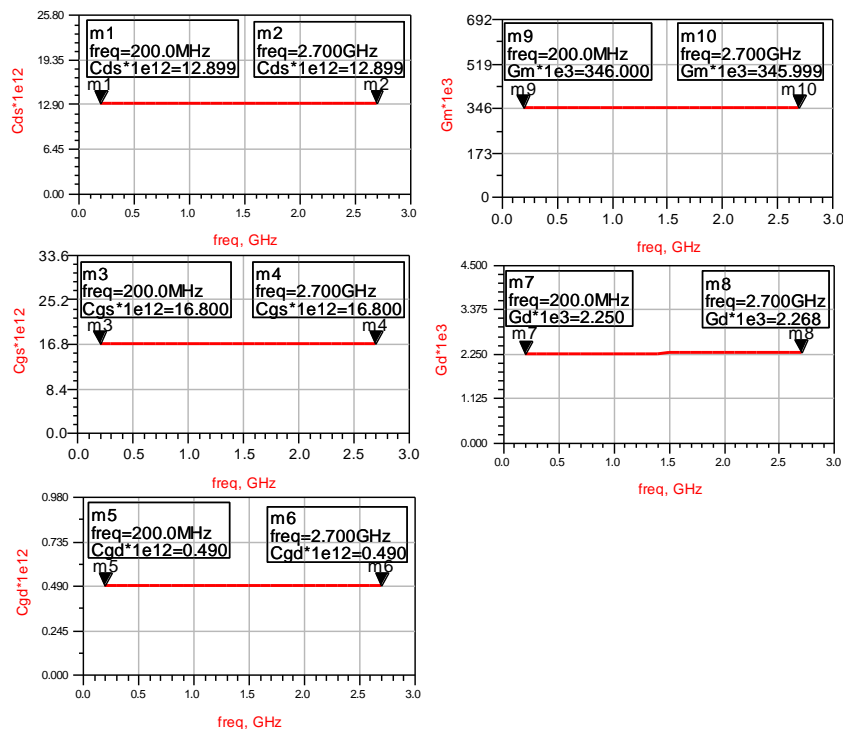
En augmentant la valeur de l'inductance  $L_s$  de **+3%** ; on remarque que :

- a) Les éléments intrinsèques  $C_{ds}$ ,  $C_{gs}$  et  $G_m$  sont resté quasiment inchangés pour toute la gamme de fréquence.
- b) La capacité  $C_{gd}$  a augmenté de **7.55%** de sa valeur pour une fréquence égale à **2.7GHz**,
- c) La conductance  $G_d$  diminue de **-34.6%** pour une fréquence égale à **2.7GHz**.

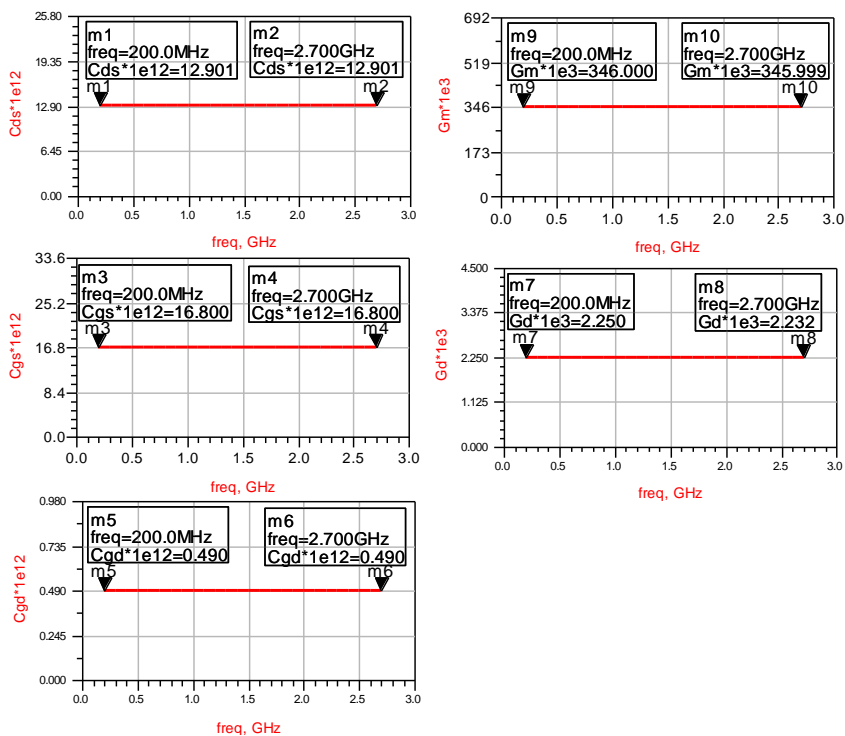
En diminuant la valeur de l'inductance  $L_s$  de **-3%** on remarque que :

Pour une fréquence égale à **2.7GHz** la conductance  $G_d$  augmente de **35.33%** et la capacité  $C_{gd}$  diminue de **7.75%**.

❖ La variation de  $\pm 3\%$  de la résistance de la grille  $R_g$  donne les courbes des éléments intrinsèques en fonction de la fréquence représentées sur la **Figure IV.5**.



(I).+3%



(II).-3%

**Figure IV.5 :** Influence de  $\pm 3\%$  de la résistance  $R_g$  sur les éléments intrinsèques  $C_{ds}$ ,  $C_{gs}$ ,

$C_{gd}$ ,  $G_m$ , et  $G_d$

Les résultats sont regroupés sur le **Tableau IV.4** :

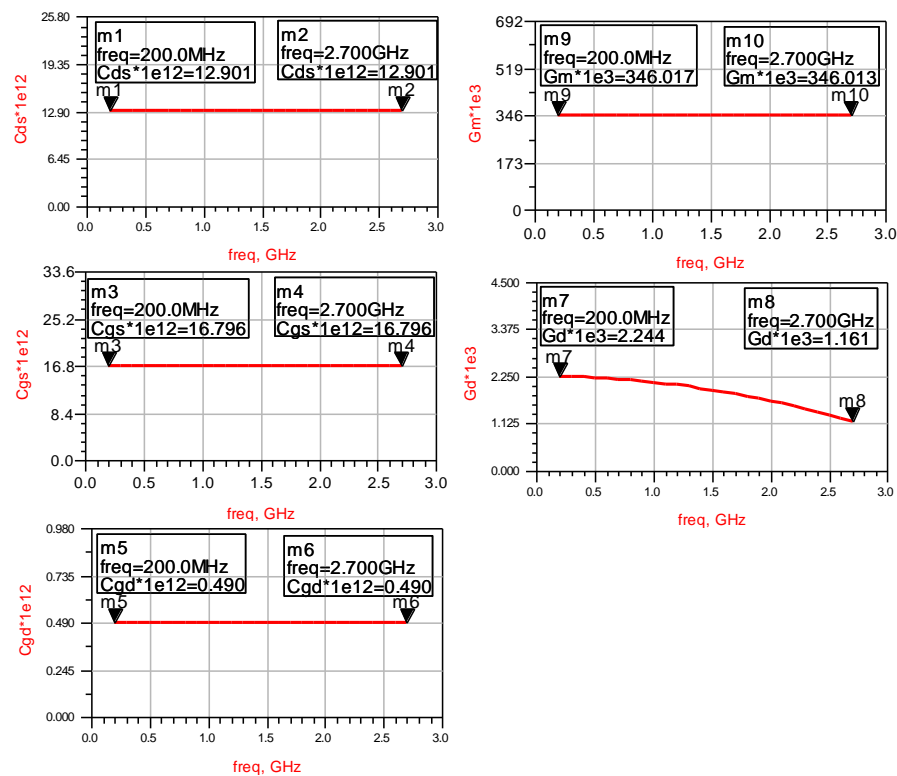
$R_g$	$C_{ds}$	$C_{gs}$	$C_{gd}$	$G_m$	$G_d$
+3%	-0.008	0	0	0.0003	0.8
-3%	0.008	0	0	-0.003	-0.8

**Tableau IV.4** : Variation en % des éléments intrinsèques pour la fréquence **2.7GHz** en changeant la valeur de la résistance  $R_g$  de  $\pm 3\%$

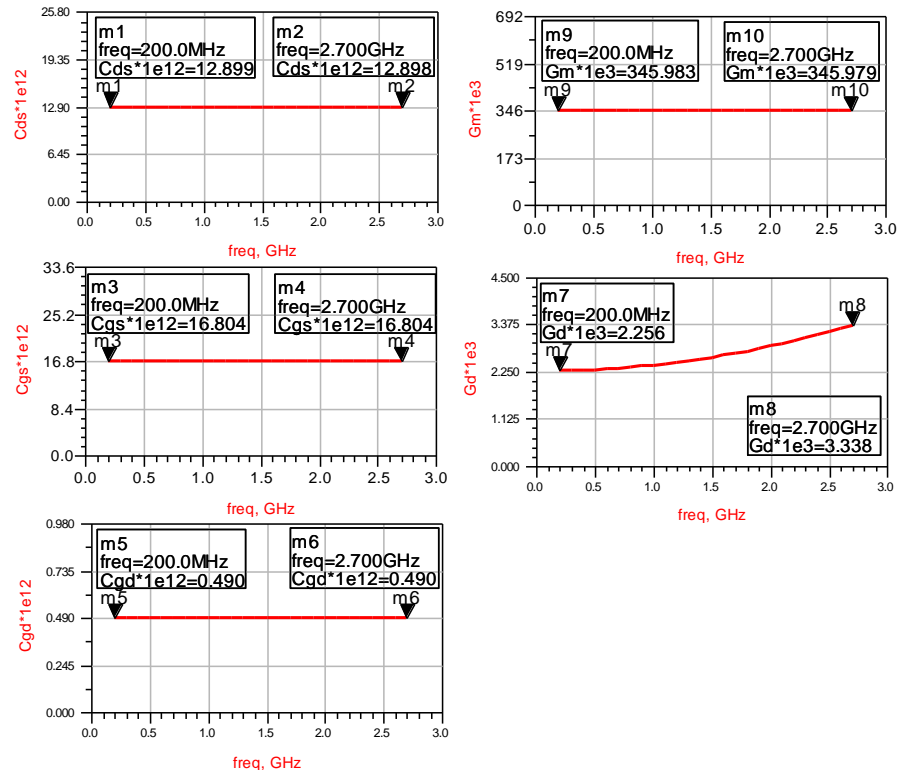
❖ Lors de la variation de la résistance  $R_g$  de  $\pm 3\%$  on remarque que :

Tous les éléments intrinsèques sont insensibles pour toute la gamme de fréquence

❖ La variation de  $\pm 3\%$  de la résistance du drain  $R_d$  donne les courbes des éléments intrinsèques en fonction de la fréquence représentées sur la **Figure IV.6**.



(I).+3%



(II).-3%

Figure IV.6 : Influence de  $\pm 3\%$  de la résistance  $R_d$  sur les éléments intrinsèques  $C_{ds}$ ,  $C_{gs}$ ,  $C_{gd}$ ,  $G_m$ , et  $G_d$

Les résultats sont regroupés sur le Tableau IV.5 :

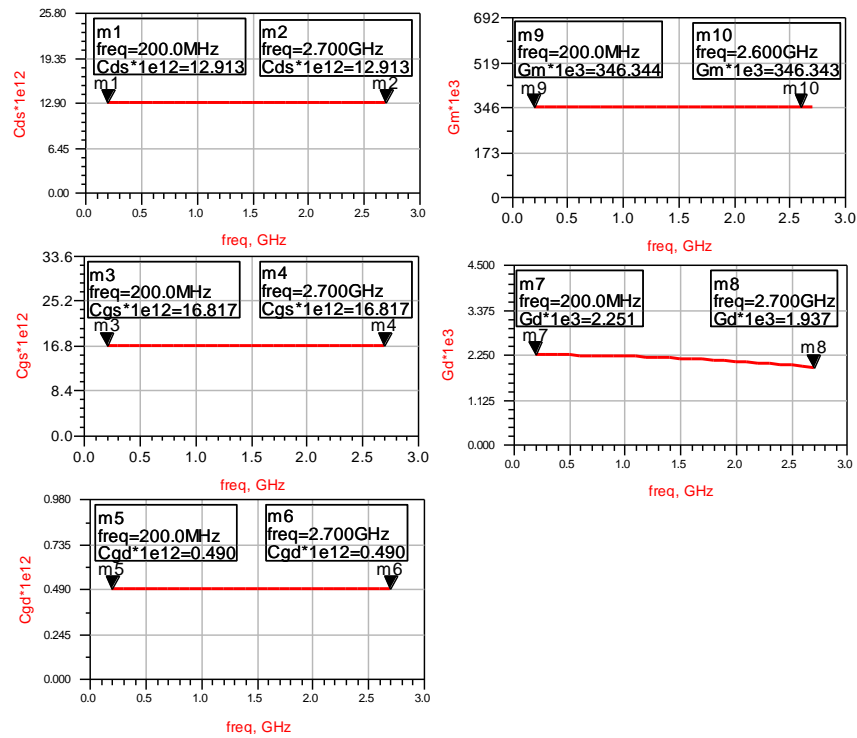
$R_d$	$C_{ds}$	$C_{gs}$	$C_{gd}$	$G_m$	$G_d$
+3%	0.007	-0.02	0	0.004	-48.4
-3%	-0.01	0.02	0	-0.006	48.35

Tableau IV.5 : Variation en % des éléments intrinsèques pour la fréquence 2.7GHz en changeant la valeur de la résistance  $R_d$  de  $\pm 3\%$

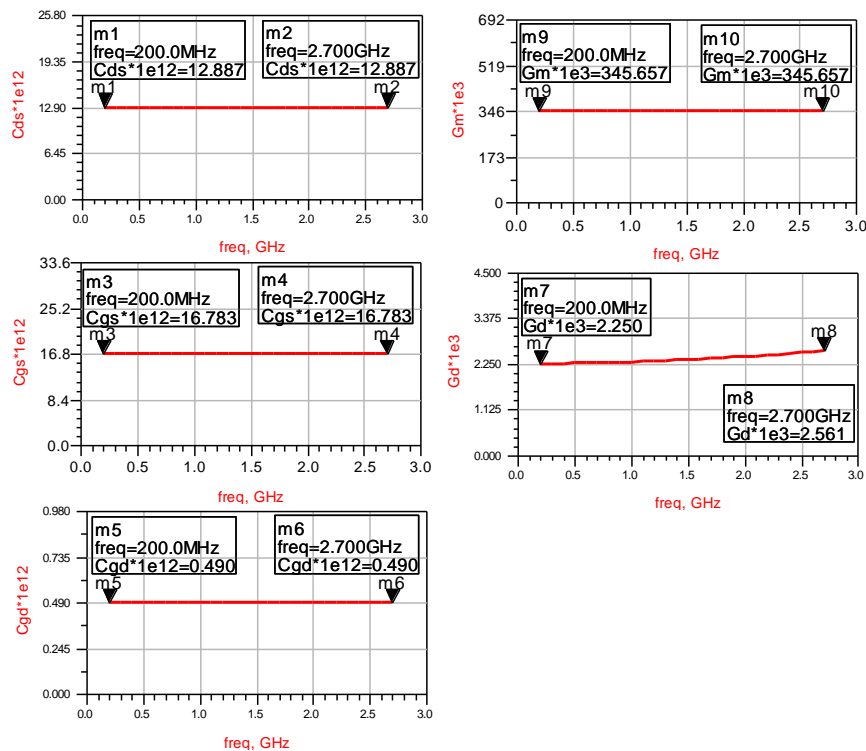
Pour la variation de la résistance  $R_d$  de  $\pm 3\%$ , on remarque que :

Tous les éléments intrinsèques sont restés inchangés pour toute la gamme de fréquence, sauf la conductance  $G_d$  qui présente une forte variation pour les fréquences élevées d'environ  $\pm 48\%$ .

- ❖ La variation de  $\pm 3\%$  de la résistance de la source  $R_s$  donne les courbes des éléments intrinsèques en fonction de la fréquence représentées sur la **Figure IV.7**.



(I).+3%



(II).-3%

**Figure IV.7 :** Influence de  $\pm 3\%$  de la résistance  $R_s$  sur les éléments intrinsèques  $C_{ds}$ ,  $C_{gs}$ ,  $C_{gd}$ ,  $G_m$ , et  $G_d$

Les résultats sont donnés sur le **Tableau IV.6** :

$R_s$	$C_{ds}$	$C_{gs}$	$C_{gd}$	$G_m$	$G_d$
<b>+3%</b>	0.10	0.10	0	0.10	-13.91
<b>-3%</b>	-0.10	-0.10	0	-0.10	13.82

**Tableau IV.6** : Variation en % des éléments intrinsèques pour la fréquence **2.7GHz** en changeant la valeur de la résistance  $R_s$  de  **$\pm 3\%$**

Pour la variation de la résistance  $R_s$  de  **$\pm 3\%$** , on remarque que :

- a) Les capacités  $C_{ds}$ ,  $C_{gs}$ ,  $C_{gd}$  et transconductance  $G_m$  sont restées inchangés.
- b) La conductance  $G_d$  varie pour les fréquences élevées d'environ  **$\pm 14\%$** .
  - D'après tous les résultats obtenus on peut en déduire que :
    1. Tous les éléments extrinsèques n'ont pas d'influence sur les éléments intrinsèques pour les basses fréquences, mais lorsque la fréquence augmente leurs valeurs changent progressivement.
    2. La conductance  $G_d$  est l'élément le plus sensible par rapport aux éléments extrinsèques, surtout par rapport à la résistance  $R_d$  et aux inductances  $L_g$  et  $L_s$ .
    3. L'influence des résistances  $R_d$ ,  $R_g$  et  $R_s$  sur les éléments intrinsèques est négligeable par rapport à l'influence des inductances extrinsèques  $L_d$ ,  $L_g$  et  $L_s$ .
    4. La résistance  $R_g$  est l'élément qui influe le moins sur les éléments intrinsèques.
    5. L'inductance extrinsèques  $L_g$  est l'élément qui influe le plus sur les éléments intrinsèques.
    6. Globalement, l'influence des éléments extrinsèques sur les éléments intrinsèques est symétrique, les valeurs obtenus sont quasiment les même avec des signes opposés.
    7. En augmentant les éléments extrinsèques de **+3%** les éléments influencés diminuent, en revanche, en diminuant les éléments extrinsèques les éléments intrinsèques influencés augmentent sauf dans le cas de  $G_d$  pour  $R_g$ .

## 2.2. Application d'une erreur de $\pm 6\%$ sur les éléments extrinsèques

Nous avons augmenté l'erreur sur les éléments extrinsèques de  $\pm 3\%$  à  $6\pm\%$  pour étudier l'influence de l'amplitude de l'erreur appliquée sur les éléments intrinsèques.

Les résultats sont résumés dans les tableaux suivant :

$L_g$	$C_{ds}$	$C_{gs}$	$C_{gd}$	$G_m$	$G_d$
+6%	0.59	-16.37	-16.35	-16.37	70.90
-6%	-0.90	24.40	24.23	24.41	-93.03

**Tableau IV.7 :** Variation en % des éléments intrinsèques pour la fréquence **2.7GHz** en changeant la valeur de l'inductance  $L_g$  de  $\pm 6\%$

$L_d$	$C_{ds}$	$C_{gs}$	$C_{gd}$	$G_m$	$G_d$
+6%	-12.29	0.35	-12.45	-12.30	-22.70
-6%	16.33	-0.45	16.33	16.33	34.66

**Tableau IV.8 :** Variation en % des éléments intrinsèques pour la fréquence **2.7GHz** en changeant la valeur de l'inductance  $L_d$  de  $\pm 6\%$

$L_s$	$C_{ds}$	$C_{gs}$	$C_{gd}$	$G_m$	$G_d$
+6%	-1.02	-1.01	15.10	-1.01	-68.45
-6%	1.02	1.03	-15.51	1.03	70.74

**Tableau IV.10 :** Variation en % des éléments intrinsèques pour la fréquence **2.7GHz** en changeant la valeur de l'inductance  $L_s$  de  $\pm 6\%$

$R_g$	$C_{ds}$	$C_{gs}$	$C_{gd}$	$G_m$	$G_d$
+6%	0	0	0	-0.0009	1.6
-6%	0	0	0	-0.0009	-1.56

**Tableau IV.11 :** Variation en % des éléments intrinsèques pour la fréquence **2.7GHz** en changeant la valeur de la résistance  $R_g$  de  $\pm 6\%$



$R_d$	$C_{ds}$	$C_{gs}$	$C_{gd}$	$G_m$	$G_d$
+6%	-0.02	0	0	0.04	-96.78
-6%	-0.008	0.006	0	-0.005	95.67

**Tableau IV.12** : Variation en % des éléments intrinsèques pour la fréquence **2.7GHz** en changeant la valeur de la résistance  $R_d$  de  $\pm 6\%$

$R_s$	$C_{ds}$	$C_{gs}$	$C_{gd}$	$G_m$	$G_d$
+6%	0	0	0.2	-0.003	-27.90
-6%	0	0	0.2	-0.0008	-72.17

**Tableau IV.13** : Variation en % des éléments intrinsèques pour la fréquence **2.7GHz** en changeant la valeur de la résistance  $R_s$  de  $\pm 6\%$

D'après la comparaison entre l'influence des éléments extrinsèques pour une erreur de  $\pm 3\%$  et celle  $\pm 6\%$  sur les éléments intrinsèques, on note que si on double l'erreur des éléments extrinsèques l'effet sur les éléments intrinsèques est quasiment doublé aussi.

### 2.3. Effet de l'erreur de $\pm 3\%$ sur les éléments intrinsèques pour d'autres points de fonctionnements

On veut visualiser l'influence des éléments extrinsèques pour une erreur de  $\pm 3\%$  pour tous les régimes de fonctionnement.

#### 2.3. a. Pour $V_{gs}=5.6V$ , $V_{ds}=27V$ :

En saturation, et en forte inversion, on change la valeur de  $V_{gs}$  de **4.8V** à **5.6V** et on laisse la valeur de  $V_{ds}$  inchangé, on observe la variation des éléments intrinsèques, les résultats obtenus sont résumés dans les tableaux suivants :

$L_g$	$C_{ds}$	$C_{gs}$	$C_{gd}$	$G_m$	$G_d$
+3%	0.43	-11.08	11.2	-11.08	31.64
-3%	-0.55	14.25	14.4	14.25	-40.92

**Tableau IV.14** : Variation en % des éléments intrinsèques pour la fréquence **2.7GHz** en changeant la valeur de l'inductance  $L_g$  de  $\pm 3\%$

$L_d$	$C_{ds}$	$C_{gs}$	$C_{gd}$	$G_m$	$G_d$
+3%	-6.42	0.15	-6.4	-6.41	-12.19
-3%	7.37	-0.16	7.4	7.37	14.97

**Tableau IV.15** : Variation en % des éléments intrinsèques pour la fréquence **2.7GHz** en changeant la valeur de l'inductance  $L_d$  de  $\pm 3\%$

$L_s$	$C_{ds}$	$C_{gs}$	$C_{gd}$	$G_m$	$G_d$
+3%	-0.57	-0.58	9.40	-0.58	-27.78
-3%	0.58	0.58	-9.40	0.59	28.33

**Tableau IV.16** : Variation en % des éléments intrinsèques pour la fréquence **2.7GHz** en changeant la valeur de l'inductance  $L_s$  de  $\pm 3\%$

$R_g$	$C_{ds}$	$C_{gs}$	$C_{gd}$	$G_m$	$G_d$
+3%	0	0	0	-0.0003	0.46
-3%	0	0	0	-0.0003	-0.46

**Tableau IV.17** : Variation en % des éléments intrinsèques pour la fréquence **2.7GHz** en changeant la valeur de la résistance  $R_g$  de  $\pm 3\%$

$R_d$	$C_{ds}$	$C_{gs}$	$C_{gd}$	$G_m$	$G_d$
+3%	0	0	0	-0.001	-20.72
-3%	0	0	0	-0.001	20.66

**Tableau IV.18** : Variation en % des éléments intrinsèques pour la fréquence **2.7GHz** en changeant la valeur de la résistance  $R_d$  de  $\pm 3\%$

$R_s$	$C_{ds}$	$C_{gs}$	$C_{gd}$	$G_m$	$G_d$
+3%	0	0	0	-0.0001	-7.03
-3%	0	0	0.2	-0.0001	6.99

**Tableau IV.19** : Variation en % des éléments intrinsèques pour la fréquence **2.7GHz** en changeant la valeur de la résistance  $R_s$  de  $\pm 3\%$

En augmentant la valeur de  $V_{gs}$  de **4.8V** à **5.6V** et en fixant  $V_{ds}=27V$  on remarque :

1. Une légère augmentation de l'effet des éléments extrinsèques sur les capacités intrinsèques  $C_{ds}$ ,  $C_{gs}$ ,  $C_{gd}$  et la transconductance  $G_m$ .
2. Que l'influence des éléments extrinsèques sur la conductance  $G_d$  diminue sauf dans le cas de l'inductance  $L_d$ , elle augmente.

### 2.3.b. Pour : $V_{gs}=5.2V$ , $V_{ds}=0.75V$ :

On veut maintenant, étudier l'influence des éléments extrinsèques sur les éléments intrinsèques pour le régime linéaire, on a choisi le point de fonctionnement  $V_{gs}=5.2V$ ,  $V_{ds}=0.75V$ , les résultats obtenus sont résumés dans les tableaux suivants :

$L_g$	$C_{ds}$	$C_{gs}$	$C_{gd}$	$G_m$	$G_d$
+3%	1.60	-10.81	-10.82	-10.81	21.82
-3%	-2.05	13.81	13.82	13.81	-27.99

**Tableau IV.20** : Variation en % des éléments intrinsèques pour la fréquence **2.7GHz** en changeant la valeur de l'inductance  $L_g$  de  $\pm 3\%$

$L_d$	$C_{ds}$	$C_{gs}$	$C_{gd}$	$G_m$	$G_d$
+3%	-18.002	9.12	-17.93	-17.96	-29.87
-3%	27.89	-12.03	28.06	28.03	57.04

**Tableau IV.21** : Variation en % des éléments intrinsèques pour la fréquence **2.7GHz** en changeant la valeur de l'inductance  $L_d$  de  $\pm 3\%$

$L_s$	$C_{ds}$	$C_{gs}$	$C_{gd}$	$G_m$	$G_d$
+3%	-0.81	-0.80	0.975	-0.81	-4.47
-3%	0.82	0.81	-0.99	0.82	4.60

**Tableau IV.22** : Variation en % des éléments intrinsèques pour la fréquence **2.7GHz** en changeant la valeur de l'inductance  $L_s$  de  $\pm 3\%$

$R_g$	$C_{ds}$	$C_{gs}$	$C_{gd}$	$G_m$	$G_d$
+3%	0	0	0	-0.0003	0.35
-3%	0	0	0	-0.0003	-0.34

**Tableau IV.23** : Variation en % des éléments intrinsèques pour la fréquence **2.7GHz** en changeant la valeur de la résistance  $R_g$  de  $\pm 3\%$

$R_d$	$C_{ds}$	$C_{gs}$	$C_{gd}$	$G_m$	$G_d$
+3%	-0.02	0.02	0	-0.01	-13.36
-3%	-0.02	0.01	0	0.01	13.26

**Tableau IV.24** : Variation en % des éléments intrinsèques pour la fréquence **2.7GHz** en changeant la valeur de la résistance  $R_d$  de  $\pm 3\%$

$R_s$	$C_{ds}$	$C_{gs}$	$C_{gd}$	$G_m$	$G_d$
+3%	0	0	0.01	-0.0003	-1.96
-3%	0	0	0	-0.0003	1.95

**Tableau IV.25** : Variation en % des éléments intrinsèques pour la fréquence **2.7GHz** en changeant la valeur de la résistance  $R_s$  de  $\pm 3\%$

En changeant les valeurs des éléments extrinsèques de  $\pm 3\%$  pour  $V_{gs}=5.2V$  et  $V_{ds}=0.75V$ , on remarque que:

1. L'influence de l'inductance du drain  $L_d$  sur les éléments intrinsèques augmente.
2. La conductance intrinsèque  $G_d$  diminue pour tous les éléments extrinsèques sauf dans le cas de l'inductance intrinsèque  $L_d$  on relève une augmentation.
3. L'influence des éléments extrinsèques sur les éléments intrinsèques  $C_{ds}$ ,  $C_{gs}$ ,  $C_{gd}$  et  $G_m$  est quasiment de la même importance, excepté pour  $C_{gd}$  pour  $L_s$  qui diminue.

On tenant compte les résultats qu'on a obtenue, on peut déduire en ce qui concerne la sensibilité des éléments intrinsèques et l'influence des éléments extrinsèques sur ces derniers que :

1. L'influence des éléments extrinsèques sur les éléments intrinsèques diffère d'un point de fonctionnement (régime) à l'autre.

2. Tous les éléments intrinsèques ne sont pas influencés par les éléments extrinsèques pour les basses fréquences, lorsque la fréquence augmente leurs valeurs changent (augmentent ou diminuent) pour atteindre un maximum pour la fréquence **2.7GHz**.
3. L'influence des résistances extrinsèques  $R_g$ ,  $R_d$ , et  $R_s$  sur les éléments intrinsèques est négligeable par rapport à l'influence des inductances extrinsèques  $L_g$ ,  $L_d$ , et  $L_s$ .
4. L'élément intrinsèque le plus sensible par rapport aux éléments extrinsèques dans le régime de saturation est la conductance  $G_d$ , par contre dans le régime linéaire ce n'est pas flagrant.
5. En saturation, l'inductance  $L_g$  est l'élément qui influence le plus sur les éléments intrinsèques, l'inductance  $L_s$  arrive en deuxième lieu, en revanche, dans le régime linéaire c'est l'inductance  $L_d$  qui influence le plus. Par conséquent, leur détermination doit être la plus précise lors de la caractérisation du transistor **LDMOS**.
6. La résistance  $R_g$  est l'élément qui influence le moins sur les éléments intrinsèques en tous régimes de fonctionnement, on peut dire qu'il y a une certaine tolérance sur sa détermination lors de la caractérisation.
7. L'influence des résistances extrinsèques sur les éléments intrinsèques est symétrique, les variations des éléments intrinsèques obtenus ont pratiquement la même valeur avec des signes opposés pour les deux variations des résistances extrinsèques, par contre pour les inductances extrinsèques, l'influence n'est pas vraiment symétrique. Ainsi, l'influence d'une inductance extrinsèque pour une variation négative est plus grande par rapport à une variation positive.

### 3. Conclusion

Dans ce chapitre nous avons étudié l'influence des éléments extrinsèques sur l'extraction des éléments intrinsèques dans différents points de polarisation pour la même gamme de fréquence de **0.2GHz** à **2.7GHz**. Ensuite, nous avons proposé une erreur dans les valeurs des éléments extrinsèques à tour de rôle de  $\pm 3\%$  et  $\pm 6\%$ .

Enfin, nous avons visualisé les courbes des éléments intrinsèques pour savoir quels éléments sont les plus sensibles à la variation des éléments extrinsèques par rapport à l'erreur utilisée.

## Conclusion général

Le transistor **MOSFET** a évolué à une grande vitesse ces dernières décennies grâce à l'industrie de la microélectronique qui a su faire évoluer ce dispositif ainsi que les circuits dans lesquelles ce dernier est intégré principalement dans le domaine des **RF**.

Par rapport aux exigences, performances et le coût, une nouvelle génération de transistor **MOS** est apparue sur la scène de l'amplification de puissance : le **LDMOS** (Lateral Doubled Diffused Metal-Oxide Semiconductor) dédié à la radiotéléphonie mobile et utilisé dans les étages de sortie des amplificateurs des stations de base.

La caractérisation et la modélisation électriques sont spécifiques pour couvrir tous les aspects lors du fonctionnement de ces dispositifs. Il faut, par exemple, caractériser correctement le phénomène d'auto-échauffement qui survient lorsque le dispositif dissipe de la puissance. La modélisation électrique doit ensuite permettre de reproduire, aussi fidèlement que possible, ce comportement électrique. Il est nécessaire, par ailleurs, de modéliser correctement les différents modes de fonctionnement.

Le but de notre étude est de modéliser, caractériser et étudier la sensibilité des transistors **LDMOS** dans le domaine des **RF** à base de schéma équivalent.

Pour réaliser ce travail, nous avons commencé en premier lieu par sélectionner la technique de modélisation. Nous avons opté pour la modélisation empirique pour sa simplicité et sa rapidité d'extraction des paramètres, Nous avons donné la méthodologie à suivre.

Ensuite, nous avons choisi un schéma équivalent largement utilisé dans la littérature [10,14,22]. Ce schéma est constitué de trois parties, une partie boîtier, une partie extrinsèque et une partie intrinsèque. Nous avons extrait les éléments du schéma en expliquant la méthode à suivre pour le faire.

Après l'implantation du modèle dans le logiciel **ADS**, nous avons fait une comparaison entre les paramètres **S** mesurés et simulés pour plusieurs points de polarisation. Les résultats obtenus confirment la validité du modèle que nous avons choisi.

Un très bon accord entre la simulation et la mesure a été obtenu, ce qui indique que :

- Le schéma équivalent utilisé est très convenable pour ce genre de transistors.
- La technique utilisée pour l'extraction des éléments du schéma équivalent est assez précise et rapide.

Pour terminer notre travail, nous avons étudié l'influence des éléments extrinsèques sur les éléments intrinsèques. En effet, nous avons appliqué une erreur de  $\pm 3\%$  sur les éléments extrinsèques pour un point de fonctionnement donné et nous avons observé la sensibilité des éléments intrinsèques par rapport à cette erreur. L'objectif de cette étude est de développer un modèle précis. Ensuite nous avons doublé l'erreur de  $\pm 3\%$  à  $\pm 6\%$ , pour observer l'effet de l'amplitude de l'erreur commise sur les éléments intrinsèques. Enfin pour généraliser notre étude nous avons répété la même procédure pour plusieurs points de polarisations dans les différents régimes de fonctionnement.

D'après les résultats obtenus de cette tâche, nous avons déduit que :

- L'influence des éléments extrinsèques sur les éléments intrinsèques dépend généralement de la polarisation.
- Tous les éléments ne sont pas influencés par les éléments extrinsèques pour les basses fréquences, est commencent à changer progressivement en augmentant la fréquence pour atteindre un maximum pour la gamme de fréquence utilisée.
- L'influence des résistances extrinsèques sur les éléments intrinsèques est négligeable par rapport à l'influence des inductances extrinsèques.
- La résistance  $R_g$  est l'élément extrinsèque qui influe le moins sur les éléments intrinsèques, pour tous les régimes de fonctionnement.
- L'inductance  $L_g$  est l'élément extrinsèque qui influe le plus sur les éléments intrinsèques pour le régime de saturation, par contre dans le cas du régime linéaire c'est l'inductance  $L_d$  qui influe le plus.
- La conductance  $G_d$  est l'élément intrinsèque le plus sensible par rapport aux éléments extrinsèques dans le régime de saturation.
- En imposant une erreur positive sur les éléments extrinsèques, les éléments intrinsèques influencés diminuent, en revanche, pour une erreur négative les éléments intrinsèques influencés augmentent excepté dans quelque cas.

Enfin, pour une éventuelle poursuite de ce travail, nous proposons les perspectives suivantes :

- Essayer la même méthode d'extraction du modèle en utilisant d'autres schémas équivalents, pour améliorer la précision et la rapidité dans de gammes de fréquence plus élevées.
- Essayer d'utiliser cette technique de modélisation pour d'autres types de transistor.
- Etudier l'influence de l'extraction des éléments du boîtier sur les éléments extrinsèques.
- Développer un modèle non linéaire à base de ce schéma équivalent.



## Références bibliographiques

- [1] **Christophe CHARBONNIAUD**, « Caractérisation et Modélisation Electrothermique Non Linéaire de Transistor à Effet de Champ **GaN** pour l'Amplification de Puissance Micro-onde », Thèse de Doctorat, de l'Université de Limoges, le 20 Octobre 2005.
- [2] **Mohammed LAREDJ**, « Modélisation Electrothermique de Transistor en Technologie **GaN** », Thèse de Doctorat, Ecole de Technologie Supérieure du Québec, le 25 Mars 2011.
- [3] **Emmanuel BOUHANA**, « Analyse du Comportement Petit-Signal du Transistor **MOS** : contribution à une Nouvelle Approche d'Extraction et de Modélisation pour des Applications **RF** », Thèse de Doctorat, de l'Université des Sciences et Technologies de Lille, le 29 Octobre 2007.
- [4] **Dorothee MULLER**, « Optimisation Des Potentialité d'un Transistor **LDMOS** Pour l'Intégration d'Amplificateur de Puissance **RF** sur Silicium », Thèse de Doctorat de l'Université de Limoges, France, Octobre 2006.
- [5] **Cyrille PICARI**, « Utilisation des Transistors **MOS** à Effet de Champ de Type **COTS** en Environnement Radiatif Ionisant », Thèse de Doctorat de l'Université de Metz, Décembre, 2000.
- [6] **Thomas SKOTNICKI**, « Transistor **MOS** et Sa Technologie de Fabrication », E2430, Techniques de l'Ingénieur, Traité Électronique, 2000.
- [7] **Xiang-lei Han**, « Réalisation et Caractérisation de Dispositif **MOSFET** Nanométrique à Base de Réseaux Denses de Nanofils Verticaux en Silicium », Thèse de Doctorat de l'Université de Lille, France 2011.
- [8] **Faiza MERAD**, « Conception et Simulation des Caractéristiques Électriques d'un Transistor **MOSFET** Nanométrique à Conduction Latéral de Type **Tri-Gate (FinFET)** », Mémoire de Magister Nanophysique et Nanotechnologie de l'Université de Tlemcen, 2014.
- [9] **Nassima BOURAHLA**, « Étude et Modélisation des Effets de Canal Court Dans le Transistor **N-MOSFET** », Mémoire de Magister Microélectronique de l'Université d'Abdel Hamid Ibn Badis de Mostaganem, 2014.

- [10] **El Mehdi BAZIZI**, « Modélisation Physique et Simulation de Défauts Étendus et Diffusion des Dopants Dans le **Si**, **SOI** et **SiGe** Pour les **MOS** Avancés », Thèse de Doctorat de l'Université de Toulouse, Juin, 2010.
- [11] **Saâdia HNIKI**, « Contribution à la Modélisation Des Dispositifs **MOS** Haute Tension Pour les Circuits Intégrés de Puissance ("Smart Power") », Thèse de Doctorat de l'Université de Toulouse, 2010.
- [12] **Site internet** :  
<https://teleidesis.com/fr/2018/05/ordres-de-grandeur/>
- [13] **Krunoslav ROMANJEK**, « Caractérisation et Modélisation des Transistors **CMOS** des Technologies 50nm et en Deçà », Thèse de Doctorat de l'Institut National Polytechnique de Grenoble, 2004.
- [14] **Mohammed TAMOUM**, « Caractérisation Fine et Modalisation Non-linéaire des Transistors **MOSFET** », Thèse de Doctorat de l'Université Ferhat Abbas, Sétif, 2013.
- [15] **Samir LABIOD**, « Contribution à l'Étude de Perturbations Électromagnétiques Sur des Composants **MOS** en Utilisant la Méthode **FDTD** », Thèse de Doctorat de l'Université de Constantine, 2013.
- [16] **Salim TOUATI**, « Conception, Réalisation et Caractérisation de Composants de Puissance Hyperfréquence de la Filière Nitrure de Gallium », Thèse de Doctorat de l'Université de Lille, 2007.
- [17] **Juin J. LIOU & Frank SCHWIERZ**, « **RF MOSFET**: Recent Advances, Current Status and Future Trends », Solid-State Electronics, Vol. 47, pp. 1881-1895, 2003.
- [18] **Michaël GUYONNET**, « Modélisation Electrothermique Non Linéaire de Transistors de Puissance **LDMOS**: Application à la Détermination de d'Échelle », Thèse de Doctorat de l'Université de Limoges ,2005.
- [19] **Ayad Ghannam**, « Conception et Intégration "Above IC" d'Inductances à Fort Coefficient de Surtension Pour Applications de Puissance **RF** », Thèse de Doctorat de l'Université de Toulouse, 2010.
- [20] **Mahdi Ghasemi SHIRVAN & Morteza FATHIPOUR**, « A Compact Model for the Ion Implanted Channel **LDMOS** Transistor », Solide State Sciences, Vol.14, pp. 471-475, 2012.

- [21] **Alexandre SILIGARIS**, « Modalisation Grand Signal de **MOSFET** en hyperfréquence : application à l'étude de non linéarités des filtres **SOI** », Thèse de Doctorat, Université des Science et Technologies de Lille, le 13 Décembre 2004.
- [22] **Charles TEYSSANDIER**, « Contribution à la Modélisation non-Linéaire de Transistor de puissance **HEMT** pseudomorphiques sur substrat **AsGa** : Analyse des Effet Parasites», Thèse de Doctorat de l'Université de Limoges, le 6 Mars 2008.
- [23] **Yannis TSIVIDIS**, « Operation and Modeling of the **MOS** Transistor », Oxford University press, Second Edition, 1999.
- [24] **Zahra HAMAIZIA**, « Conception d'un Amplificateur Faible Bruit **LNA** à Base d'un Transistor à Effet de Champ à Hétérojonction **pHEMT** », Thèse de Doctorat de l'Université Mohamed Khider-Biskra, 2011.
- [25] **Christophe PAVAGEAU**, « Utilisation des Technologies **CMOS SOI** 130 nm pour des Applications en Gamme de Fréquence Millimétrique », Thèse de Doctorat de l'Université de Lille, 2005.
- [26] **Moez BALTI**, « Extraction des Paramètres Intrinsèques des Transistor à Effet de Champ en Tenant Compte des Phénomènes de Propagation », Thèse de Doctorat de l'Université de Cergy-Pontoise, 2005.
- [27] **Jerry C. WHITAKER**, « The Electronics Handbook », CRC press, Taylor and Francis Group LLC, 2005.
- [28] **Mohammed TAMOUM**, **Rachide ALLAM** & **Farid DJAHLI**, « Accurate Large-Signal Characterization of **LD MOSFET** Transistor in Package », Microwave and Optical Technology, Vol 53, No 3, March 2011.
- [29] **Gilles DANBIRINE**, **ALAIN CAPPY**, **Frederic HELIODORE** & **Edouard PLAYEZ**, « A New Method for Determining the FET Small-Signal Equivalent Circuit », IEEE Tran. On MTT, Vol. 36, No. 7, pp. 1151-1159, July 1988.

# **Introduction**

## **générale**

**Chapitre I**  
**Le transistor MOS**  
dans le domaine  
des **RF**

**Chapitre III**  
**Caractérisation**  
**électrique du transistor**  
**LDMOS**

**Chapitre II**  
Modélisation du  
transistor  
**LDMOS en RF**

**Chapitre IV**  
Sensibilité des  
éléments intrinsèques  
par rapport aux  
éléments extrinsèques



# **Conclusion générale**

# **Références bibliographiques**