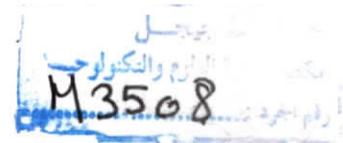


République Algérienne Démocratique et Populaire
Ministère de l'Enseignement Supérieur et de la Recherche Scientifique



Université Mohammed Seddik Ben Yahia de Jijel
Faculté des Sciences et de la Technologie
Département d'Electronique

Projet de fin d'étude pour l'obtention du diplôme

MASTER en Electronique

Option : Microélectronique



Thème

*Etude des propriétés physiques et électriques de silicium
nanocristallin comme matériau de base pour
l'élaboration d'un modèle simplifié du transistor à
couche mince TFT.*

Encadré par :

Dr. Riad Remmouche

Réalisé par :

Aissam Kahlessenane

Promotion : 2016/2017

Remerciements

Je tiens à remercier tous les membres de ma famille pour leurs soutiens et leurs encouragements durant toutes ces longues années d'études.

Je remercie mon encadreur Dr. Riad Remmouche pour leur Orientation et leur conseils et la confiance qu'il m'a témoigné et aussi Dr. Toufik Benkedidah le chef de département d'électronique pour leur soutien.

Je remercie les membres de jury qui ont accepté de juger mon travail.

Sommaire

Chapitre I: Évolution et fonctionnement des MOSFET

I.1 Introduction.....	4
I.2 Contraintes pour les générations futures	4
I.3 Fonctionnement d'un TMOS à canaux longs	7
I.3.1 Structure	7
I.3.2 Principe de fonctionnement du transistor MOS	7
I.3.3 Régime de fonctionnement	8
I.3.3.1 Régime d'accumulation	8
I.3.3.2 Régime de déplétion	9
I.3.3.3 Faible d'inversion (régime sous le seuil)	9
I.3.3.4 Forte d'inversion	10
a) Régime ohmique	10
b) Régime pincé	11
c) Régime de saturation	11
I.3.4 Tension de seuil	12
I.3.5 Caractéristique courant- tension	13
I.4 L'effet de canal court	13
I.5 Technologie SOI.....	14
Conclusion	15

Chapitre II: Etat de l'art des transistors en couches minces avec canal en polysilicium

II.1 Introduction	16
II.2 Modélisation physique du silicium.....	17
II.2.1 Structure de bandes	17
II.2.2 Notion de masse effective	20
II.3 Structure cristalline du silicium.....	20
II.3.1 Etat cristallin.....	20
II.3.2 Etat monocristallin	21
II.3.3 Etat polycristallin	21
II.3.4 Etat amorphe.....	21

II.4 Propriétés du matériau.....	21
II.4.1 Le silicium monocristallin.....	21
II.4.2 Le silicium amorphe	22
II.4.3 Le silicium polycristallin	2
II.5 Descriptions physique et électrique des transistors en couche mince (TFTs) a base de polysilicium.....	24
II.5.1 Structure des transistors TFTs.....	24
II.5.2 Propriétés électriques du film du silicium polycristallin	25
II.5.3 Diagramme de bandes de la structure polysilicium.....	27
II.5.4 Densité d'état des porteurs de charge	28
II.5.5 Densité des porteurs localisés sur les queues de bande.....	29
II.5.6 Densité des porteurs localisés sur les centres profonds	29
II.5.7 Régimes de fonctionnement du TFT en poly-Si à basse température.....	30
II.5.8 Transport dans les TFT	30
II.6 Effets quantiques dans les structures MOS	33
II.7 Paramètres électriques des TFTs en poly-Si	33
II.7.1 Courant de fuite.....	33
II.7.2 Tension de seuil	34
II.7.3 Pente sous le seuil.....	34
II.7.4 Mobilité des porteurs	34
II.8. Conclusion.....	35

Chapitre III: Modélisation analytique des TFT en poly-si

III.1 Introduction.....	36
III.2 Potentiel de surface.....	36
III.2.1 Équation de Poisson.....	36
III.2.2 Le potentiel de Fermi	37
III.2.3 La densité intrinsèque des porteurs.....	37
III.2.4 La densité des pièges.....	38
III.2.5 Expression analytique du potentiel de surface.....	38
III.2.6 Constante diélectrique du nc-Si	39
III.3 Résultats et simulation numérique	40
III.3.1 Potentiel de surface en fonction de la taille des grains	40

III.3.2 Potentiel de surface en fonction de la taille des grains négligeant des effets quantique.....	41
III.3.3 Constante diélectrique en fonction de la taille des grains	42
III.3.4 Potentiel de surface en fonction de la taille des grains avec concentration des pièges nulle	43
III.3.5 Potentiel de surface en fonction de la taille des grains : Énergies des pièges Paramètres	44
III.3.6 Potentiel de surface en fonction de la taille des grains : (N_{ST}) paramètre	45
III.3.7 Potentiel de surface en fonction de la taille des grains: (d) paramètre	46
III.3.7 Potentiel de surface en fonction de la taille des grains: (N_A) paramètre	47
III.3.7 Potentiel de surface en fonction de la taille des grains: (d) paramètre	47
III.4 La tension de seuil	48
III.5 Résultat de la simulation [Mao].....	48
III.5.1 Tension de seuil en fonction de la taille des grains sous l'effet de la Température	51
III.6 Résultat de la simulation [Wu].....	52
III.6.1 Solution numérique de X_0 en fonction de la taille des grains	52
III.6.2 Tension de seuil en fonction de la taille des grains.....	53
III.6.3 Tension de seuil en fonction de la taille des grains : (T_{ox}) paramètre.....	53
III.6.4 Tension de seuil en fonction de la taille des grains : (N_A) paramètre	54
III.6.5 Tension de seuil en fonction de la taille des grains pour différents densités d'états pièges	55
III.7 La mobilité et la vitesse des porteurs	55
III.7.1 Loi de mobilité	56
III.7.2 Résultats et simulations numériques	57
III.8 Modèle analytique compact du courant de drain	58
III.9 Résultats et simulations numériques.....	60
III.9.1 Caractéristique de sortie $I_{ds}(V_{ds})$	60
III.9.2 Caractéristique de transfert $I_{ds}(V_{gs})$	61
Conclusion.....	62
Conclusion générale	63
Bibliographies	64

Liste des figures

Figure 1 : Historique des transistors en couches minces..... 1

Chapitre I: Évolution et fonctionnement des MOSFET

Figure I.1 : Evolution du nombre de transistors dans les microprocesseurs Intel..... 5
 Figure I.2: Evolution espérée des principales caractéristiques des TMOS 6
 Figure I. 3: Structure et Principe du MOSFET en régime d’inversion 7
 Figure I. 4 : Diagrammes des bandes dans les différentes modes de fonctionnement d’un transistor MOS type N 8
 Figure I. 5: Courbe $I_d(V_g)$ illustrant la séparation établie par la tension de seuil entre inversion faible et forte, et regroupant les principales caractéristiques sous le seuil..... 10
 Figure I. 6: régime de fonctionnement linéaire (ohmique) 11
 Figure I. 7: régime pincé 11
 Figure I. 8 : régime de saturation 11
 Figure I. 9 : Réseau du caractéristique du MOSFET (sortie/ transfert) 13
 Figure I. 10 : Structure d’un transistor MOSFET bulk (canal long/court) 14
 Figure I. 11: Schéma d’un transistor MOS sur SOI 14
 Figure I.12 : Distribution de la charge de déplétion pour le MOSFET bulk et le SOI 15

Chapitre II: Etat de l’art des transistors en couches minces avec canal en polysilicium

Figure II. 1 : Historique des transistors en couches minces..... 16
 Figure II.2 : Diagramme de bandes d’énergie du silicium. Echelle des énergies en eV 18
 Figure II.3 : Première zone de Brillouin d’un cristal cubique..... 18
 Figure II. 4 : Les six vallées équivalentes de la bande de conduction du silicium 19
 Figure II.5 : Les bandes de valence analytiques du silicium..... 19
 Figure II. 6 : Maille cubique conventionnelle de la structure diamant 22
 Figure II.7 : Le silicium amorphe 23
 Figure II.8: joints de grains 24
 Figure II.9: joints de grains (Vue MEB : Microscopie électronique à balayage) 24
 Figure II. 10 : Les quatre différentes structures des TFT 24
 Figure II. 11 : Structure de TFT utilisable en recherche 25

Figure II.12 Représentation de la densité d'états énergétique dans la bande interdite	27
Figure II.13 Diagramme de bandes énergétique d'un ensemble grains-joint de grains en fonction du potentiel appliqué.....	27
Figure II.14 Le schéma de la densité d'état surfacique	31
Figure II.15 Diagramme de bande d'énergie de MOSTFT.....	32

Chapitre III: Modélisation analytique des TFT en poly-si

Figure III.1 Potentiel de surface prise en compte des effets quantiques	40
Figure III.2 Potentiel de surface négligeant les effets quantiques	40
Figure III.3 Potentiel de surface en fonction de la taille des grains	41
Figure III.4 Constante diélectrique en fonction de la taille des grains	42
Figure III.5 Potentiel de surface grains avec concentration des pièges nulle	43
Figure III.6 Potentiel de surface avec différents valeurs d'énergie des pièges	44
Figure III.7 Potentiel de surface avec différents valeurs N_{ST}	45
Figure III.8 Potentiel de surface en fonction de la densité d'état surfacique des pièges.....	46
Figure III.9 Potentiel de surface en fonction de la taille des grains	47
Figure III.10 Potentiel de surface en fonction de la taille des grains	47
Figure III.11 Tension de seuil sous l'effet de température.....	51
Figure III.12 Solution numérique de X_o	52
Figure III.13 Tension de seuil considérant les solutions de X_o	53
Figure III.14 Tension de seuil avec différents valeurs d'épaisseur d'oxyde	53
Figure III.15 Tension de seuil avec différents dopages actif	54
Figure III.16 Tension de seuil pour différents valeurs de densité d'état pièges.....	55
Figure III.17 Vitesse des porteurs en fonction du champ appliqué.....	55
Figure III.18 Variation de la mobilité des porteur en fonction de champ Electricque	57
Figure III.19 le courant I_{ds} en fonction de tension V_{ds}	60
Figure III.20 le courant I_{ds} en fonction de tension V_{gs}	61

INTRODUCTION GÉNÉRALE

Introduction générale

L'histoire des transistors en couches minces fut jalonnée de plusieurs étapes (Figure.1), allant de la naissance du concept du transistor jusqu'à la commercialisation de produits les utilisant. Le tout premier rapport traitant des transistors date de 1930, il est attribué à Julius Edgar Lilienfeld lors du dépôt d'un brevet.[1] Ces documents sont les premiers à présenter l'idée de contrôler le courant électrique. Toutefois, aucune preuve du fonctionnement de ces dispositifs n'a été réalisée.

Le premier transistor en couches minces, (dispositif étudié dans ce manuscrit) n'a été fabriqué qu'en 1962 au « RCA Laboratories », A partir des années 1960. Les performances de ces dispositifs ont été améliorées grâce à l'utilisation de matériaux alternatifs.

Cependant, l'émergence entre 1960 et 1963 des transistors à effet de champ métal oxyde semi-conducteur (MOSFET), basés sur les wafers de silicium monocristallin, a mis un frein au développement des TFT. Néanmoins, dix ans plus tard, un regain d'intérêt fut observé dans l'histoire de ces dispositifs et ce grâce à la publication de Lechner en 1971. Elle démontre la possibilité de contrôler chaque pixel d'un affichage « liquid crystal display » (LCD) avec un transistor en couches minces, les MOSFET ne sont pas adaptés pour ces applications, à cause du coût prohibitif pour une grande surface.[2]

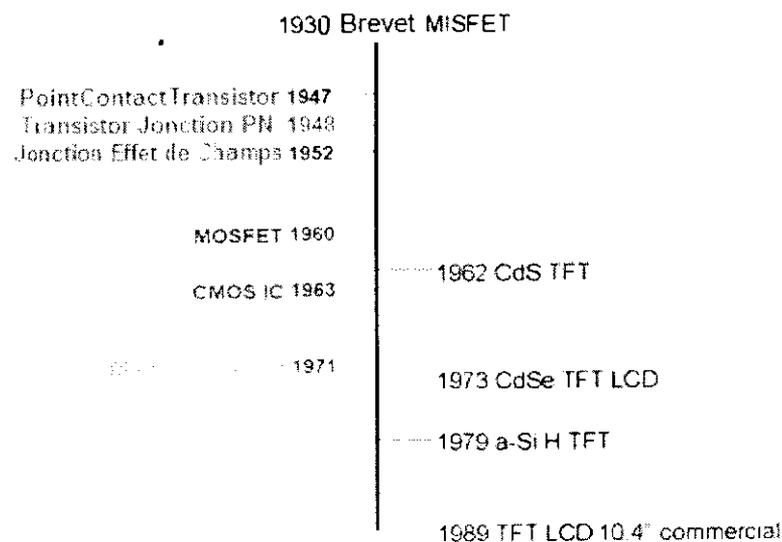


Figure 1 : Historique des transistors en couches minces [2]

Les transistors en couches minces à base de polysilicium, connus sous leur acronyme anglais TFTs (Thin Film Transistors) en poly-Si sont de nos jours établis comme faisant partie d'un développement de technologies à coût peu élevé pour de larges applications dans le domaine de la microélectronique. Différentes applications sont apparues suite aux possibilités qu'offre la combinaison entre le savoir-faire accumulé dans la micro électronique et les nouveaux horizons ouverts par l'utilisation de substrats de dimensions élevées. L'une des principales applications qui a trouvé un grand essor se situe dans les écrans plats à cristaux liquides et à matrice active (AMLCD) (Active Matrix Liquid Crystal Displays), et il se trouve que les transistors en couche mince à base de polysilicium sont parfaitement adaptés à une telle utilisation. En effet, ces transistors sont des dispositifs de première importance, lorsqu'il s'agit de piloter des matrices des écrans plats où ils sont appelés à remplacer les TFTs en silicium amorphe, en raison d'une durée de vie des porteurs plus importante.

Or, l'intérêt de l'utilisation du Silicium polycristallin dans ce type de composants permet de fabriquer des écrans de grande taille. En plus, les divers TFTs en poly-Si peuvent être intégrés directement sur le substrat en verre grâce à la facilité de dépôt du polysilicium en donnant de meilleures performances électriques par rapport au Silicium amorphe (a-Si).

Le choix du polysilicium pour la réalisation du canal de ce type de transistors est lié de façon directe à leurs performances électriques, vu que dans la majorité des modèles de conduction, les propriétés de ce matériau tiennent compte d'une structure particulière à base de grains et de joints de grains.

L'idée du projet proposé à caractère essentiellement théorique, porte sur l'étude analytique et la modélisation du comportement électrique d'un transistor en couche mince ou TFT (Thin Film Transistor) réalisé à base de polysilicium, où ce matériau joue le rôle de semi-conducteur actif. C'est donc dans du polysilicium que seront diffusés les zones de source et de drain, ainsi que le canal de conduction (de type P ou N selon le dopage).

Il est ainsi primordial de maîtriser les propriétés électriques de ce semi-conducteur, particulièrement la mobilité des porteurs du canal, avant d'entamer la phase d'étude analytique du comportement électrique du transistor en question.[3]

Dans un premier chapitre, nous nous intéressons dans un premier temps à l'évolution de la technologie CMOS, et les contraintes prévues pour les générations futures. Dans un second temps nous présentons le comportement du transistor MOS dans ces différents régimes de

fonctionnement. Nous montrons ensuite l'influence de la miniaturisation sur les composants microélectroniques, et nous présentons les différentes solutions prévues pour minimiser cette influence.

Dans le deuxième, nous commençons par présenter un rappel théorique sur la modélisation physique du silicium, ainsi qu'une description physique et électrique des transistors TFT à base de polysilicium, ses principaux paramètres et ses régimes de fonctionnement. Sachant que le polysilicium est le matériau de base pour la fabrication du transistor en question, une étude descriptive de sa structure cristalline fera aussi l'objet de ce chapitre.

Le troisième chapitre sera consacré à la modélisation du comportement électrique du transistor TFT en poly-Si, plusieurs paramètres physiques seront pris en charge dans la modélisation du modèle proposé, et nous terminerons notre mémoire par une conclusion générale ou nous donnerons quelques perspectives à notre contribution.

CHAPITRE I:

ÉVOLUTION ET FONCTIONNEMENT DES MOSFET



I.1 Introduction :

L'évolution des technologies des semi-conducteurs vers des géométries de plus en plus fines permet un accroissement des performances et des fonctionnalités par puce mais s'accompagne simultanément d'une augmentation de la puissance dissipée.

La miniaturisation du transistor à effet de champ est dictée à la fois par des arguments de coût, par la nécessité d'intégrer de nombreuses fonctions sur une surface réduite, mais aussi par la volonté d'augmenter la vitesse des circuits tout en diminuant leur consommation. En fait, la diminution de la longueur de la grille des dispositifs à deux avantages décisifs pour les fabricants : d'une part, à puissance égale, elle permet de réduire la surface de silicium de la puce, ce qui en terme de coût est bénéfique et d'autre part, elle permet d'augmenter la fréquence des circuits, cette dernière étant inversement proportionnelle à la longueur de la grille. La grandeur caractéristique donc d'un transistor qui distingue d'une génération à une autre est la longueur de grille L_G .

En 1965, Gordon Moore, un des fondateurs d'Intel, postula qu'on serait capable de doubler chaque 18 mois le nombre de transistors d'un circuit électronique à prix constant. Sa prédiction s'est extraordinairement bien vérifiée non seulement pour les microprocesseurs, mais aussi pour les mémoires RAM. Aujourd'hui, des circuits intégrés (IC) comprenant plus de 200 millions de transistors sont produits de façon industrielle (microprocesseurs). La longueur de grille des CMOS utilisés pour ces dernières générations de microprocesseurs est égale à $0.1\mu\text{m}$ tandis que la surface de la puce varie de 80 à 150 mm^2 . [4]

I.2 Contraintes pour les générations futures :

A chaque nouvelle génération de transistor, la réalisation du défi lancé par la loi de "Moore" (figure I.1) apparaît comme un "casse-tête" de plus en plus difficile à réaliser. Un compromis complexe entre la physique, la technologie et la rentabilité concentre ainsi toute l'attention des ingénieurs et des chercheurs. Des paramètres et contraintes souvent contradictoires, tels que la performance, la consommation et la fiabilité sont à prendre en compte. Pour résumer, disons que le jeu consiste à augmenter les performances en diminuant les dimensions, sans trop augmenter la puissance dissipée à l'état bloqué du transistor.

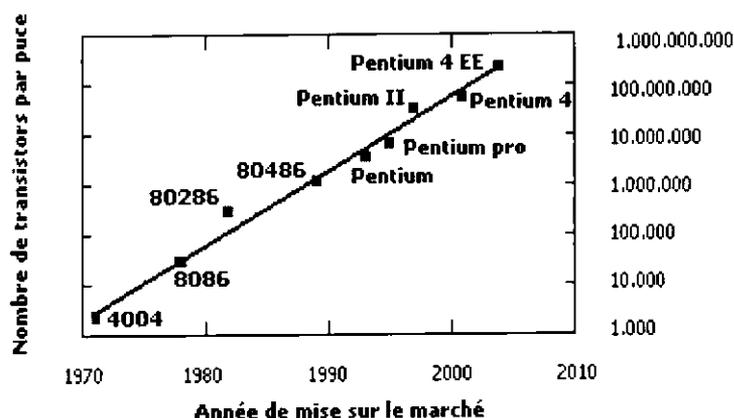


Figure I.1 : Evolution du nombre de transistors dans les microprocesseurs Intel [4]

Malgré l'utilisation de matériels de plus en plus performants, il sera difficile de maintenir l'augmentation des performances électriques des composants au rythme de la loi de Moore. Il convient cependant de rappeler que les données du tableau (I.1) sont basées sur de simples projections des progrès passés. Ceci ne garantit pas forcément qu'un dispositif plus court pourra être fabriqué, ni qu'il présentera les mêmes performances. [4]

Année	1999	2002	2005	2008	2011	2014
L_g (nm)	180	130	100	70	50	35
V_{dd} (v)	1.5- 1.8	1.2-1.5	0.9-1.2	0.6-0.9	0.5-0.6	0.3-0.6
V_T (v)	0.5	0.4	0.35	0.3	0.25	0.2
d_{ox} (nm)	1.9-2.5	1.5-1.9	1.0-1.5	0.8-1.2	0.6-0.8	0.5-0.6
N_a (cm^{-3})	$<10^{18}$	$<10^{18}$	$<10^{18}$	$<10^{18}$	$<10^{18}$	$<10^{18}$
X_j (nm)	45-70	30-50	25-40	20-28	13-20	10-14
E (MV/cm)	<5	5	>5	>5	>5	>5
I_{on} ($\mu A / \mu m$)	750-350	750-350	750-350	750-350	750-350	750-350
I_{off} ($\mu A / \mu m$)	5	10	20	40	80	160
ϕ du wafer	200	300	300	300	300	450

Tableau I.1 : Prévision de l'évolution de la technologie CMOS [4]

La figure (I.2) illustre graphiquement l'évolution espérée des principales caractéristiques des TMOS, à savoir, la longueur de grille (L_g), la tension d'alimentation (V_{DD}), l'épaisseur d'oxyde de grille (d_{ox}) et les profondeurs de jonctions des extensions de source et drain (X_j).

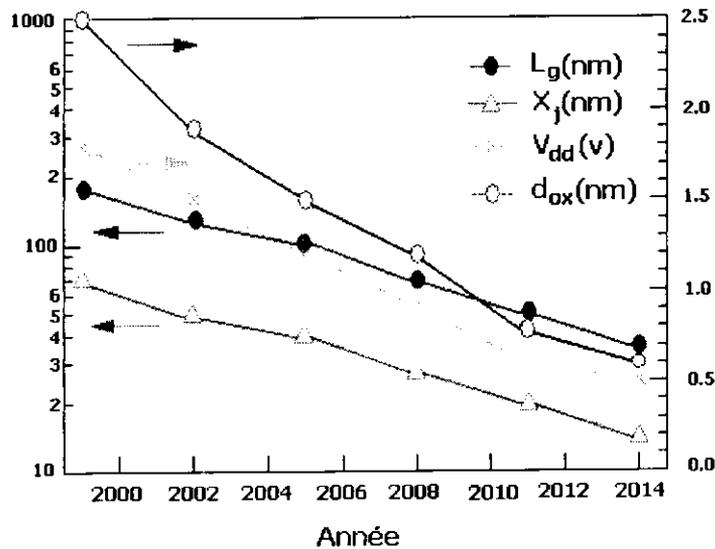


Figure I.2: Évolution espérée des principales caractéristiques des TMOS [4]

Une première analyse de ces valeurs permet d'annoncer quelques possibles limitations et freins technologiques à la réduction d'échelle énoncée selon les critères de la SIA :

- En raison de la réduction de la résistance du canal à l'état passant, il faut veiller à ce que les résistances source/drain, placées en série avec celle du canal, soient suffisamment faibles pour ne pas dégrader sérieusement les performances du composant. Cette contrainte impose donc de ne pas choisir des profondeurs de jonctions X_j trop faibles, et conduit à adopter un très fort dopage de source et de drain. Cela est cependant défavorable du point de vue des effets canaux courts car la réduction des profondeurs de jonctions source/drain permet en fait un meilleur contrôle de la charge du canal à l'état bloqué.
- La tension d'alimentation ne peut que difficilement être réduite en dessous de 0.6 V, en raison de la nécessité du maintien de la tension de seuil (V_T) à un niveau suffisant pour garantir des marges de bruit acceptables dans les circuits logiques.
- La réduction de l'épaisseur d'oxyde en dessous de 2 nm induit un important courant tunnel, or vu les épaisseurs annoncées (figure I.2), de sérieux problèmes risquent de se poser au niveau de la consommation statique. Il est admis que pour une tension d'alimentation de 1 V, la limite maximale admise pour le courant de fuite de grille est de l'ordre de 1 A/cm^2 , ce qui situe l'épaisseur minimale d'oxyde aux environs de 1.8 nm. Cependant, on sait que ces courants de fuite ne perturberont pas le fonctionnement élémentaire des transistors MOS de longueur de canal inférieure à $1 \mu\text{m}$, mais en revanche, augmenteront la puissance dissipée à l'état bloqué. Par ailleurs, il est clair

également que la réduction des dimensions ne peut se faire sans réduire l'oxyde de grille, sous peine de ne plus parvenir à contrôler les effets canaux courts[4].

I.3 Fonctionnement d'un TMOS:

I.3.1 Structure:

Le transistor MOSFET (Transistor Métal-Oxyde-Semiconducteur à effet de champ) est organisé autour d'une structure MOS suivant la dispositif type représenté sur la (figure I.3). Le transistor MOS type N est constitué [4]:

- d'un substrat de type P, pour le transistor NMOS, et de type N pour le transistor PMOS.
- d'une couche conductrice métallique (ou d'une couche de polysilicium fortement dopé) déposée sur l'isolant, appelée électrode de commande (grille), ici l'isolant est un oxyde (silice SiO_2).
- deux régions de type opposé à celui du substrat, fortement dopé, appelées source et drain. La région entre la source et drain est appelée la région du « canal ».

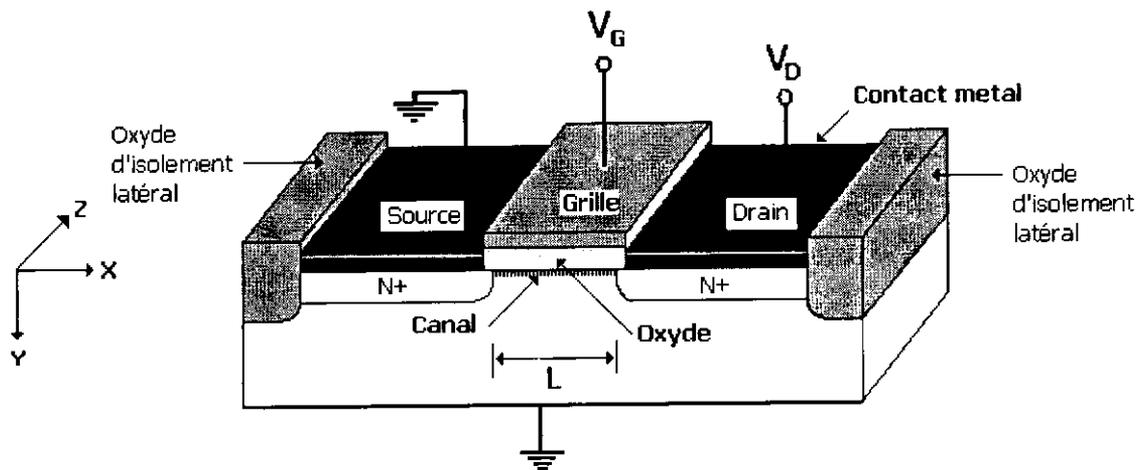


Figure I. 3: Structure et Principe du MOSFET en régime d'inversion [5]

I.3.2 Principe de fonctionnement du transistor MOS:

En l'absence de toute polarisation ($V_D < 0$), l'état électrique de la structure est conditionné par l'état de la capacité MOS qui peut être en régime d'accumulation, de déplétion ou d'inversion. Le principe de fonctionnement du transistor MOS consiste à moduler par la tension de grille l'épaisseur du canal de conduction.

L'application sur la grille d'une tension positive par rapport au substrat génère un champ électrique qui attire les porteurs minoritaires du substrat (les électrons pour le substrat de type P, et les trous pour le substrat de type N), vers la surface, donc la couche d'inversion est créée et le canal est ainsi formé. Maintenant, en polarisant le transistor par une tension V_{DS} , cette tension autorise le passage d'un courant entre la source et le drain. Le courant qui circule dans le canal est le courant des porteurs minoritaires[4].

I.3.3 Régime de fonctionnement :

L'application d'une tension V_G sur la grille se traduit par un décalage du niveau de Fermi. Suivant le signe et la valeur de V_G on peut distinguer quatre cas de fonctionnement [4]:

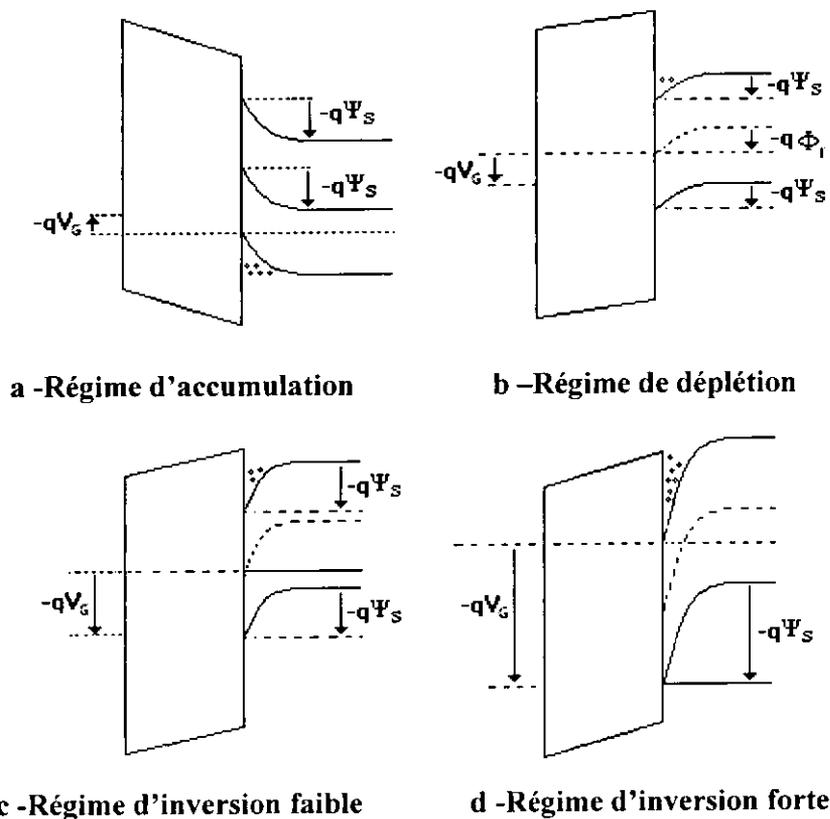


Figure I. 4 : Diagrammes des bandes dans les différents modes de fonctionnement d'un transistor MOS type N. [4]

I.3.3.1 Régime d'accumulation :

Lorsque la tension appliquée sur la grille est négative, le champ électrique généré attire les porteurs majoritaires du substrat à l'interface entre le semi conducteur et l'oxyde. Il existe une barrière de potentiel entre la source et le substrat. Le courant ne passe pas dans ce cas et le transistor est à l'état bloqué (figure I.4-a).

I.3.3.2 Régime de déplétion :

Dans ce régime la tension appliquée sur la grille est supérieure à la tension de bande plate $V_G > V_{FB}$. Le transistor est à l'état bloqué, puisque les porteurs sont repoussés en profondeur du substrat. Aucun courant ne circule dans le composant dans ce cas également (figure I.4-b).

I.3.3.3 Faible d'inversion (régime sous le seuil) :

Si on fait augmenter V_G , le potentiel à la surface du substrat augmente jusqu'à atteindre une valeur permettant le déplacement des électrons de la source vers le drain, les électrons sont alors collectés par celui-ci et par conséquent participent au courant électrique dans le cas où $V_G < V_T$ (V_T est appelée tension de seuil : elle représente une valeur particulière de la tension de grille, nécessaire pour amorcer la forte inversion). On dit alors que le canal est en faible inversion.

Le courant qui circule entre le drain et la source, appelé courant sous le seuil, est alors donné par :

$$I_{DS} = \mu C_{OX} \frac{W}{L} \phi_s^2 \exp\left(\frac{V_{GS} - V_T}{n \phi_s}\right) \left\{1 - \exp\left(-\frac{V_{DS}}{\phi_s}\right)\right\} \quad (I.1)$$

Où $\phi_s = \frac{kT}{q}$: Tension thermodynamique.

$n = 1 + C_D / C_{OX}$ (en technologie bulk)

avec C_D , la capacité de la couche déplétée ; C_{OX} , la capacité de l'oxyde de grille.

μ : mobilité des porteurs majoritaires.

W : largeur du canal.

L : longueur du canal.

De plus, pour une tension grille - source nulle (transistor bloqué), un courant très faible circule dans le composant : c'est un courant de fuite dont l'expression est donnée par :

$$I_{OFF} = I_T \exp\left(\frac{-V_T \ln 10}{S}\right) \quad (I.2)$$

I_T : courant correspondant à la tension de seuil.

S : la pente sous le seuil en échelle semi- logarithmique.

L'expression de la pente sous le seuil est :

$$S = \ln(10) \frac{\partial V_{gs}}{\partial (\ln(I_D))} = n \frac{kT}{q} \ln(10) = \left(1 + \frac{C_D}{C_{ox}} \right) \frac{kT}{q} \ln(10) \quad (I.3)$$

La pente sous le seuil s'exprime en mV/dec, elle correspond à la tension qu'il faut appliquer sur la grille pour augmenter le courant d'une décade. Dans la cas idéal et à la température ambiante, $n=1$ et $S=60\text{mV/dec}$.

Toutes les caractéristiques sous le seuil peuvent être obtenues à partir d'une courbe $I_D(V_G)$ tracée sur une échelle semi-logarithmique (figure I.5) :

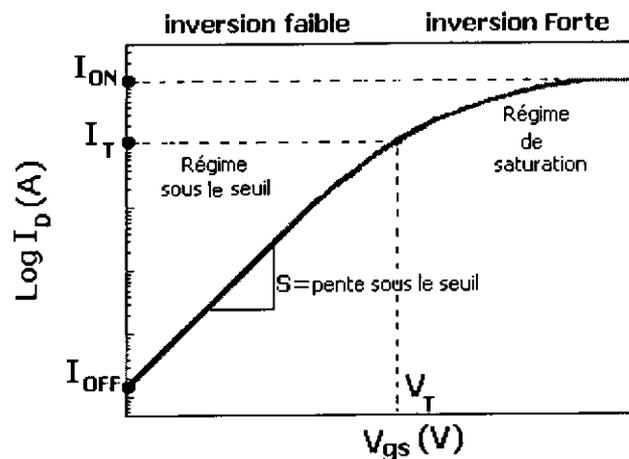


Figure I. 5: Courbe $I_D(V_G)$ illustrant la séparation établie par la tension de seuil entre Inversion faible et forte, et regroupant les principales caractéristiques sous le seuil [4]

I.3.3.4 Forte inversion :

Dès que la tension de grille dépasse la tension de seuil, on dit que le canal est en forte inversion. Dans ce cas on peut distinguer trois modes de fonctionnement selon la valeur de la tension du drain V_{DS} [4].

a) Régime ohmique :

Pour des tensions drain -source (V_{DS}) très inférieures à la tension de saturation ($V_{DS} \ll V_{DSSAT}$), la couche d'inversion est pratiquement uniforme le long de canal, et le courant de drain varie proportionnellement à la tension (V_{DS}) (équation I.4); le transistor fonctionne alors en régime linéaire (figure I.6). Dans ce régime le courant peut s'écrire sous la forme suivante :

$$I_D = \mu C_{ox} \frac{W}{L} (V_{GS} - V_T) V_{DS} \quad (I.4)$$

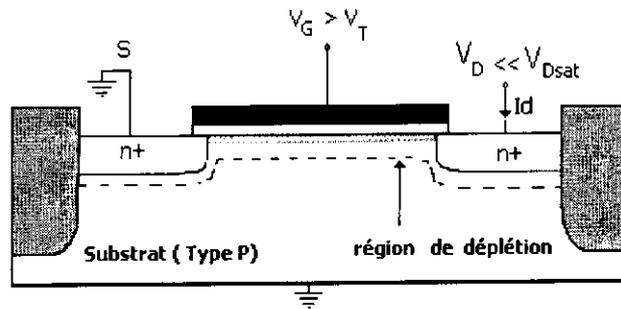


Figure I. 6: régime de fonctionnement linéaire (ohmique) [5]

b) Régime pincé :

Si on continue à augmenter la tension de drain V_{DS} , l'effet de V_{GS} au niveau de drain diminue de sorte qu'il devient insuffisant pour maintenir la couche d'inversion. Le canal est interrompu près du drain. On dit qu'il est pincé. La tension au point de pincement est égale à $(V_G - V_T)$, valeur limite nécessaire pour maintenir l'inversion. (figure I.7).

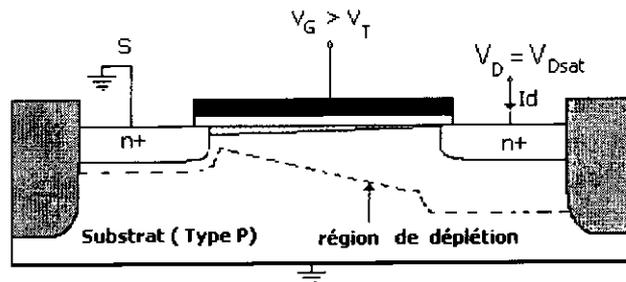


Figure I. 7: régime pincé [5]

c) Régime de saturation :

En augmentant davantage la tension $V_{DS} > V_{GS}$, le point de pincement se déplace vers la source. (figure I-8)

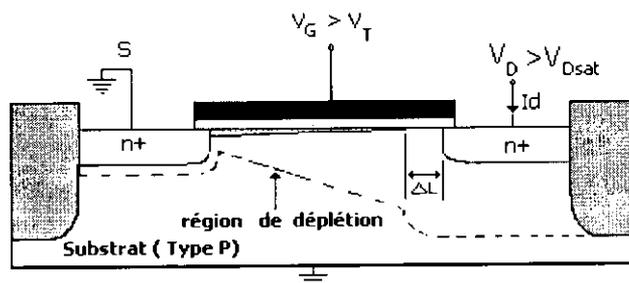


Figure I. 8 : régime de saturation [6]

Le courant de saturation s'écrit sous la forme :

$$I_{sat} = \mu c_{ox} \frac{W}{2L} (V_{GS} - V_T)^2 \quad (I.5)$$

Ou encore :

$$I_{sat} = \mu c_{ox} \frac{W}{2L} V_{Dsat}^2 \quad (I.6)$$

En tenant compte de la longueur effective du canal ($L - \Delta L$), le courant de drain s'exprimé par :

$$I_D = I_{sat} \frac{1}{1 - \frac{\Delta L}{L}} \quad (I.7)$$

Où ΔL : représente la longueur de déplacement du point de pincement vers la source.

I.3.4 Tension de seuil :

La tension de seuil est l'un des paramètres les plus important dans l'étude de transistor MOS, est définie comme étant la tension à appliquer sur la grille pour obtenir la forte inversion, c'est-à-dire [6] :

$$\psi_S = 2 \cdot \Phi_F, \text{Où :}$$

- ψ_S : potentiel de surface.
- Φ_F : est le potentiel correspond au déplacement du niveau de Fermi.

Dans le cas idéal, l'expression de la tension de seuil est donnée par :

$$V_T = 2 \phi_F + \frac{\sqrt{4 \cdot e \cdot N_A \cdot \epsilon_{Si} \cdot \phi_F}}{C_{ox}} \quad (I.8)$$

Où : N_A : dopage du substrat.

Mais lorsqu'on incorpore les effets de charges fixes dans l'oxyde et la différence des travaux de sortie (du métal et du semi-conducteur), il apparaît un décalage de la tension de seuil d'une quantité égale à la tension de bande plate V_{FB} ; donc la tension de seuil devient :

$$V_T = V_{FB} + 2 \phi_F + \frac{\sqrt{4 \cdot e \cdot N_A \cdot \epsilon_{Si} \cdot \phi_F}}{C_{ox}} \quad (I.9)$$

La tension de seuil typique d'un nano MOSFET est comprise entre 0.2 et 0.4V [4].

I.3.5 Caractéristique courant- tension :

A partir des expressions du courant de drain en fonction des la tension drain – source et grille-source, on représente alors les caractéristiques de sortie et de transfert du MOSFET qui sont représentées sur la figure (I.9).

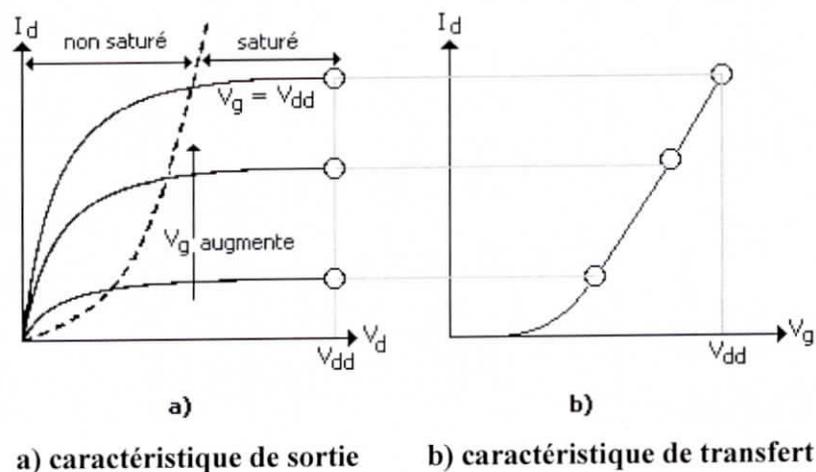


Figure I. 9 : Réseau de la caractéristique du MOSFET [4]

I.4 L'effet de canal court :

La réduction de L_G s'accompagne de l'apparition d'effets électrostatiques parasites, dits "effet canal court" « SCE », qui perturbent le bon contrôle par V_{GS} de la conductivité entre source et drain. En effet, plus la longueur du canal est faible, plus les zones des charges d'espace (ZCE) des jonctions, source/substrat et drain/substrat se rapprochent jusqu'à ce qu'elles se recouvrent en partie (figure I.10).

A ce moment là, la charge de déplétion dans le canal de conduction est en grande partie contrôlée par les jonctions et non par la grille. Cet effet canal court se traduit alors par un abaissement de la barrière entre la source et le drain.

Afin de limiter l'impact de ces effets de canal court et donc d'augmenter le contrôle de la grille sur le canal, plusieurs solutions sont proposées dans la littérature, dont la plus importante est la technologie SOI [4].



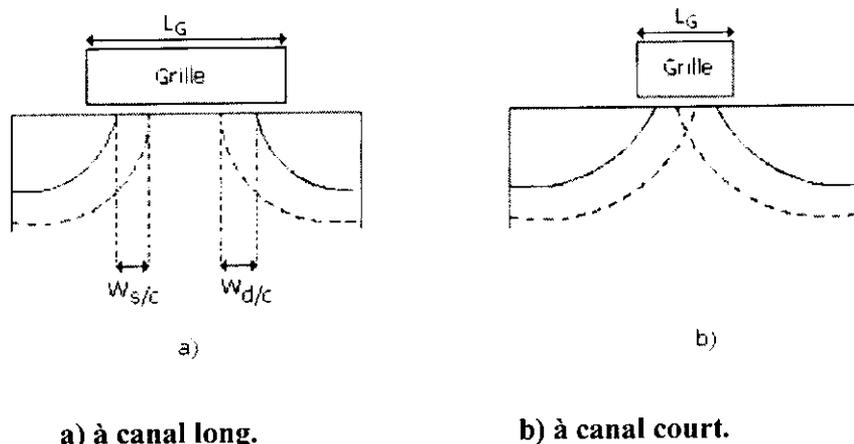


Figure I. 10 : Structure d'un transistor MOSFET bulk.

Dans le dernier cas, les effets canaux courts résultent du chevauchement des zones de charges d'espaces des régions dopées [4]

1.5 Technologie SOI:

Historiquement, on a commencé par considérer, dans la technologie SOI, un transistor MOS à grille unique, le transistor sur film mince ou SOI (Silicon On Insulator) se distingue du transistor conventionnel par la présence d'une couche d'oxyde enterré.

Le schéma d'un transistor MOS SOI est présenté en figure (I.11). On constate que les caissons source et drain et la zone active de silicium, tous d'épaisseur T_{Si} , reposent directement sur l'oxyde enterré d'épaisseur T_{Oxen} . Alors, l'intérêt de l'oxyde enterré est de séparer les zones actives du substrat. Les effets canaux courts résultant du chevauchement des zone de charges d'espace avec les régions dopées coté substrat sont aussi élimines (figure I.12)[4].

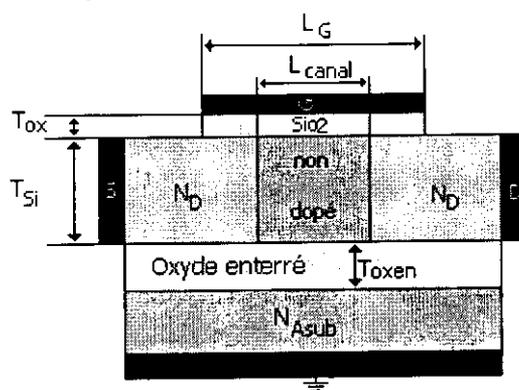


Figure I. 11: Schéma d'un transistor MOS sur SOI [4]

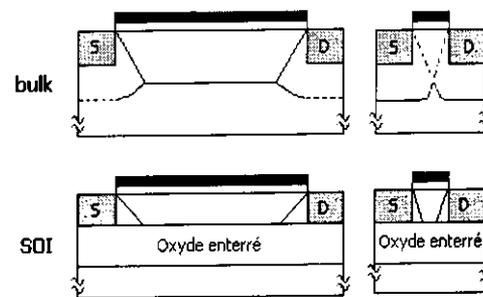


Figure I.12 : Distribution de la charge de déplétion pour le MOSFET bulk et le SOI [4]

Conclusion :

Dans ce premier chapitre, nous avons commencé par rappeler les divers ^{régimes} ~~régions~~ de fonctionnement du transistor MOS. Cependant, la diminution des dimensions de ce type de structure fait apparaître des effets parasites. La technologie du transistor MOS SOI, est une technologie qui utilise un oxyde enterré présent sur le substrat. Le but de la présence de cet oxyde enterré est de séparer le chevauchement des zones des charges d'espaces source/ substrat et drain /substrat du lui-même.

Mais aussi la réduction des dimensions de TMOS en technologie SOI fait apparaître également des phénomènes complexes. A partir de 10nm d'épaisseur d'oxyde, les effets quantiques deviennent inévitables.

CHAPITRE II:

**ÉTAT DE L'ART DES TRANSISTORS
EN COUCHES MINCES AVEC CANAL
EN POLYSILICIUM**

II.1 Introduction :

Les MOSFET aussi bien que les TFT sont des transistors à effet de champ dans lesquels l'empilement vertical métal/isolant/semi-conducteur est présent. Par conséquent, leur principe de fonctionnement est similaire. Cependant, deux différences sont à noter [7] :

- La première se situe au niveau de la structure. Les TFT sont composés uniquement de couches minces, ce qui leur permet d'avoir un coût de production faible pour des applications sur grandes surfaces, mais aussi d'envisager des applications flexibles ou encore transparentes. Le MOSFET est, quant à lui, fabriqué sur un wafer de silicium (Figure II.1). Son canal est composé de silicium monocristallin, ce qui lui permet d'obtenir des mobilités de porteurs de charge très élevées. Ce sont deux architectures complémentaires.
- La seconde se situe au niveau du fonctionnement. Pour les MOSFET, le courant passe à travers une couche d'inversion, alors que pour les TFT, il traverse une couche d'accumulation. En effet, un MOSFET à l'état bloquant peut être vu comme deux diodes PN têtes-bèches empêchant le passage du courant dans un sens comme dans l'autre. La polarisation de la grille va engendrer la création d'une couche d'inversion dans le canal, qui sera en mesure de laisser passer les électrons. Alors que le TFT à l'état bloquant s'oppose au courant uniquement à cause d'une très forte résistivité. L'accumulation des charges dans le canal provoque une augmentation de la conductivité. Ce mode de fonctionnement peut être divisé en deux sous types [7]:
 - Enrichissement : si le canal est bloquant lorsque le potentiel de la grille est nul, et que l'enrichissement par polarisation est nécessaire pour permettre le passage du courant.
 - Déplétion : si le canal est passant lorsque le potentiel de la grille est nul, et que la déplétion par polarisation est nécessaire pour bloquer le passage du courant.

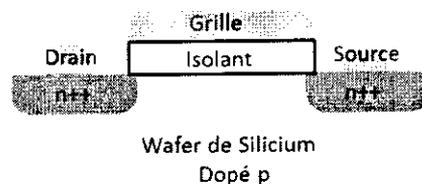


Figure II. 1 : Structure d'un MOSFET

Une erreur courante est de vouloir opposer le MOSFET au TFT. Chacun de ces dispositifs possède des avantages et des inconvénients. Le point fort du premier est indéniablement ses performances (mobilité d'environ $500 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$), qui sont supérieures à

celle généralement obtenues pour des TFT. De plus, la très bonne maîtrise des procédés de fabrication permet d'aller toujours plus loin dans la miniaturisation des composants. En 2014, Intel a atteint le nœud technologique de 14nm avec le processeur « Core M » [8].

Cet avantage permet d'atteindre des densités d'intégration ainsi que des fréquences de fonctionnement incomparables. Parmi ses points faibles, il est possible de citer les températures de fabrication pouvant atteindre les 1000°C, notamment lors de la fabrication de l'oxyde de grille [8].

Deux autres points faibles du MOSFET sont la taille et la nature du substrat. Il se limite à des « wafers » en silicium de 300mm de diamètre, alors que les TFT peuvent être fabriqués sur des substrats carrés ou rectangulaires et peuvent être de différentes natures : verre, plastique, rigide, flexible voire même étirable. Ces deux architectures sont donc complémentaires. Là où le MOSFET trouve ses limites, les TFT peuvent être une alternative excellente. Le meilleur exemple est bien évidemment les matrices actives d'écran LCD, mais avec le développement de ces dispositifs de nouvelles applications voient le jour, notamment dans les « system-on-glass » [8].

A terme, il serait même possible d'envisager des architectures 3D dans lesquelles des TFT seraient empilés sur des MOSFET, ce type d'architecture pourrait avoir des applications intéressantes, particulièrement dans les mémoires non-volatiles [8].

Dans ce chapitre, nous commençons par présenter un rappel théorique sur la modélisation physique du silicium, ainsi qu'une description physique et électrique des transistors TFT à base de polysilicium, ces principaux paramètres et ces régime de fonctionnement. Sachant que le polysilicium est le matériau de base pour la fabrication du transistor en question, une étude descriptive de sa structure cristalline fera l'objet de ce chapitre.

II.2 Modélisation physique du silicium :

II.2.1 Structure de bandes :

On utilise des relations analytiques de dispersion en énergie $E(k)$ pour décrire les extrema (Vallées) de la structure de bandes du Semiconducteur susceptibles d'être occupés par des porteurs. Pour le silicium la structure de bandes $E(k)$ est représentée sur la figure (II.2), en fonction de k dans les deux directions choisies $\{<111>, <100>\}$ [4].

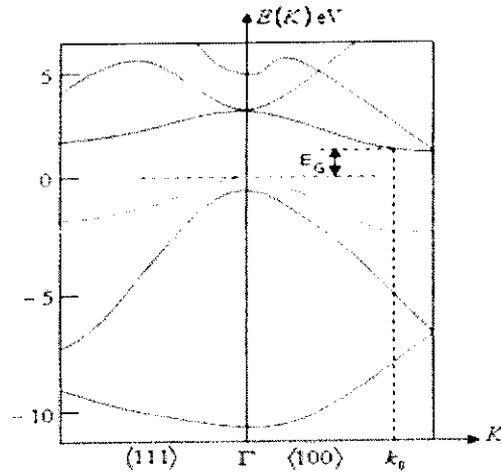


Figure II.2 : Diagramme de bandes d'énergie du silicium. Echelle des énergies en eV[4]

L'origine de l'échelle des énergies est fixée au sommet de la bande de valence à $k=0$. Ce minimum de la bande de conduction se trouve dans la direction $[100]$ à 85 % du bord de la zone de Brillouin (figure II.3). La largeur de bande interdite à température ambiante est égale $E_G = 1.12$ eV et augmente faiblement quand la température diminue [4].

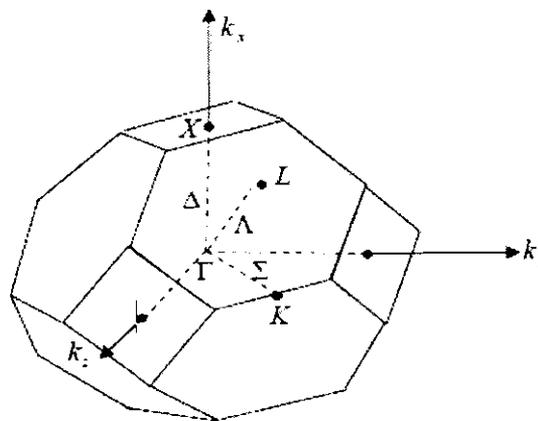


Figure II.3 : Première zone de Brillouin d'un cristal cubique [4]

Avec :

- Direction Δ : direction 100 et équivalentes.
- Direction Λ : direction 111 et équivalentes.
- Direction Σ : direction 110 et équivalentes.
- Point Γ : centre de zone.
- Point X : bord de zone dans la direction 100 et les directions équivalentes.
- Point L : bord de zone dans la direction 111 et les directions équivalentes.
- Point K : bord de zone dans la direction 110 et les directions équivalentes

Comme le silicium a une structure cubique, il existe six directions équivalentes qui sont (1,0,0), (-1,0,0), (0,1,0), (0,-1,0), (0,0,1) et (0,0,-1). La bande de conduction présente donc six minima équivalents, on dit que le silicium est une semi-conductrice multivallée à six vallées (figure II.3). La masse effective dépend de la direction cristallographique considérée. Pour chacune des 6 vallées, on aura une masse longitudinale ($m_l = 0.98m_e$), qui décrit le mouvement parallèle à l'axe [100] et deux masses transverses ($m_t=0.19m_e$), qui décrivent le mouvement perpendiculaire à l'axe [100][4].

La bande de valence du silicium, présentée sur la Figure II.4, est modélisée de façon simple par deux vallées sphériques. La bande à faible courbure correspond à une masse effective supérieure à celle de la bande à forte courbure. On appelle trous lourds, de masse m_{hh} , les porteurs de charges dans les états de la première bande et trous légers de masse m_{lh} ceux des états de la deuxième[4].

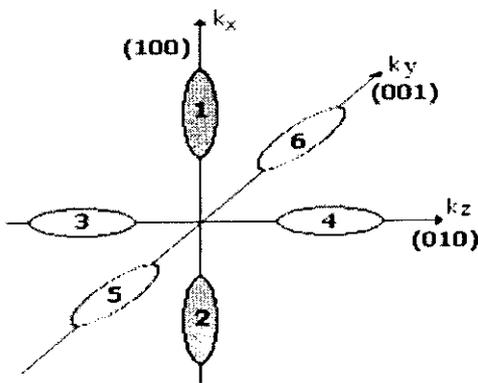


Figure II. 4 : Les six vallées équivalentes de la bande de conduction du silicium [4]

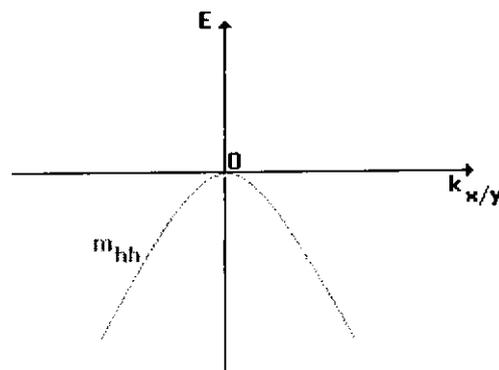


Figure II.5 : Les bandes de valence analytiques du silicium [4]

La relation de dispersion pour un électron $2Dk$ du niveau (appelé aussi sous- bande) numéro 'n' s'écrit :

$$E(1 + \alpha.E) = E_n - \frac{\hbar^2}{2} \left(\frac{k_x^2}{m_x} - \frac{k_y^2}{m_y} \right) \quad (II.1)$$

Où :

- α : coefficient de non parabolicité.
- k_x et k_y sont les composantes du vecteur d'onde à partir du minimum du niveau, m_x et m_y celles des masses effectives et E_n l'énergie quantifiée (dans la direction z) du niveau 'n' [4].

II.2.2 Notion de masse effective :

Les propriétés électroniques du silicium sont connues dans la littérature. Un électron dans la bande de conduction subit un potentiel électrostatique. Dans le silicium il y a la périodicité du réseau cristallin, donc il est possible d'après la théorie de Bloch, de trouver les fonctions d'ondes décrivant l'état d'une particule dans un potentiel périodique.

Dans la bande de conduction, un électron peut exister à l'état lié, quasi-libre ou libre.

Dans le cas du silicium, l'électron est dans un état quasi-libre, à cause de la périodicité du silicium, et sa masse est alors donnée par [4] :

$$m = \frac{\hbar^2}{\partial^2 E / \partial k^2} \quad (\text{II.2})$$

Le potentiel cristallin n'étant pas isotrope on peut donc montrer que la masse des porteurs est variable au sein du réseau cristallin. Dans ce cas on parle de masse effective.

II.3 Structure cristalline du silicium:

En cristallographie, la structure d'un cristal est complètement décrite par les paramètres de réseau d'une de ses mailles élémentaires, son groupe d'espace et la position des atomes qui lorsque toutes les opérations de symétrie du groupe d'espace seront appliquées sur eux, généreront tout le contenu de la maille.

La structure d'un cristal est un concept fondamental pour de nombreux domaines de la science et de la technologie [9].

II.3.1 Etat cristallin:

Un solide cristallin est constitué par la répétition périodique dans les trois dimensions de l'espace d'un motif atomique ou moléculaire, appelé maille. Un cristal est donc constitué d'un ensemble de points régulièrement disposés. Cet ensemble est appelé réseau cristallin et les points le constituant sont appelés noeuds du réseau.

A cause de la périodicité du réseau, toute paire de noeuds (O, M) définit un vecteur :

$$\vec{OM} = m_1 \vec{a}_1 + m_2 \vec{a}_2 + m_3 \vec{a}_3$$

Chapitre II: Etat de l'art des transistors en couches minces avec canal en polysilicium

- $m_1 m_2 m_3$: étant des entiers relatifs
- $\hat{a}_1, \hat{a}_2, \hat{a}_3$: sont trois vecteurs de translation fondamentaux qui lient deux bases proches voisines dans les trois directions, on distingue [9] :

II.3.2 Etat monocristallin:

Dans l'état monocristallin l'arrangement atomique se répète d'une manière régulière dans les trois directions de l'espace à travers tout le solide. Cette répétition est identique en terme de composition, orientation et position des atomes, un monocristal a une seule orientation.

II.3.3 Etat polycristallin:

Dans le polycristallin l'arrangement comporte plusieurs orientations se juxtaposent les unes aux autres.

II.3.4 Etat amorphe:

Toute structure de la matière qui n'est pas cristalline est dite "amorphe". Dans cet état on perd la périodicité, l'état amorphe se caractérise par un certain degré d'ordre uniquement au voisinage immédiat d'un point donné (généralement les premiers atomes voisins). Il y a peu ou pas d'ordre sur une longueur comparable à la distance entre deux points identiques de l'état cristallin.

II.4 Propriétés du matériau:

Comme beaucoup d'autres éléments, le silicium peut exister sous différentes structures, dont les deux extrêmes sont respectivement l'état amorphe et l'état cristallin. Il est habituel de considérer que le silicium polycristallin est composé d'une manière hétérogène de ces deux formes, c'est à dire de grains cristallins séparés par des zones amorphes [9].

II.4.1 Le silicium monocristallin:

Dans un cristal idéal de silicium les atomes sont arrangés selon la structure diamant avec une distance inter-atomique de $d = 2.35 \text{ \AA}$. La liaison entre les atomes les plus proches est de caractère covalent. A ce type de liaison correspondent des états électroniques, qui sont couplés entre eux dans le potentiel périodique dans le cristal conduisant à des bandes d'énergie permise et interdite pour les électrons. La bande interdite appelée "gap" séparant la bande permise supérieure appelée bande de valence (BV) (pleine au zéro absolu), de la bande permise

Chapitre II: Etat de l'art des transistors en couches minces avec canal en polysilicium

au-dessus, appelée bande de conduction (BC) (vide au zéro absolu) est égale à $E_g=1.12\text{eV}$ à température ambiante.

L'importance du gap E_g , détermine l'échange des porteurs de charge entre les différentes bandes d'énergie et ainsi les propriétés électroniques du semi-conducteur.

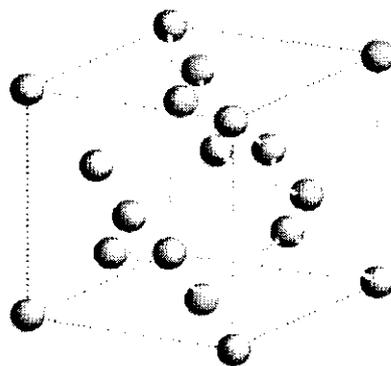


Figure II. 6 : Maille cubique conventionnelle de la structure diamant [9]

II.4 .2 Le silicium amorphe:

Dans le silicium amorphe les liaisons chimiques satisfont la plupart du temps la configuration tétraédrique ou un atome de silicium est lié à quatre atomes voisins, la distance.

Entre cet atome et ses voisins est caractéristique de la liaison covalente Si-Si et vaut 0.23nm . Cette organisation locale est très semblable à celle rencontrée dans le silicium cristallin. On dit pour cette raison que dans le silicium amorphe, l'ordre local est préservé si l'organisation tétraédrale précédente était parfaitement respectée par tous les atomes on retrouverait nécessairement l'ordre cristallin pour l'ensemble du matériau. En réalité, les angles sont légèrement différents de ceux rencontrés dans un tétraèdre régulier, on dit que l'on a affaire à des tétraèdres distordus, cette distorsion présente un caractère aléatoire, fonction de l'atome choisi pour centre. La conséquence est que la distance entre un atome et son deuxième proche voisin présente une dispersion appréciable. Cette dispersion augmente avec la distance de sorte que lorsque la distance à un atome donné dépasse quatre ou cinq distances interatomiques les positions inter-atomiques relatives à cet atome sont aléatoirement distribuées. On peut caractériser ce désordre en décrivant l'organisation de manière statistique. Une conséquence du désordre est qu'il y a nécessairement des atomes de silicium qui ne sont pas tétracoordonnés, on dit d'un tel atome qu'il a une liaison non satisfaite ou encore une liaison pendante (figure II.7). Cette liaison pendante a une très grande influence sur les propriétés électroniques du silicium amorphe. Elle est caractérisée par la présence d'un électron célibataire de l'atome concerné. Un

second électron peut aisément s'y fixer, pour former une paire d'électrons, le centre est alors chargé négativement. Les liaisons pendantes constituent de ce fait des pièges à électrons très efficaces. L'électron célibataire peut aussi éventuellement quitter l'atome, laissant un centre chargé positivement.

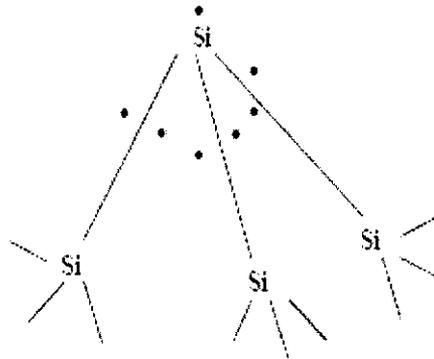


Figure II.7 : Le silicium amorphe [9]

II.4 .3 Le silicium polycristallin:

On peut imaginer les structures intermédiaires entre ces deux états extrêmes. En particulier, il peut exister des phases constituées de l'état cristallin et de l'état amorphe, c'est ainsi que l'on définit le silicium polycristallin, ce matériau est constitué de grains monocristallins séparés entre eux par des zones désordonnées et riches en défauts cristallins, que l'on peut assimiler à du silicium amorphe et que l'on nomme joints de grains. Chacun de ces deux composants de silicium polycristallin, grains et joints de grains, possède des caractéristiques propres que nous rappelons brièvement :

- Le grain peut être défini par sa taille et par sa qualité cristalline.
- Les caractéristiques essentielles du joint de grain sont ses dimensions c'est-à-dire son épaisseur, et également sa densité de défauts.

Parler d'un type unique du silicium polycristallin serait donc une erreur et c'est pourquoi il est toujours nécessaire de définir le silicium polycristallin selon certains critères que l'on peut résumer comme ceci

- Texture et taille de grains ;
- Densité de défauts intragranulaires et intergranulaires ;
- Rapport du volume cristallin sur le volume amorphe ;
- Porosité.

Chapitre II: Etat de l'art des transistors en couches minces avec canal en polysilicium

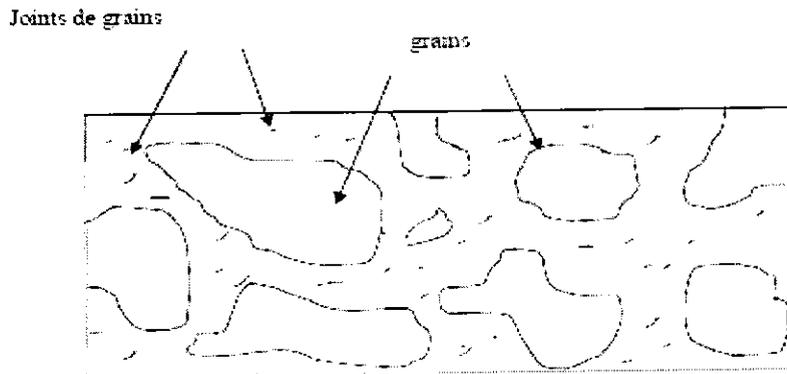


Figure II.8: joints de grains [9]

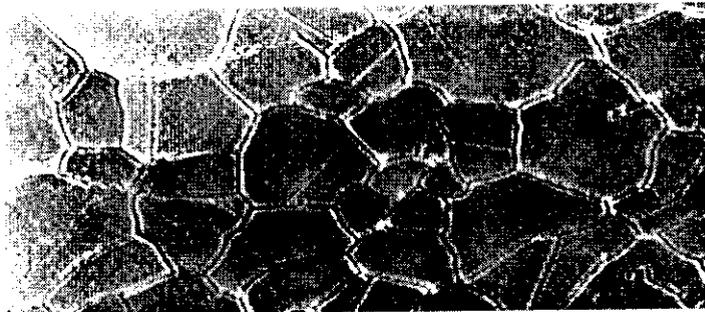


Figure II.9: joints de grains (Vue MEB : Microscopie électronique à balayage) [10]

II.5 Descriptions physique et électrique des transistors en couche mince (TFTs) a base de polysilicium :

II.5.1 Structure des transistors TFTs :

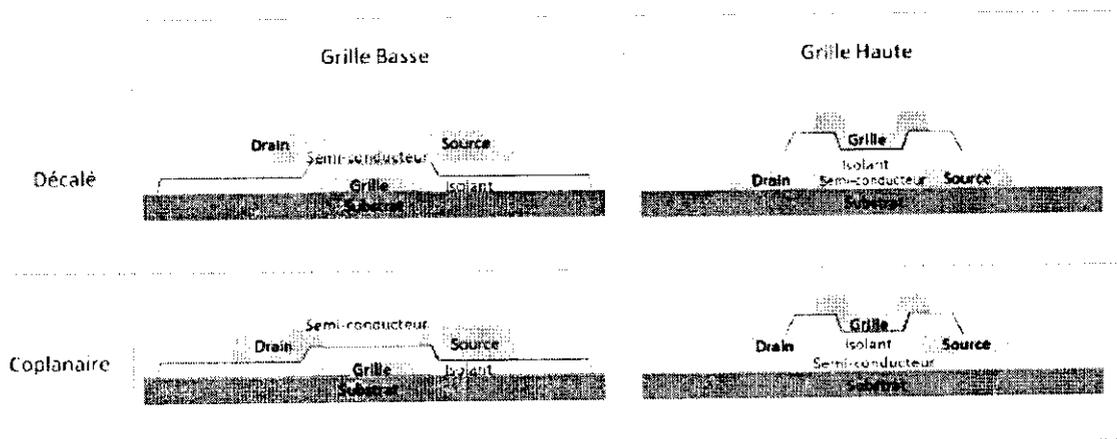


Figure II. 10 : Les quatre différentes structures des TFT [7]

Chapitre II: Etat de l'art des transistors en couches minces avec canal en polysilicium

Pour réaliser ce dispositif, plusieurs types de structures sont envisageables, la Figure II.10 présente les quatre principales. Elles se différencient par :

- la position de l'électrode de grille. Si c'est la première couche déposée sur le substrat, elle est dite « grille basse ». Si c'est la dernière, elle est appelée « grille haute ».
- la position des électrodes source/drain par rapport à la grille. Lorsque les trois électrodes sont du même côté du semi-conducteur, le TFT est dit « coplanaire ». Lorsqu'elles sont d'un côté et de l'autre de la couche semi-conductrice, la structure est dite « décalée »[7].

Ces quatre structures présentent uniquement les couches indispensables à la réalisation d'un TFT, mais dans la littérature des structures possédant d'autres couches peuvent être utilisées. Une des couches additionnelles la plus fréquemment rencontrée est la couche de passivation. Celle-ci est isolante et permet de protéger la surface supérieure du semi-conducteur de l'environnement. Elle peut aussi servir comme couche permettant d'arrêter la gravure pour protéger le canal lors de la définition des électrodes source et drain. Des dépôts de semi conducteur fortement dopé peuvent être placés entre les électrodes source/drain et le canal pour diminuer les résistances de contact et ainsi optimiser les performances du transistor. Ces couche sont indispensables lorsque le canal est en silicium amorphe ou cristallin[7].

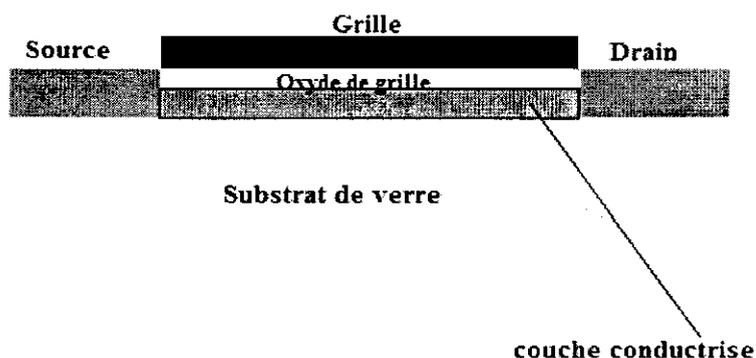


Figure II. 11 : Structure de TFT utilisable en recherche

Le choix de la structure la plus adaptée dépend de plusieurs paramètres : les performances requises pour l'application, les matériaux utilisés et la simplicité du procédé de fabrication.

II.5.2 Propriétés électriques du film du silicium polycristallin :

La structure du polysilicium dépend étroitement des conditions de dépôt, des méthodes de cristallisation et des post-traitements (recuit, hydrogénation). Dans l'hypothèse d'un matériau

Chapitre II: Etat de l'art des transistors en couches minces avec canal en polysilicium

polycristallin formé de grains de tailles identiques L_g (μm), de joints de grains d'épaisseur négligeable par rapport à L_g avec une densité de pièges N_T mono énergétique localisée par un niveau d'énergie E_t dans la bande interdite, son mécanisme de conduction électrique est gouverné par le transport à travers le joint de grain, ce transport peut être engendré par deux mécanismes possibles [3] :

- Mécanisme de ségrégation des atomes dopants : Ce mécanisme décrit la tendance des joints de grains à se comporter comme puits vis-à-vis des impuretés. Aux faibles concentrations d'impuretés, les atomes dopants se localisent aux joints de grain, par la suite les cristallites se trouvent dépeuplées, la conduction induite est alors faible. Par contre, aux concentrations d'impuretés supérieures, une saturation des joints de grains se produit, accompagnée d'une migration des atomes en excès vers l'intérieur des cristallites, ce qui induit une nette amélioration de la conduction électrique.
- Mécanisme de piégeage des porteurs de charges sur des états pièges : Le modèle basé sur ce mécanisme tient compte du nombre important de défauts présents aux joints de grains, ce qui limite le passage des porteurs d'un grain à l'autre, réduisant ainsi leur mobilité. Par conséquent, le comportement électrique du polysilicium est directement lié à son profil de densité d'états de charge dont l'allure est indiquée sur la figure II.2. On distingue deux types d'états dont :
 - Les états de queues de bandes généralement attribués à des défauts légers de nature géométrique telle la liaison Si - Si.
 - Les états profonds dûs aux liaisons Si- Si pendantes

Les états localisés dans la partie supérieure du gap énergétique se comportent comme des états accepteurs, alors que ceux de la partie inférieure se comportent comme des états donneurs. Ils peuvent être accepteurs et se diviser en états de queue accepteurs et états profonds accepteurs, ou donneurs divisés en états de queue donneurs et états profonds donneurs [3].

Ce phénomène de piégeage des porteurs joue un rôle prépondérant dans le mécanisme de conduction du polysilicium, qui se répercute directement sur les caractéristiques électriques du transistor en couche mince à base de polysilicium ou TFT en poly-Si.

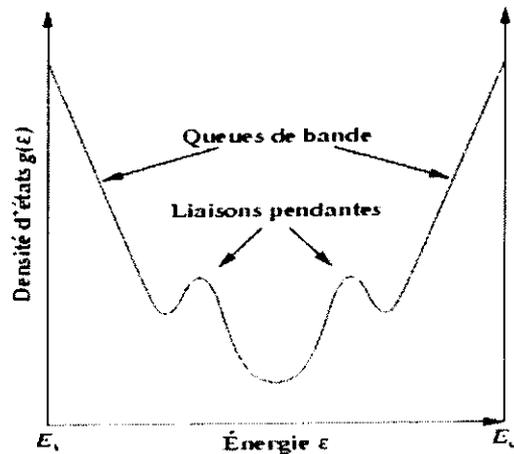


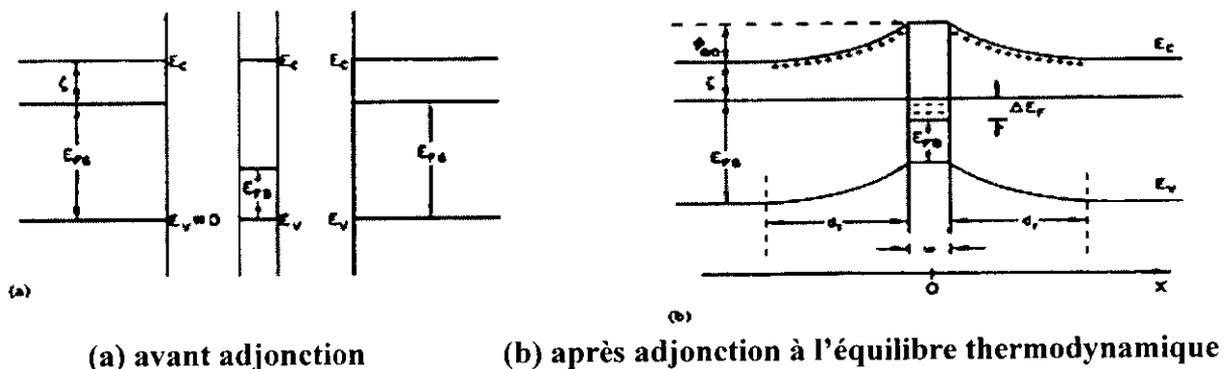
Figure II.12 Représentation de la densité d'états énergétique dans la bande interdite

II.5.3 Diagramme de bandes de la structure polysilicium :

Dans les matériaux polycristallins, l'existence d'une barrière de potentiel entre deux grains est liée à une distribution de charge de part et d'autre du joint de grain. Généralement, les paramètres fondamentaux qui caractérisent cette barrière aux joints de grains, sont à l'équilibre thermodynamique [3]:

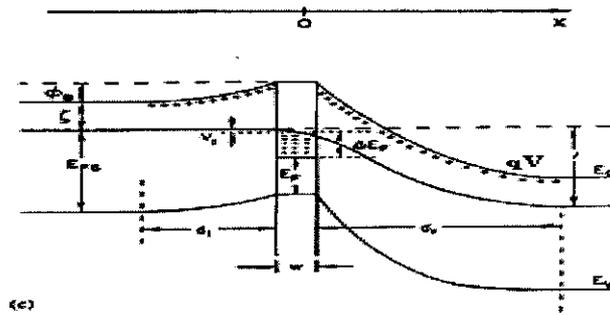
- La position énergétique du niveau piège par rapport au niveau de Fermi.
- Le caractère accepteur ou donneur de ce piège.
- La densité du niveau piège.

La figure II.13 illustre une courbure de bande énergétique s'étalant de part et d'autre du joint de grain, pour du silicium polycristallin dopé N.



(a) avant adjonction

(b) après adjonction à l'équilibre thermodynamique



(c) après application d'une tension V

La figure II.13 Diagramme de bandes énergétique d'un ensemble grains-joint de grains en fonction du potentiel appliqué [3]

L'approche consiste à déterminer la variation de cette hauteur de barrière en fonction du potentiel appliqué, à partir de laquelle les mécanismes de conduction sont déduits.

De nombreux auteurs ont conclu que deux principaux régimes de conduction régissent le transport des porteurs à travers cette barrière de potentiel, à savoir l'effet thermodynamique qu'on observe couramment et qui domine aux hautes températures et l'effet tunnel résonnant assisté par pièges, plus prédominant aux basses températures.

Par conséquent, la concentration des porteurs libres dans le canal augmente plus lentement car il faut d'abord remplir tous les centres pièges présents aux frontières des grains[3].

II.5.4 Densité d'état des porteurs de charge [3]:

Le silicium polycristallin qui est parfaitement cristallisé (grains de taille micrométrique) présente des défauts correspondants aux liaisons Si-Si faiblement distordues. La densité d'état peut être modélisée par une fonction exponentielle (à pente assez raide) pour les queues de bandes et les états profonds pour les défauts présents aux joints de grains dont l'expression est:

$$g(E) = N_{TA} \exp\left(\frac{E - E_c}{W_{TA}}\right) + N_{DA} \exp\left(\frac{E - E_c}{W_{DA}}\right) \quad (II.3)$$

Où N_{TA} et N_{DA} expriment les densités des charges piégées sur les états de queues et les états profonds, respectivement.

W_{TA} et W_{DA} sont des paramètres dépendant de la température attribués aux densités localisées de queues, et aux densités des états profonds, respectivement. Or, les densités des porteurs

Chapitre II: Etat de l'art des transistors en couches minces avec canal en polysilicium

localisés sur les queues de bandes et sur les centres profonds sont des fonctions intégrales de la forme [3]:

$$N_{TA} = \int_{E_c}^{E_i} g_{TA} f_{TA}(E, n, p) dE \quad (II.4)$$

$$N_{DA} = \int_{E_c}^{E_i} g_{DA} f_{DA}(E, n, p) dE \quad (II.5)$$

Avec f_{TA} et f_{DA} les probabilités d'occupation des états pièges de queue et de centres profonds :

$$f_{TA,DA}(E) = \frac{1}{1 + \exp((E - E_F) / KT_{TA,DA})} \quad (II.6)$$

Où T_{TA} , T_{DA} , E_F , et K représentent les températures caractéristiques relatives à ces états, le niveau de Fermi et la constante de Boltzmann, respectivement.

II.5.5 Densité des porteurs localisés sur les queues de bande [3]:

Une formulation de la densité des charges piégées sur les états de queues est obtenue

en intégrant dans le domaine énergétique de l'équation (II.7) [3]:

$$N_{TA}^- = \frac{N_T L_p}{1 + \theta \left[\exp\left(-\frac{\Psi}{\Phi_i}\right) \right]} = g(E) \frac{\pi K T}{\sin\left(\frac{\pi K T}{E_{in}}\right)} \exp\left(\frac{E_{fv} + q\Psi - qV - E_c}{E_{in}}\right) \quad (II.7)$$

En posant $\theta = 0.5 \exp(E_T - E_i) / K$ où E_i niveau d'énergie intrinsèque, N_T la densité des pièges. Quant à E_{in} , c'est un paramètre du modèle caractérisant la pente de la densité d'états aux queues de bandes.

II.5.6 Densité des porteurs localisés sur les centres profonds [3] :

Comme pour le cas de la densité des charges localisés sur les queues de bandes, la résolution intégrale de l'équation (II.8) détermine la densité des porteurs localisés sur les centres profonds de la bande de conduction E_c [3]:

$$N_{DA} = g_{DA} \frac{\pi K T}{\sin(\pi K T / E_{in})} \exp\left(\frac{E_{fv} - qV - E_c}{E_{in}}\right) \quad (II.8)$$

II.5.7 Régimes de fonctionnement du TFT en poly-Si à basse température :

Le principe de fonctionnement du TFT en poly-Si est similaire à un transistor MOS monocristallin fabriqué en volume (transistor bulk). Il se base sur une conduction par effet de champ dans le canal (N ou P) qui se forme entre la source et le drain. Cette conduction est modulée par la polarisation de la tension de grille qui détermine le régime de fonctionnement du dispositif. Lorsqu'une tension de drain est appliquée, le courant entre la source et le drain circule. En effet, pour un TFT en poly-Si à canal n, une tension de grille positive ($V_G \geq V_T$: tension de seuil) provoque une accumulation d'électrons où un courant de diffusion s'établit (régime linéaire). Au fur et à mesure que cette tension augmente, le nombre de charges libres s'accroît jusqu'à saturation de tous les états pièges localisés dans la bande interdite (régime de saturation). On atteint alors le régime I_{ON} du transistor ($V_G = V_{ON}$)[3].

Dans cette zone de fonctionnement, les caractéristiques électriques telles que concentration des porteurs et leur mobilité sont fortement liés à la structure du polysilicium (taille des grains, densité de pièges présente aux joints de grains).

Selon les propriétés du film de polysilicium, les états d'interface et la tension de grille, trois régimes de conduction peuvent être identifiés : un régime de blocage ou de fuite, début de l'accumulation ou régime de diffusion, et enfin le régime de conduction d'où un courant entre la source et le drain réparti comme suit [3] :

- Régime de fuite : Le courant de fuite I_{OFF} dans le polysilicium est élevé. Il augmente avec les tensions V_{ds} et V_{gs} même après avoir atteint le minimum, le transistor est en état bloqué. Ce courant est l'une des limitations majeures des performances des TFTs.
- Régime linéaire: Cet intervalle de fonctionnement correspond à un début d'accumulation des porteurs dans le canal où un courant de diffusion (I_{ON}) s'établit. Notons que la concentration est moins élevée côté drain à cause du potentiel appliqué.
- Régime de conduction ou saturation : Au fur et à mesure que la tension de grille augmente, la majorité des porteurs induits par celle-ci contribuent au courant de conduction dans le canal.

II.5.8 Transport dans les TFT :

Le principe de fonctionnement d'un transistor à couche mince est comparable à celui d'un MOSFET. Les TFTs sont des dispositifs à accumulation tandis que les MOSFETs sont des dispositifs à inversion. Comme le substrat d'un MOSFET est dopé, une couche d'inversion doit

Chapitre II: Etat de l'art des transistors en couches minces avec canal en polysilicium

être formée pour donner naissance au canal conducteur entre source et drain. Dans le cas des TFTs, le matériau du canal est intrinsèque et des charges vont venir s'accumuler suite à l'application d'une tension sur l'électrode de grille [11].

Le matériau formant le film mince du TFT contient des états de défauts dans l'espace de bande (bande interdite du Si). Dans le cas du Si amorphe, ces états sont répartis uniformément dans tout le matériau. Par contre, dans le poly Si, ces états sont localisés aux frontières des grains (Joints de grain). En plus, le niveau de Fermi dans le semi-conducteur intrinsèque se situe au milieu de la bande interdite, et par conséquent, les états de défauts dans l'ensemble seront électriquement neutres [11].

Les propriétés électriques du poly Si dépendent fortement de la taille des grains. Plus la taille des grains est petite, plus le nombre des joints de grains est élevé. On supposera par la suite, en raison de simplification, que la densité des défauts possède une répartition uniforme comme illustré sur la figure II.14. et comme le semiconducteur est intrinsèque, la neutralité des charges est assurée et le niveau de Fermi E_F atteint exactement le niveau intrinsèque E_i . la figure II.15 (a) illustre le diagramme de bande d'une structure MOS d'un TFT en tenant en compte l'uniformité de la distribution des densités des pièges présents dans la structure [11].

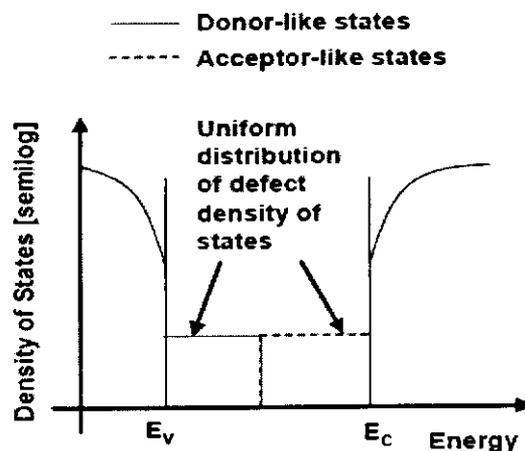


Figure II.14 : Le schéma de la densité d'état surfacique [11]

L'application d'une petite tension positive sur la grille nous mène au schéma de la figure II.15 (b). Les bandes se penchent à la surface, et par conséquent, les états pièges au dessus du milieu de la BI sont remplis par des électrons. Comme ce sont des accepteurs, ces états se chargent négativement pour équilibrer la charge positive accumulée sur la grille. Au moins pour les petites tensions de grille, le niveau de Fermi n'est pas très proche de la bande de conduction et, par conséquent, le nombre d'électrons dans cette bande est faible. Pour des grandes tensions

Chapitre II: Etat de l'art des transistors en couches minces avec canal en polysilicium

de grilles, le niveau de Fermi devient proche de la bande de conduction et un nombre important d'électrons est crée au niveau de cette bande [11].

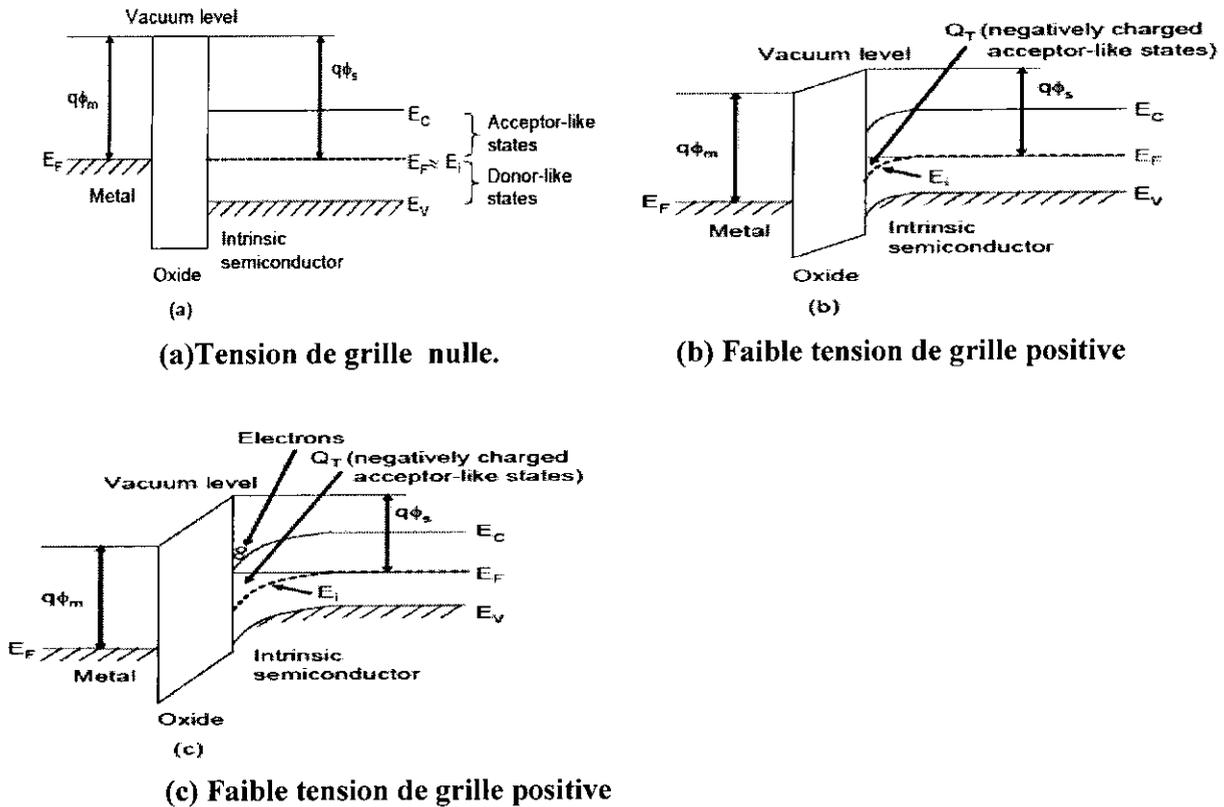


Figure II.15 : Diagramme de bande d'énergie de MOSTFT [11] :

L'application d'une tension de grille négative entraîne des charges négatives qui vont s'accumuler sur cette dernière Figure II.15 (c). Ces charges seront d'abord compensées par une charge positive sur les états pièges, et éventuellement des trous libres seront induits. La tension négative requise pour induire un canal P sera du même ordre grandeur que la tension positive requise pour induire un canal N. Le type du transistor sera alors déterminé par le dopage de la source et du drain plutôt que par le type du dopage du canal qui est souvent intrinsèque [11].

La modélisation des TFTs nécessite une prise en compte effective de la concentration des électrons dans la couche active proche de l'interface du semi-conducteur et de l'isolant. Il est donc souhaitable de réduire au minimum les états pièges localisés qui devront être occupés ou rechargés. Les pièges possèdent une influence directe sur la tension de seuil du TFT puisque c'est celle-ci qui amorce ou désamorce le TFT et elle dépend fortement du nombre d'états de pièges qui doivent être occupés ou vidés [11].

II.6 Effets quantiques dans les structures MOS :

La réduction des dimensions des dispositifs jusqu'à des tailles nanométriques fait apparaître des phénomènes de nature quantique, jusqu'alors considérés comme inexistantes ou en grande partie négligeables. La mécanique quantique est prise en compte lorsque les dimensions de la structure considérée sont nanométriques. Il s'ensuit que la largeur caractéristique de la couche d'inversion devient comparable à la longueur d'onde associée aux porteurs de charge de la couche, ce qui conduit à l'émergence des effets quantiques. Ces effets quantiques jouent un rôle très important dans le comportement électrique du transistor MOS nanométrique, leur présence perturbe le fonctionnement conventionnel du transistor MOS [4].

II.7 Paramètres électriques des TFTs en poly-Si :

II.7.1 Courant de fuite:

Le courant de fuite I_{OFF} est induit par la jonction inverse qui se crée entre le drain et le canal lorsque le TFT en poly-Si est à l'état bloqué. Notons que ce courant est indépendant de la tension de grille V_{gs} tant que celle-ci est faible devant la tension de drain V_{ds} . Dès que cette dernière augmente, le courant I_{OFF} prend des valeurs élevées. Plusieurs mécanismes de conduction ont été proposés afin d'élucider l'existence de ce courant et son augmentation avec la tension de grille appliquée [3].

- A faible tension V_{ds} , le courant I_{OFF} est dominé par le mécanisme de génération recombinaison dans la zone de déplétion de la jonction canal-drain (en polarisation inverse) où les centres de pièges à porteurs présents aux joints de grains agissent comme sites favorables.
- A forte tension V_{ds} , de nombreux mécanismes ont été fournis afin de justifier l'augmentation du courant I_{OFF} dont nous citons : émission par effet tunnel (bande à bande), émission thermique assistée par le champ électrique (Poole-Frenkel) où la génération assistée par le champ est un phénomène qui peut être à l'origine du courant de fuite dans le polysilicium.

Autres que ces mécanismes, le courant de fuite et sa variation avec les tensions de grille et de drain peuvent être affectés par un effet de canal court si les dimensions du canal sont inférieures à 10 μm . Aussi, un phénomène de multiplication des porteurs par avalanche peut avoir lieu suite à un effet d'un champ électrique élevé dans la zone de charge d'espace au niveau du drain[3].

II.7.2 Tension de seuil :

Rappelons que la tension de seuil dans le transistor MOS est évaluée entre la source et le drain pour laquelle la zone d'inversion apparaît dans le composant. Or, la transition entre les régimes OFF à ON étant très rapide, les valeurs des tensions de seuil sont pratiquement faibles (inférieures à 1V).

Contrairement au transistor monocristallin, un TFT en poly-Si dont la commutation du régime OFF à ON se produit plus lentement, en raison de la structure granulaire de la couche active. Effectivement, les porteurs libres par la polarisation de la grille se font plus rapidement capturés par les états pièges présents aux joints de grains.

Ce qui induit à une concentration en porteurs libres de plus en plus réduite dans le canal d'où une conduction plus lente. Dans ce cas, on définit la tension de seuil V_T par le prolongement de la pente linéaire de la caractéristique $I_{ds}(V_{gs})$ et l'axe V_{gs} qui a pour intersection la valeur $(V_T + V_{ds}/2)$ [3].

II.7.3 Pente sous le seuil :

La pente sous le seuil est un paramètre qui définit la vitesse de commutation du régime OFF à ON du transistor. Elle dépend de la densité d'états des pièges dans la bande interdite du polysilicium. En effet, lorsque la tension V_{gs} augmente, les états pièges continuent à se remplir, ralentissant la mise en conduction du transistor. La transition du mode OFF à ON étant beaucoup plus lente dans le TFT en poly-Si où la pente sous le seuil est estimée entre 0.1 à 1 V/décade comparée à celle du transistor en bulk (50 à 100 mV/décade) qui est 10 fois plus faible.

Par conséquent, ce paramètre doit être aussi faible que possible afin d'assurer un faible courant de fuite et une vitesse de commutation élevée. On peut, ainsi, classer les pentes sous le seuil en fonction de la taille des cristaux du matériau silicium (Monosilicium, polysilicium et silicium amorphe)[3].

II.7.4 Mobilité des porteurs :

Rappelons que les performances des TFTs d'un écran LCD à très haute résolution, sont utilisés à la fois comme commutateur électronique pour l'élément d'image (pixel) et dans la réalisation d'un registre d'adressage (driver) pour l'intégration de l'électronique périphérique de commande. C'est la raison pour laquelle ces TFTs à couche active en polysilicium doivent avoir une mobilité suffisamment élevée pour envisager leur utilisation dans une telle application.

Chapitre II: Etat de l'art des transistors en couches minces avec canal en polysilicium

Dans le cadre de cette étude, nous nous intéressons qu'à la mobilité linéaire globale du composant TFT à grille au dessus, dite mobilité à effet de champ. Son extrapolation est obtenue à partir du tracé de la pente de la partie linéaire de la caractéristique $I_{ds} = f(V_{gs})$.

Toutefois, la mobilité dans un TFT est fortement liée à la structure du canal. Elle est fortement diminuée, par la présence des joints de grains, d'un facteur 2 à 3 fois inférieur par rapport à la mobilité d'un transistor monocristallin. Ainsi, la mobilité est étroitement liée aux propriétés structurales du film de polysilicium, et aux différentes tensions appliquées [3].

Conclusion:

Le choix du polysilicium pour la réalisation du canal du TFT affecte de façon directe ses performances électriques. L'intérêt du Silicium polycristallin ou polysilicium pour la réalisation des transistors en couches minces (TFTs poly-Si) est de nos jours établis comme faisant partie d'un développement technologique à coût peu élevé pour de larges applications dans le domaine de la micro-électronique.

Le développement et les applications de ce matériau dépendent de l'amélioration de ses performances, essentiellement électriques. Ces performances dépendent de l'influence directe des conditions initiales d'obtention et d'un éventuel traitement ultérieur du film. Un large domaine de recherche s'est ouvert allant de l'effet des méthodes et conditions de dépôt sur la structure finale des films.

CHAPITRE III:

MODÉLISATION ANALYTIQUE DES TFT

EN POLY-SI

III.1 Introduction :

Ce troisième chapitre porte sur la modélisation d'un transistor en couche mince à base de polysilicium, l'étude des modèles déjà existants. Les résultats de cette étude seront représentés par la simulation du comportement électrique du composant en question, au moyen d'une résolution analytique appropriée qui nous permettra d'obtenir un ensemble de tracés illustrant l'évolution des caractéristiques courant- tensions (qui feront l'objet de ce chapitre regroupant les résultats et discussions).

III.2 Potentiel de surface:

III.2.1 Équation de Poisson:

L'équation de Poisson à deux dimension s'écrit comme suit [4]:

$$\frac{d^2V(x, y)}{dx^2} + \frac{d^2V(x, y)}{dy^2} = \frac{-\rho(x, y)}{\epsilon_0 \epsilon_r} \quad (\text{III.1})$$

Où :

- $V(x, y)$: Le potentiel électrostatique.
- $\rho(x, y)$: La densité de charge.
- ϵ_0 : La permittivité du vide.
- ϵ_r : La permittivité diélectrique du milieu.

On pose $\epsilon = \epsilon_0 \epsilon_r$ permittivité du matériau et qui égale à $\epsilon = 1.04e^{-12} F/cm$ pour le silicium.

La densité de charge totale d'un Semi-conducteur de type P est donnée par [4]:

$$\rho(x, y) = -q[p(x, y) - n(x, y) + N_D^-(x, y) - N_A^+(x, y)] \quad (\text{III.2})$$

Où :

- $N_D^+(x, y)$ et $N_A^-(x, y)$ sont les concentrations des dopants accepteurs et donneurs.
- $n(x, y)$ et $p(x, y)$ sont les densités d'électrons et de trous.

En général, l'équation de Poisson 1-D le long de la direction (OZ) perpendiculaire à l'interface oxyde de grille /substrat nc-Si TFT peut être écrite sous la forme [12]:

$$\frac{\partial}{\partial z}[\varepsilon(z)\frac{\partial\varphi}{\partial z}] = -q[N_D^+(z) - N_A^-(z) + p(z) - n(z) + N_{TD}^+(z) - N_{TA}^-(z)] \quad (\text{III.3})$$

Ou :

- φ est le potentiel électrostatique,
- $\varepsilon(Z)$ est la constante diélectrique à dépendance spatiale,
- $N_D^+(Z)$ et $N_D^-(Z)$ sont les concentrations des donneurs et d'accepteurs ionisés, respectivement, $n(z)$ et $p(z)$ sont les densités d'électrons et de trous dans la nc-Si, respectivement
- $N_{TD}^+(Z)$ est la concentration des pièges donneurs vides (positifs) de joints de grains à un niveau mono-énergétique E_{TD} ,
- $N_{TA}^-(z)$ est la concentration des pièges accepteurs occupés (négatifs) de joints de grains à un niveau mono-énergétique E_{TA} .

III.2.2 Le potentiel de Fermi :

Le potentiel de Fermi dans le film, lorsque la charge est nulle, est donné par [13][12]:

$$\phi_{FO} = \frac{KT}{q} \ln\left(\frac{\rho_0}{ni}\right) \quad (\text{III.4})$$

III.2.3 La densité intrinsèque des porteurs :

La densité des porteurs intrinsèques peut être obtenue sous la forme [14][12]:

$$n_i = \frac{2(2\pi k)^{3/2}}{h^3} (m_{lh} (m_e m_h)^{3/4} M_c^{1/2} T^{3/2} \exp\left(-\frac{E_g}{2KT}\right)) \quad (\text{III.5})$$

Où $m_h = (m_{lh}^{3/2} + m_{hh}^{3/2})^{2/3}$

sont les masse légères et lourdes de trous(en silicium $m_{lh} = 0.16m_0, m_{hh} = 0.49m_0$ et $m_e = (m_l m_t)^{1/3}$. m_l et m_t sont les masses effectives longitudinales et transversales d'électrons ($m_l = 0.98 m_0, m_t = 0.19 m_0$), écart de la bande d'énergie interdit $E_g = 1.12$ eV, M_c est le nombre équivalent de minima à la bande de conduction ($M_c = 6$ pour le silicium) .

III.2.4 La densité des pièges :

Les densités des pièges N_{TA} et N_{TD} sont liées respectivement à la densité des états de surface des joints de grains (superficie) N_{ST} par [14][12]:

$$N_{TD}^+ = \frac{N_{TD}}{1 + \exp\left(\frac{EF - E_{TD}}{KT}\right)} = \frac{NTD}{1 + \exp\left(\frac{q\phi - q\phi_{F0} + (E_i - E_{TD})}{KT}\right)} \quad (\text{III.6})$$

$$N_{TA}^- = \frac{NTA}{1 + \exp\left(\frac{ETA - EF}{KT}\right)} = \frac{NTA}{1 + \exp\left(\frac{-q\phi - q\phi_{F0} + (E_i - E_{TA})}{KT}\right)} \quad (\text{III.7})$$

$$N_{TA} = N_{ST}/d \quad (\text{III.8})$$

Ou :

- d est la taille moyenne des grains.

La concentration des dopants actifs est définie selon [12] par la relation suivante :

$$N_{Aa} = N_A - N_T^+ \quad (\text{III.9})$$

III.2.5 Expression analytique du potentiel de surface

Pour la modélisation analytique du potentiel de surface en fonction du champ électrique à l'interface oxyde/ bulk est donné par [12]:

$$\begin{aligned} (E(\varphi_s))^2 = & \frac{2q}{\epsilon_{nc-Si}} \left(\left(N_{Aa}^- + \frac{N_{ST}}{d} \right) \varphi_s + n_0 kT \left(\exp\left(\frac{q\varphi_s}{kT}\right) - 1 \right) \right. \\ & \left. + \frac{N_{ST} kT}{d} \ln \left(\frac{1 + \exp\left(\frac{q\varphi_s - (E_i - E_{TA} - q\phi_{F0})}{kT}\right)}{1 + \exp\left(\frac{(E_i - E_{TA} - q\phi_{F0})}{kT}\right)} \right) \right) \end{aligned}$$

D'où $P_0 \approx N_{Aa}^-$

$$n_0 = \frac{n_i^2}{N_{aa}^-} = \frac{1}{N_{aa}^-} \frac{(4 \cdot (2\pi kT)^3 (m_e m_h)^{\frac{3}{2}})}{h^6} \exp\left(-\frac{E_g}{kT}\right) \quad (\text{III.11})$$

P_0 et n_0 sont les densités des trous et des électrons dans le nc-Si

Cette équation peut être réécrite sous la forme suivante [12]:

$$\begin{aligned}
 (E(\varphi_s))^{2=} &= \frac{2q}{\left(1 + \frac{10.4}{1 + \left(\frac{1.38}{d \times 10^9}\right)^{1.37}}\right)^{\epsilon_0}} \left[\left(N_{Aa}^- + \frac{Nst}{d}\right) \varphi_s + \right. \\
 &\frac{1}{N_{Aa}^-} \frac{4KT(2\pi KT)^2 (m_g m_h)^{2/2}}{h^0} \exp\left(-\frac{E_g(\infty) + q\left(\frac{2.4382}{d \times 10^9} + \frac{1.1483}{(d \times 10^9)^2}\right)}{KT}\right) KT \left(\exp\left(\frac{q\varphi_s}{KT} - 1\right)\right) + \\
 &\left. \frac{NstKT}{dl} \ln \left(\frac{1 + 0.5 \exp\left(\frac{q\varphi_s + 0.5E_g(\infty) + 0.5q\left(\frac{2.4382}{d \times 10^9} + \frac{1.1483}{(d \times 10^9)^2}\right) - E_{TA} - q\phi_{F0}}{KT}\right)}{1 + 0.5 \exp\left(\frac{0.5E_g(\infty) + 0.5q\left(\frac{2.4382}{d \times 10^9} + \frac{1.1483}{(d \times 10^9)^2}\right) - E_{TA} - q\phi_{F0}}{KT}\right)} \right) \right] \quad (III.12)
 \end{aligned}$$

III.2.6 Constante diélectrique du nc-Si :

La variation de la constante diélectrique du nc-Si en fonction de la taille des joints de grains est modélisée mathématiquement par la formule suivante [15]:

$$\epsilon_{nc-si(d)} = 1 + \frac{10.4}{1 + \left(\frac{1.38}{d \times 10^9}\right)^{1.37}} \quad (III.13)$$

Expérimentalement, les structures électroniques des nanocristaux semi-conducteurs sont déterminées par la méthode insitu (le dopage se fait en même temps que le dépôt de la couche), en utilisant l'absorption des rayons X.

Les données expérimentales de la bande interdite du nc-Si obéissent à la formule suivante [16]:

$$\Delta E_g = E_g(R) - E_g(\infty) = \frac{3.4382}{(d \times 10^9)^2} + \frac{1.1483}{(d \times 10^9)^2} \quad (\text{ev}) \quad (III.14)$$

Où :

- (R) est la largeur de bande en fonction du rayon, $E_g(\infty)$ est la largeur de cette bande en volume.

Notons que la tension de seuil ou la tension V_{on} est définie comme étant la tension à partir de laquelle s'amorce la forte inversion où on peut écrire [17]:

$$\varphi_s \approx 2\phi_p \approx 2 \frac{KT}{q} \ln \left(\frac{N_{aa+} + 2 \frac{N_{st}}{d}}{n_i} \right) \quad (\text{III.15})$$

III.3 Résultats et simulations numériques:

III.3.1 Potentiel de surface en fonction de la taille des grains

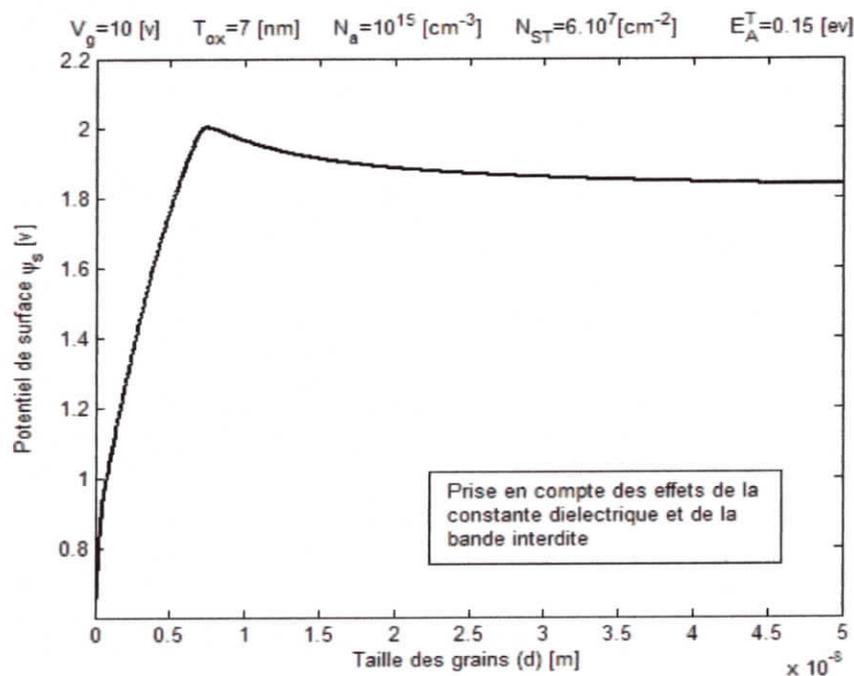


Figure III.1 Potentiel de surface prise en compte des effets quantiques

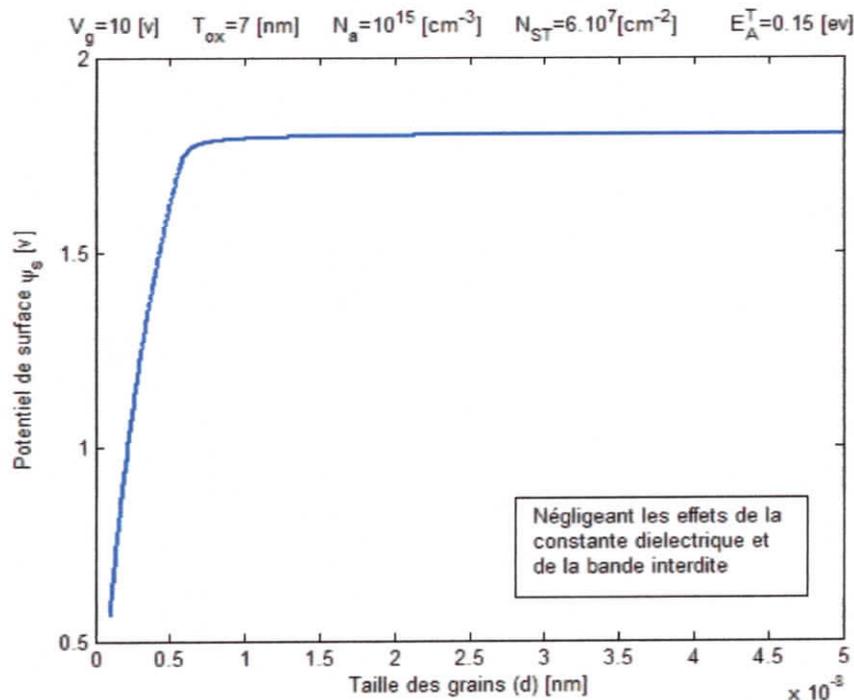


Figure III.2 Potentiel de surface négligeant les effets quantiques

Le potentiel de surface donnée par l'équation (III.12) est représenté sur (la figure III.1), notée qu'on prise en compte des effets de la bande interdite et de la constante diélectrique.

La figure III.1 montre l'évaluation du potentiel de surface d'un nc-TFT en fonction de la taille des grains a température ambiante pour un oxyde d'épaisseur de 7 [nm] et pour une distribution de pièges accepteurs de 6.10^7 [cm⁻²] à 0.15 [eV] de la bande de valence.

La figure III.2 illustre également que le potentiel de surface d'un nc-TFT est largement affectée et varie linéairement quand la taille des nano-cristaux est inférieure a 10[nm], cela est attribué aux deux effets quantiques.

III.3.2 Potentiel de surface en fonction de la taille des grains négligeant des effets quantique

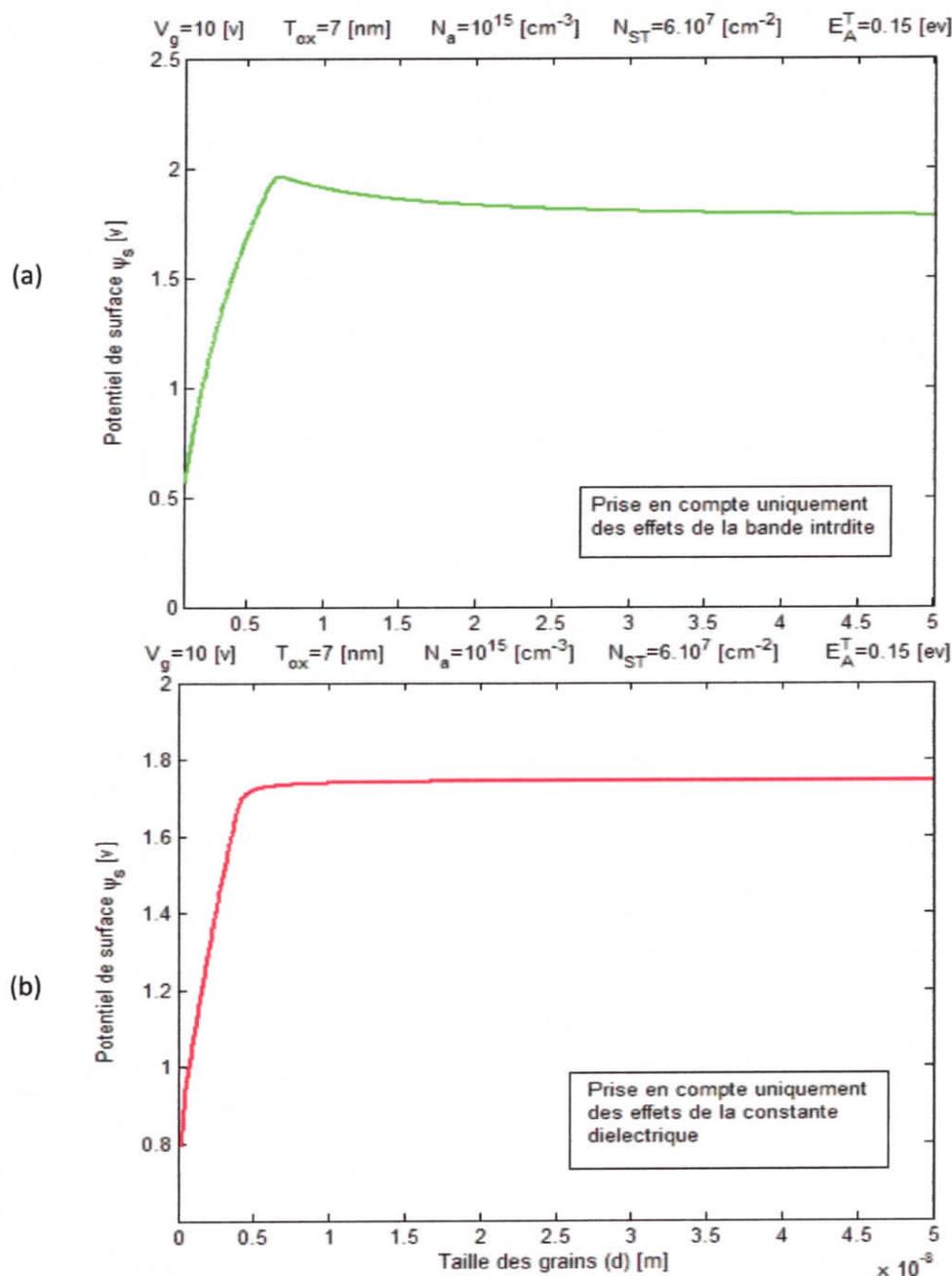


Figure III.3 Potentiel de surface en fonction de la taille des grains

La variation de la constante diélectrique et de la bande interdite est donnée par les équations (III.13) (III.14), sont représentée dans les figures III.3 (a) et (b) illustrent la variation de potentiel de surface en prenant en compte seulement des effets de la bande interdite et uniquement les effets de la constante diélectrique respectivement. On remarque que le potentiel de surface est peu affecté par les effets liés à la bande interdite (figure III.3 a) pour des tailles de grains inférieures à 7 [nm], puis il décroît lentement et se stabilise, dans le même intervalle, par contre pour des tailles de grains inférieures à 7 [nm], le potentiel de surface croit et commence à se stabiliser à partir de 5 [nm] (figure III.3 b).

Donc on peut conclure que la variation de la constante diélectrique devrait être considérée dans les calculs de potentiel de surface pour des tailles de grains inférieurs à 7 [nm], et la variation de la bande interdite pour des tailles supérieurs à 7 [nm].

III.3.3 Constante diélectrique en fonction de la taille des grains

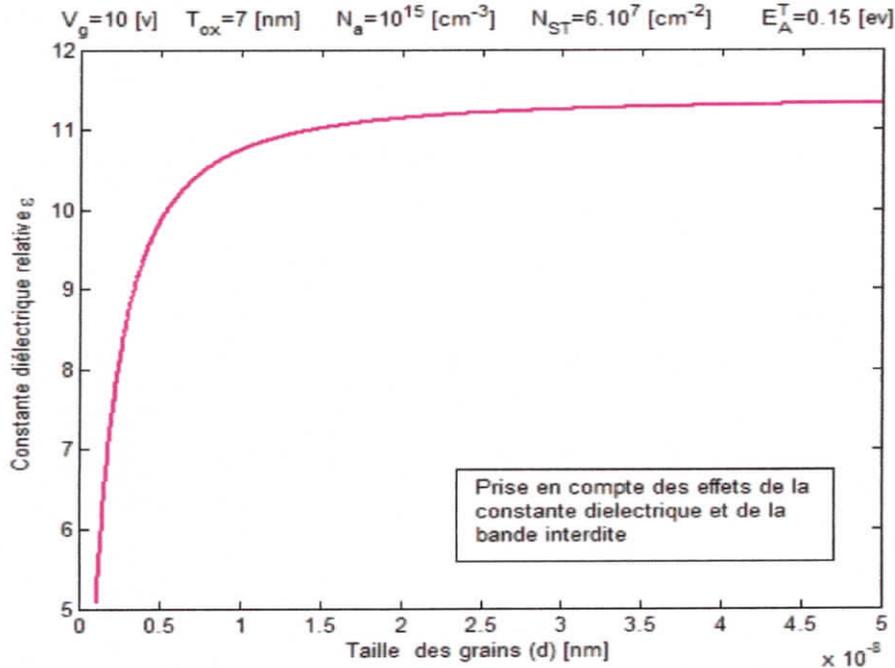


Figure III.4 Constante diélectrique en fonction de la taille des grains.

La figure III.4 montre que la permittivité croît avec la taille des grains, à température ambiante pour un oxyde d'épaisseur de 7 [nm] et pour une distribution de pièges accepteurs de 6.10^7 [cm⁻²] à 0.15 [eV] de la bande de valence. On remarque que la variation de la constante diélectrique est plus rapide pour des tailles inférieures à 10 [nm]. Cette variation devient plus lente et tend à se stabiliser à une valeur proche de 11,4.

III.3.4 Potentiel de surface en fonction de la taille des grains avec concentration des pièges nulle

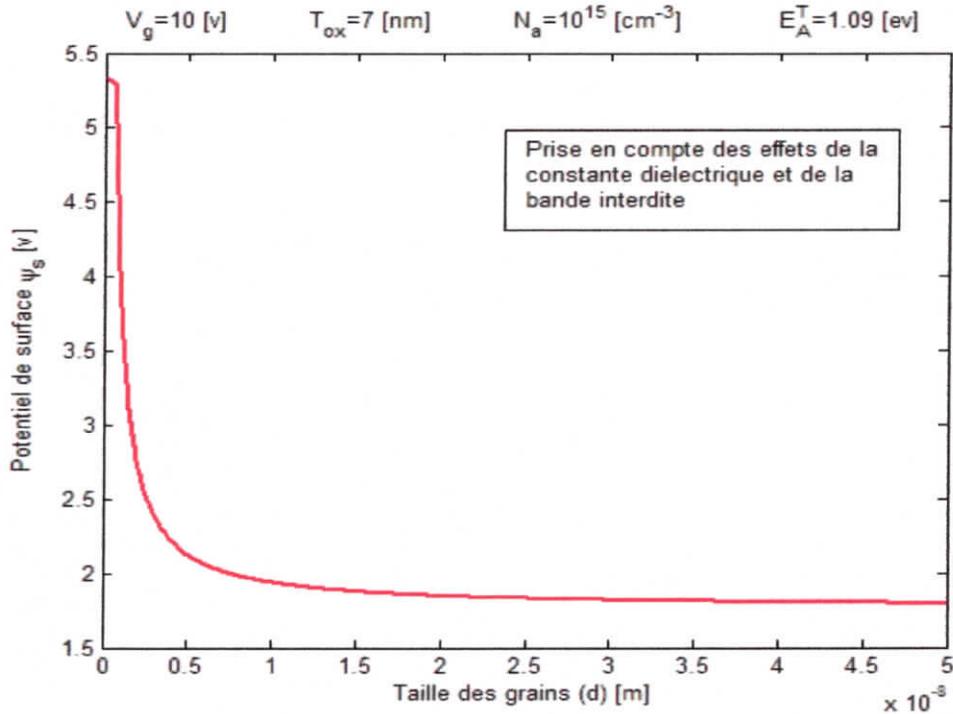


Figure III.5 Potentiel de surface grains avec concentration des pièges nulle

On remarque que le graphe du potentiel de surface est similaire à celui présenté sur la Figure III.1 pour des tailles supérieures à 10 [nm]. Pour des tailles inférieures à 10 [nm], le potentiel de surface décroît brusquement de 5 [v] à 1.8 [v], alors qu'il devait croître, cela est attribuée à la présence effective des pièges qu'ils doivent être remplis afin que les porteurs contribuent à la conduction électrique dans le canal.

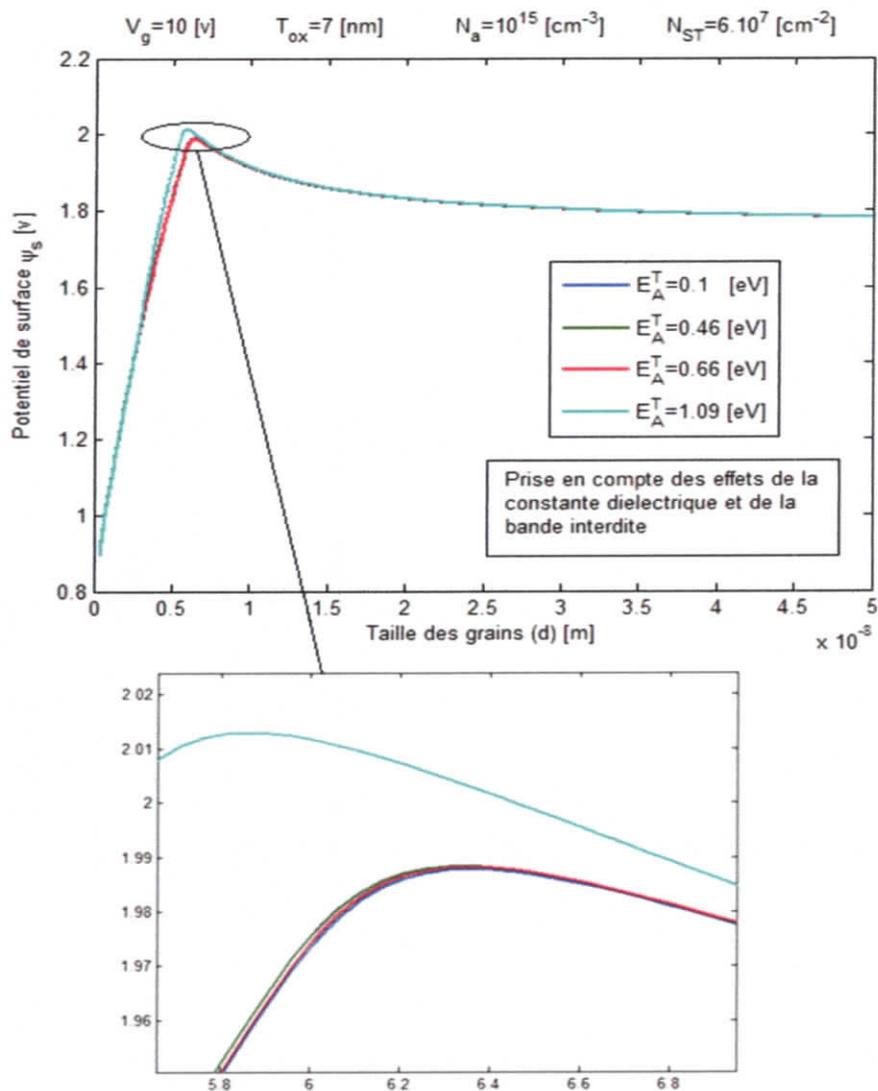
III.3.5 Potentiel de surface en fonction de la taille des grains : (E_A^T) paramètre

Figure III.6 Potentiel de surface avec différents valeurs d'énergie des pièges

La figure illustre l'effet de la position du niveau du piège (accepteur) est plus prononcé que cette position se rapproche de la bande de conduction du Si, et le niveau devient de plus en plus actif.

III.3.6 Potentiel de surface en fonction de la taille des grains: (N_{ST}) paramètre

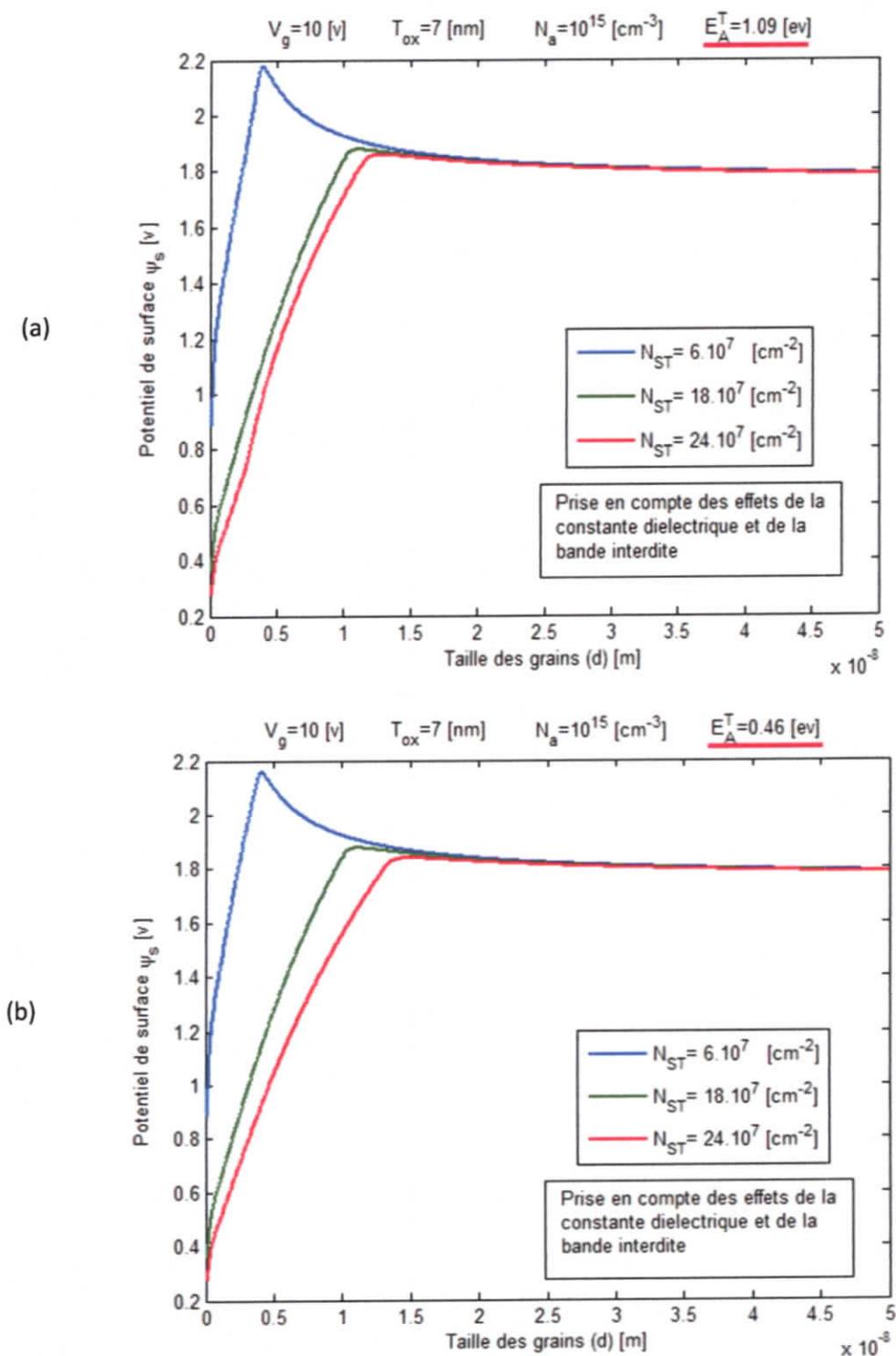


Figure III.7 Potentiel de surface avec différents valeurs N_{ST}

III.3.7 Potentiel de surface en fonction de la densité d'état surfacique:

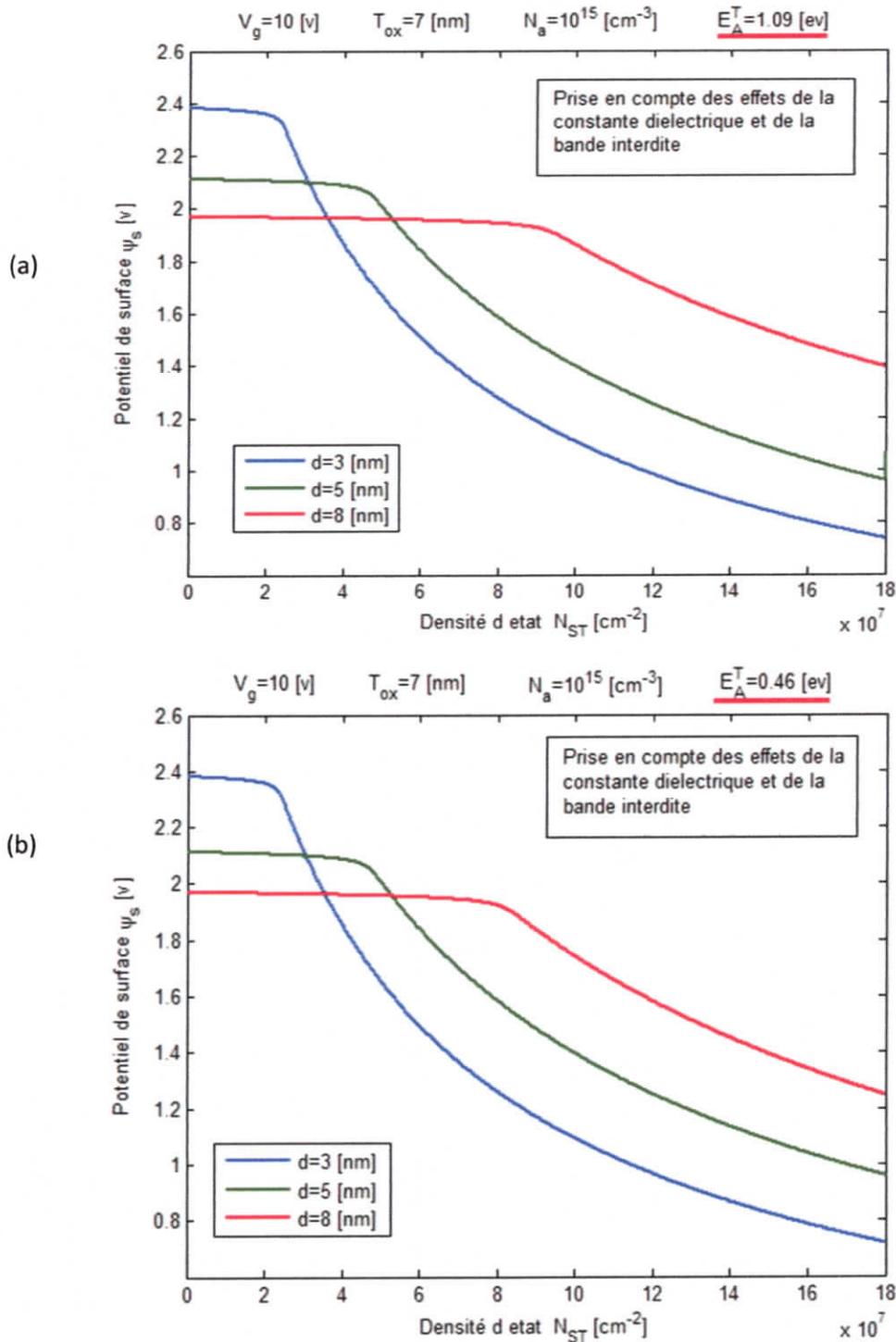


Figure III.8 Potentiel de surface en fonction de la densité d'état surfacique des pièges

L'augmentation de la concentration des pièges qui en tendance à diminuer le potentiel de surface.

III.3.8 Potentiel de surface en fonction de la taille des grains: (N_A) paramètre

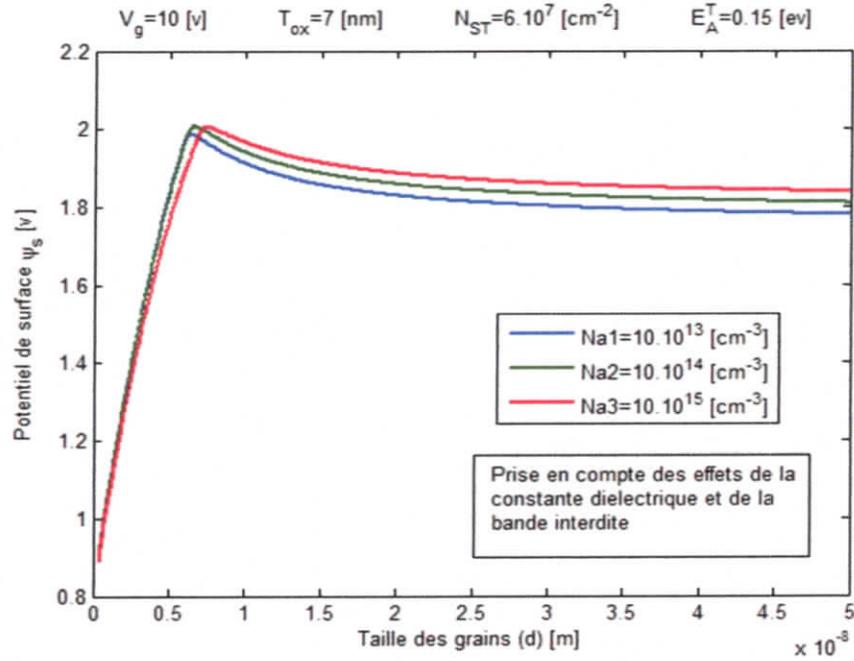


Figure III.9 Potentiel de surface en fonction de la taille des grains

La figure III.9 montre l'évolution de potentiel de surface en fonction de la taille des grains avec différentes valeurs du dopage active.

L'augmentation du potentiel de surface est attribué à l'augmentation de la concentration des porteurs libres (dans la bande de conduction, qui ont pour rôle la création de la couche d'inversion au niveau de grain).

III.3.9 Potentiel de surface en fonction de la taille des grains: (T_{ox}) paramètre

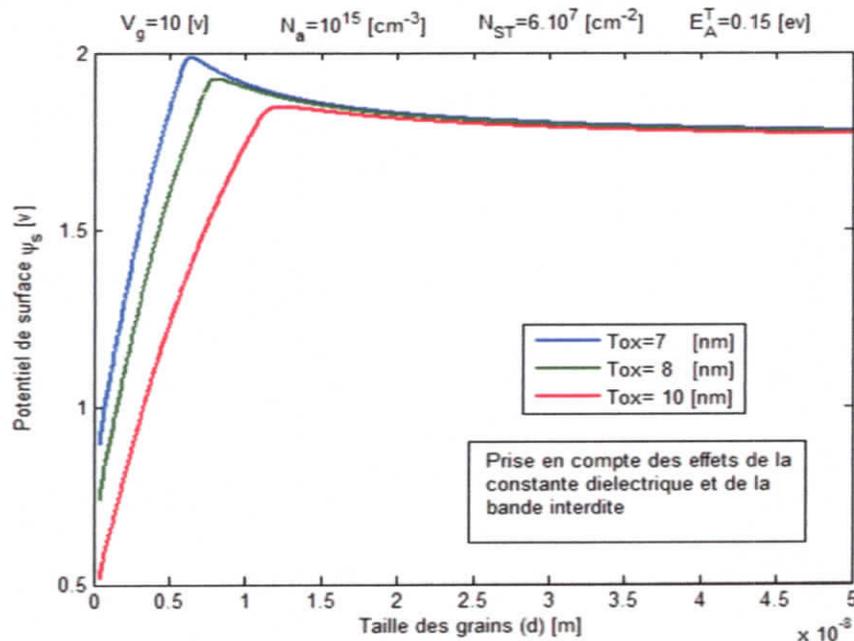


Figure III.10 Potentiel de surface en fonction de la taille des grains

La figure III.10 montre l'évolution de potentiel de surface en fonction de la taille des grains avec différentes épaisseurs d'oxyde.

On remarque que plus l'épaisseur d'oxyde augmente plus le potentiel de surface diminue, on voit un léger décalage vers la droite avec l'augmentation de la taille des grains.

III.4 La tension de seuil :

La tension de seuil est définie comme étant le potentiel qu'il faut appliquer sur la grille pour réaliser entre la source et le drain de la structure MOS une liaison électrique (un contact ohmique), cela aura lieu grâce à la présence de la couche d'inversion qui va s'établir pour attirer les porteurs libres présents dans le canal du transistor vers l'interface oxyde de grille/canal.

- **Modèle de [Ling-Feng Mao] [17]:**

L'expression analytique de la tension de seuil suivant le modèle de Mao

$$V_T = V_{FB} + 2\phi_p + \frac{\epsilon_{nc-sc}}{\epsilon_{ox}} T_{ox} \times E(\phi_s) \quad (III.16)$$

Avec $\phi_s = 2\phi_p$ en remplaçant (ϕ_s) par son expression :

$$V_T = V_{FB} + 2\phi_p + \frac{\epsilon_{nc-sc}}{\epsilon_{ox}} T_{ox} \times \frac{2q}{\left(1 + \frac{10.4}{1 + \frac{1.38}{d \times 10^9}} 1.27\right) \epsilon_0} \left[\left(N_{Aa}^- + \frac{N_{ST}}{d}\right) \phi_s + \frac{1}{N_{Aa}^-} \frac{4KT \cdot (2\pi KT)^2 (m_e m_h)^{\frac{3}{2}}}{h^6} \exp\left(-\frac{E_g(\infty) + q\left(\frac{2.4282}{d \times 10^9} + \frac{1.1482}{(d \times 10^9)^2}\right)}{KT}\right) \exp KT \left(\exp\left(\frac{q\phi_s}{kt}\right) - 1\right) + \frac{N_{ST}KT}{d} \ln \frac{1 + 0.5 \exp\left(\frac{q\phi_s + 0.5E_g(\infty) + 0.5q\left(\frac{2.4282}{d \times 10^9} + \frac{1.1482}{(d \times 10^9)^2}\right) - E_{TA} - q\phi_{F0}}{KT}\right)}{1 + 0.5 \exp\left(\frac{0.5E_g(\infty) + 0.5q\left(\frac{2.4282}{d \times 10^9} + \frac{1.1482}{(d \times 10^9)^2}\right) - E_{TA} - q\phi_{F0}}{KT}\right)} \right] \quad (III.17)$$

En utilisant la condition de la forte inversion et l'hypothèse que $q\phi_s$ et $E_i - E_{TA} - q\phi_{F0}$ sont beaucoup plus importants que KT , le champ électrique de (III.12) se simplifie à :

$$(E(\varphi_s))^2 = \frac{2q}{\epsilon_{nc-si}} \left[(N_{Aa}^- + \frac{N_{st}}{d}) \varphi_s + n_0 K T \left(\exp\left(\frac{q\varphi_s}{KT}\right) \right) \right] = \frac{2q}{\left(1 + \frac{10.4}{1 + \left(\frac{1.38 \cdot 10^9}{d \times 10^9}\right)^2}\right) \epsilon_0} \times \left(N_{Aa}^- + \frac{N_{st}}{d} \right) \varphi_s +$$

$$+ \frac{1}{N_{Aa}^-} \frac{4KT(2\pi KT)^3 (m_e m_h)^{3/2}}{h^6} \exp\left(-\frac{E_g(\infty) + q\left(\frac{3.4382}{d \times 10^9} + \frac{1.1483}{(d \times 10^9)^2}\right)}{KT}\right) KT \cdot \exp\left(\frac{q\varphi_s}{KT}\right) \quad (III.18)$$

L'expression de la tension de seuil simplifiée peut s'écrire comme suit :

$$V_T = V_{FB} + 2\phi_p + \frac{\epsilon_{nc-sc}}{\epsilon_{ox}} T_{ox} \times E(\varphi_s) \times \sqrt{\frac{2q}{\epsilon_{nc-si}} \left(\left(N_{Aa}^- + \frac{N_{ST}}{d} \right) (2\phi_p) + n_0 K T \cdot \exp\left(\frac{2q2\phi_p}{KT}\right) \right)} \quad (III.19)$$

Modèle de [Weijing Wu][18]:

On considère que le niveau de Fermi est perturbé par les effets quantiques sur la bande interdite.

Sur ce cas on a l'équation :

$$\psi_0 = \frac{kT}{q} \ln\left(\frac{N_a}{n_i}\right) + \frac{E_i - E_v - \chi_0}{q} \quad (III.20)$$

Dans laquelle :

$E_i - E_v = \frac{1}{2} E_g$, et si en suite dans les nano grains en prenant en compte les effets quantiques : $E_g = E_g + \Delta E_g$ avec E_g est en fonction de L_g .

X_0 , dans le cas d'une déplétion total, et donné par l'équation[18]:

$$(E_g - \chi_0 - q\phi_{b0}) N_D^0 \rightarrow N_D^I E_D^I \exp\left(-\frac{\chi_0 - q\phi_{b0}}{E_D^I}\right) = N_a L_g \quad (III.21)$$

avec :

- $\phi_{b0} = \frac{qN_a}{2\epsilon_{si}} \left(\frac{L_g}{2}\right)^2$
- q, N_{DD}, N_T^I, E_D^I sont des constantes données .

On prend en compte les effets quantiques sur la bande interdite, donc [12] :

$$\Delta E_g = E_g(R) - E_g(\infty) = \frac{3.4382}{d \times 10^9} + \frac{1.1483}{(d \times 10^9)^2} \text{ (eV)} \quad (III.22)$$

L'équation de Poisson 1-D le long de la direction (OX) perpendiculaire à l'interface oxyde de grille /substrat nc-Si TFT peut être écrite sous la forme [18]:

$$\epsilon_{si} \int_0^{x_d} \frac{\partial \psi(x,y)}{\partial y} dx - C_{ox} \int_0^y [V_{gs} - V_{fb} - \psi(0,y)] dy = qN_a x_d y \quad (III.23)$$

La densité d'état surfacique des joints de grains est l'approximation de la distribution (U-Shape), les états piégés accepteur peuvent être divisée en deux: des états piégés profonds avec une constante distribution et des états piégés surfacique avec une distribution exponentiel [18][19][20]:

$$N_A(E_t) = N_A^D + N_A^T \exp\left(\frac{E_t - E_c}{E_A^T}\right) \quad (\text{cm}^{-2} \text{ eV}^{-1}) \quad (III.24)$$

Ainsi pour un de dopage à un certain concentration l'expression des états piégés donneur s'écrit [18][19][20]:

$$N_D(E_t) = N_D^D + N_D^T \exp\left(\frac{E_t - E_v}{E_D^T}\right) \quad (\text{cm}^{-2} \text{ eV}^{-1}) \quad (III.25)$$

La tension de seuil d'un TFT poly-Si est également définie comme la tension de la grille lorsqu'une inversion est sur le point de se produire au centre de chaque grain dans le canal, en divisant ($y_d/2$)[18]:

$$V_{th} = V_{th0} + \frac{\psi_0}{\frac{2\epsilon_{si}K}{N_D^D q^2} \sinh(KL_g/2) + \cosh(KL_g/2) - 1} \quad (III.26)$$

avec :

$$C_0 = \frac{2\epsilon_{si}K}{3} \quad (\text{F cm}^{-2})$$

$$C_1 = N_A^D q^2 / 3 \quad (\text{F cm}^{-2})$$

$$C_2 = N_A^T (E_A^T)^2 \exp\left(\frac{E_0 - E_c}{E_A^T}\right) \quad (\text{J cm}^{-2})$$

$$C_3 = C_0 \frac{\sinh(KL_g/2)}{\cosh(KL_g/2) - 1} \quad (\text{F cm}^{-2})$$

$$K = \left[\frac{3C_{ox}}{\epsilon_{si}x_d}\right]^{1/2} \quad (\text{cm}^{-1}) \quad \text{et} \quad x_d = \sqrt{\frac{2\epsilon_{si}\psi_0}{qN_a}}$$

La position de niveau de Ferme est uniformément donnée par l'expression [18]:

$$E_0 = E_v + x_0 + q\phi_{b0}$$

III.5 Résultat de la simulation [Mao]:

III.5.1 Tension de seuil en fonction de la taille des grains sous l'effet de la température :

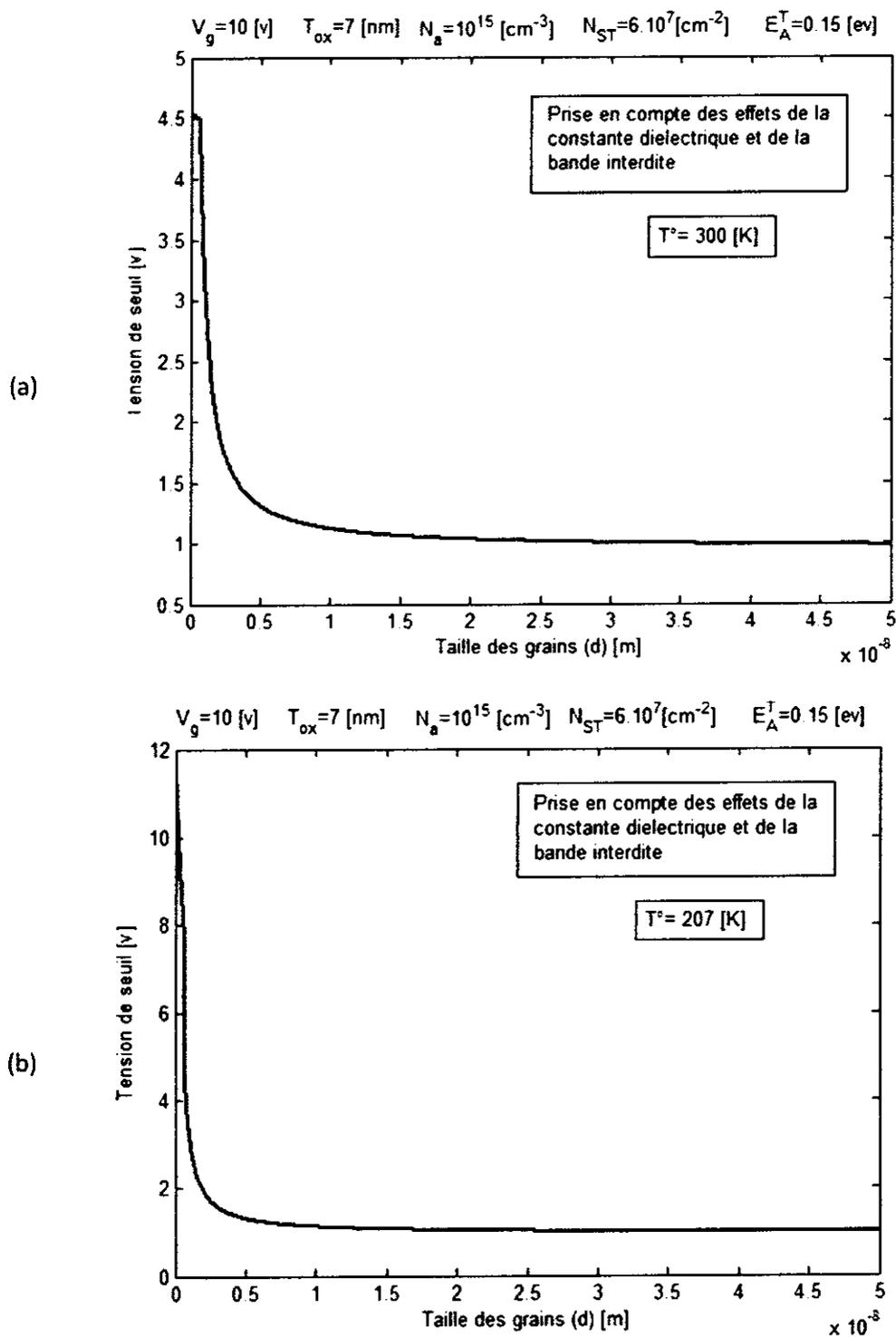


Figure III.11 Tension de seuil sous l'effet de la température

Les figures III.11 (a) et (b) illustrent que pour des grains de faible tailles, la tension de seuil est important, alors que pour des grains large à partir de 10 [nm], la tension de seuil décroissent brusquement et tend à se stabiliser.

Selon le modèle de [Ling-Feng Mao], on voit que la température (T°) a une influence remarquable sur les caractéristique électrique. La tension de seuil démarré à partir de 4.5 [v] pour une température ambiante, et de 11[v] pour une température de 207 [K], (la concentration intrinsèque des porteurs libres).

III.6 Résultat de la simulation [Wu]:

III.6.1 Solution numérique de X_0 en fonction de la taille des grains:

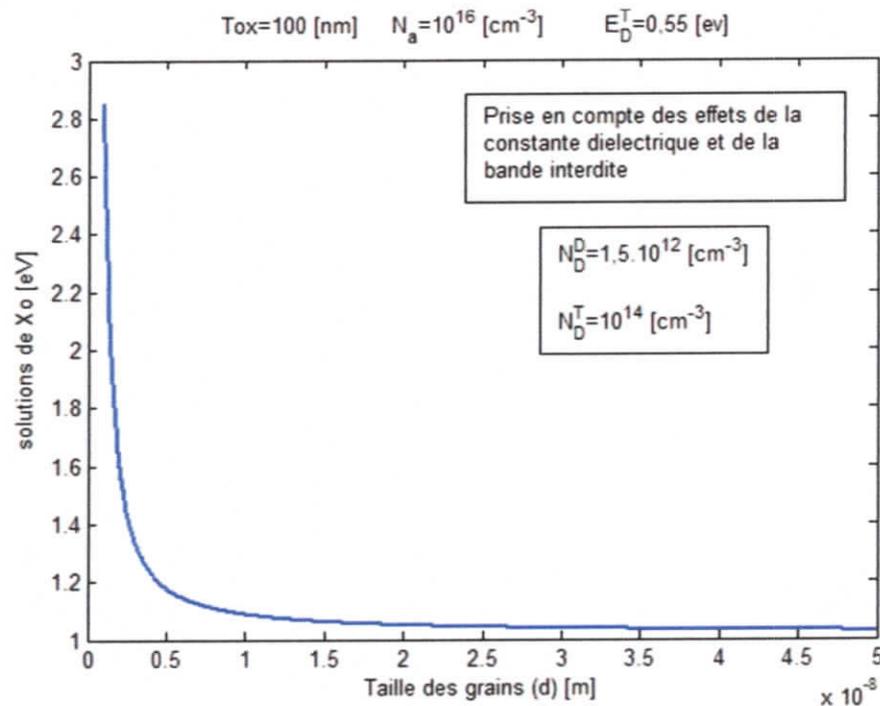


Figure III.12 Solution numérique de X_0

La figure III.12 montre l'évaluation des solutions numérique de X_0 de l'équation (III.21), une forte diminution lorsque la taille des graines augmente (~ 7 [nm]), le paramètre X_0 prend des valeurs quasi-constante proche de 1,1 [eV].

III.6.2 Tension de seuil en fonction de la taille des grains:

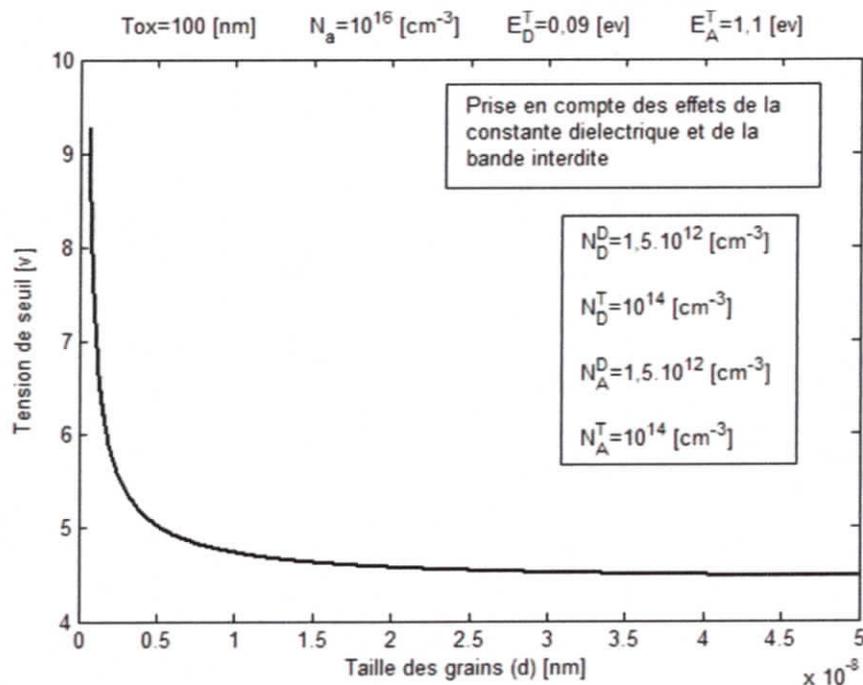


Figure III.13 Tension de seuil considérant les solutions de X_0

Selon le modèle de [Weijing Wu], dans une température ambiante, la figure III.13 illustre que pour des grains de faible taille, la tension de seuil est importante, alors que pour des grains larges(a partir de 10 nm), la tension de seuil décroît brusquement, et se stabilise.

III.6.3 Tension de seuil en fonction de la taille des grains: (T_{ox}) paramètre

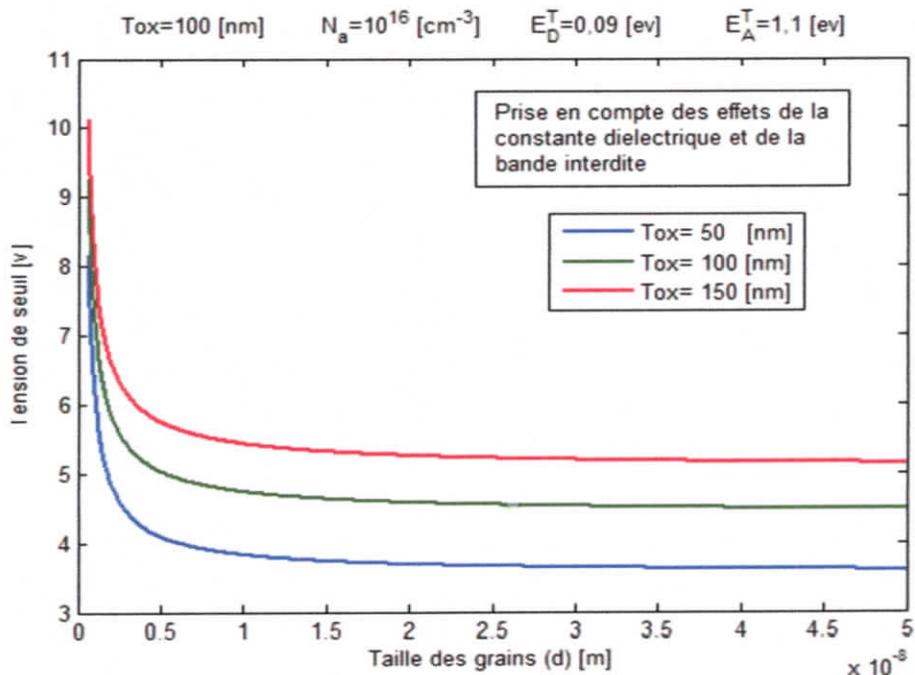


Figure III.14 Tension de seuil avec différents valeurs d'épaisseur d'oxyde

La variation de la tension de seuil avec différentes valeurs d'épaisseur d'oxyde selon le modèle de [Weijing Wu] à température ambiante, on voit que plus l'épaisseur de l'oxyde augmente plus la tension de seuil diminue.

III.6.4 Tension de seuil en fonction de la taille des grains: (N_A) paramètre

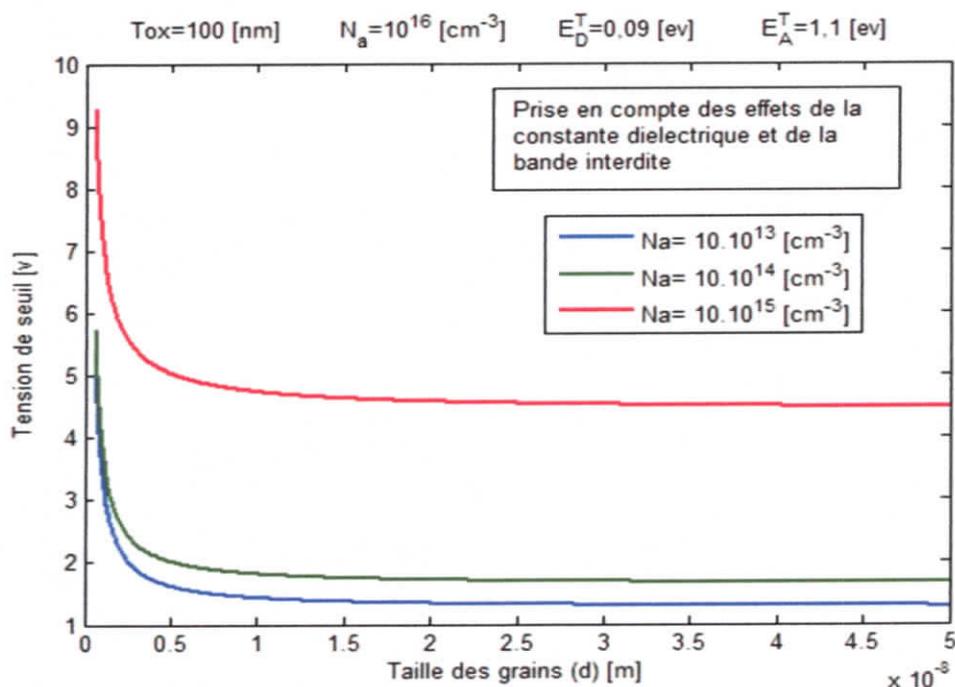


Figure III.15 Tension de seuil avec différents dopages actif

La figure III.15 montre la variation de la tension de seuil avec différents dopages actif à une température ambiante, selon le modèle de [Weijing Wu], on remarque que plus le dopage actif augmente plus la tension de seuil diminue.

III.6.5 Tension de seuil en fonction de la taille des grains pour différents densités d'états pièges :

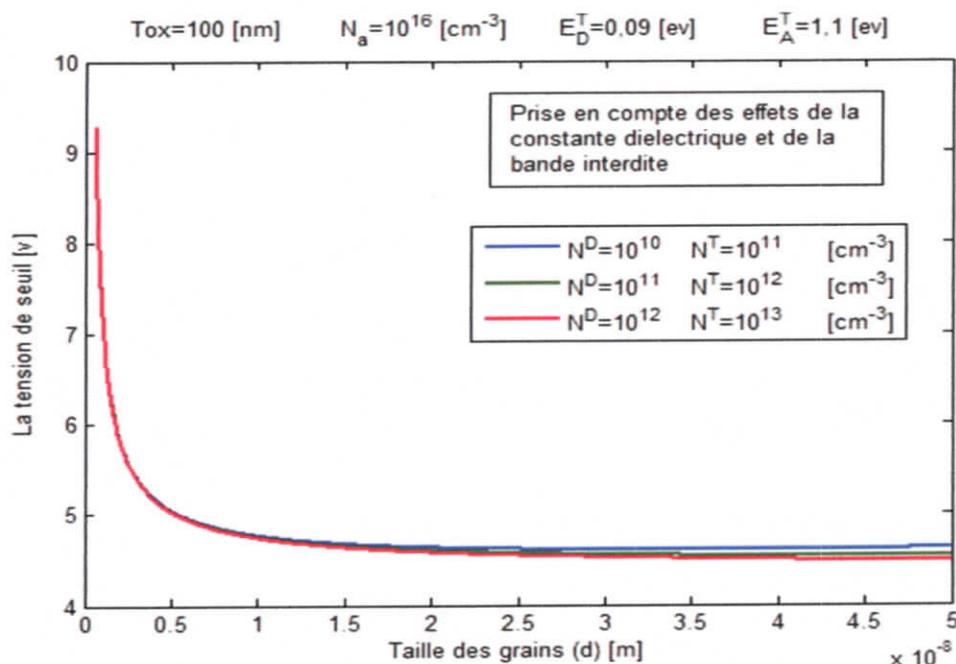


Figure III.16 Tension de seuil pour différents valeurs de densité d'état pièges

N^T et N^D sont les densités des charges piégées sur les états de queues et les états profonds, respectivement. (selon le modèle de [Weijing Wu]).

III.7 La mobilité et la vitesse des porteurs :

La mobilité et la vitesse des porteurs représentent deux grandeurs physiques très intéressantes caractérisant les matériaux semi-conducteurs, elles sont des paramètres indispensables pour l'étude de transport [21].

La variation de la vitesse des électrons en fonction du champ électrique appliqué pour quelques semi-conducteur (GaAs, InP, GaInAs) est représentée sur la figure III.11.

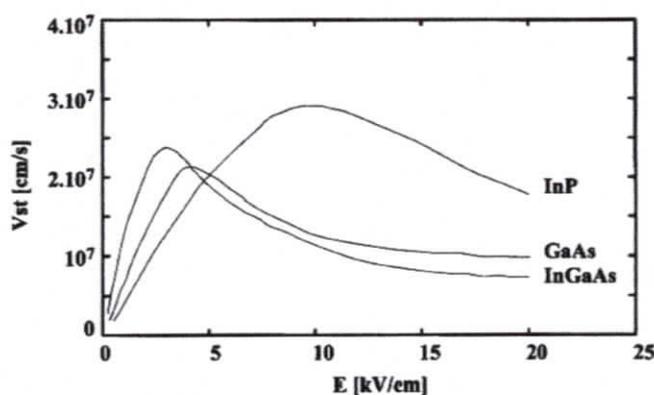


Figure III.17 : Vitesse des porteurs en fonction du champ appliqué [22]

Pour les faibles champs électriques, nous remarquons une proportionnalité entre l'augmentation de la vitesse des électrons et celui du champ. Pour les forts champs, la vitesse présente une partie de résistance différentielle négative. Lorsque le champ électrique devient très important, les interactions des porteurs avec les vibrations du réseau entraînent une diminution de la mobilité des électrons. Cette diminution de la mobilité se traduit par une variation non linéaire de la vitesse des électrons (si on conserve la définition habituelle de la mobilité comme étant le rapport entre la vitesse électrique et le champ électrique) :

$$V = \mu(E) \times E$$

La mobilité des électrons n'est pas constante et varie fortement avec l'augmentation du champ électrique.

III.7.1 Loi de mobilité :

L'expression analytique des variations de la mobilité des électrons en fonction du champ électrique, que nous utilisons est une relation simplifiée suivant l'intensité du champ électrique appliqué [23][24] :

- Dans le domaine des faibles champs électriques ou « $E < E_0$ » (E_0 est le champ critique) les électrons sont en équilibre thermodynamique avec le réseau et leur mobilité est constante et indépendante du champ électrique. $\mu = \mu_0$
- Lorsque le champ électrique devient important « $E \leq E_0$ », les interactions des porteurs avec les vibrations du réseau entraînent une diminution de la mobilité des électrons. Cette diminution de la mobilité se traduit par une variation non linéaire de la vitesse de dérive des électrons. La loi de variation de cette mobilité en fonction du champ électrique dans ce cas, est donnée par :

$$\mu = \frac{\mu_0}{\left[1 + \left(\frac{E - E_0}{E_0}\right)^2\right]^{1/2}} \quad (\text{III.27})$$

En d'autres termes, l'expression de la vitesse des électrons en fonction du champ électrique s'écrit simplement suit :

$$\vec{V}(E) = \pm\mu \cdot \vec{E}$$

Où

$$\mu_0 = \frac{q\tau}{m^*} \tag{III.28}$$

Avec τ est le temps de relaxation et m^* est la masse effective de l'électron.

$$E_c = \frac{v_s}{\mu_0}$$

v_s est la vitesse de saturation des porteurs de charge.

$$E_0 = \frac{1}{2} [E_s + (E_s^2 - 4E_c^2)^{1/2}] \tag{III.29}$$

E_s est le champ de seuil correspondant à la valeur maximale de la vitesse des électrons, qui peut être calculé à partir de la relation suivant :

$$\left. \frac{dv}{d \cdot E} \right|_{E=E_S} = 0 \tag{III.30}$$

III.7.2 Résultats et simulations numériques:

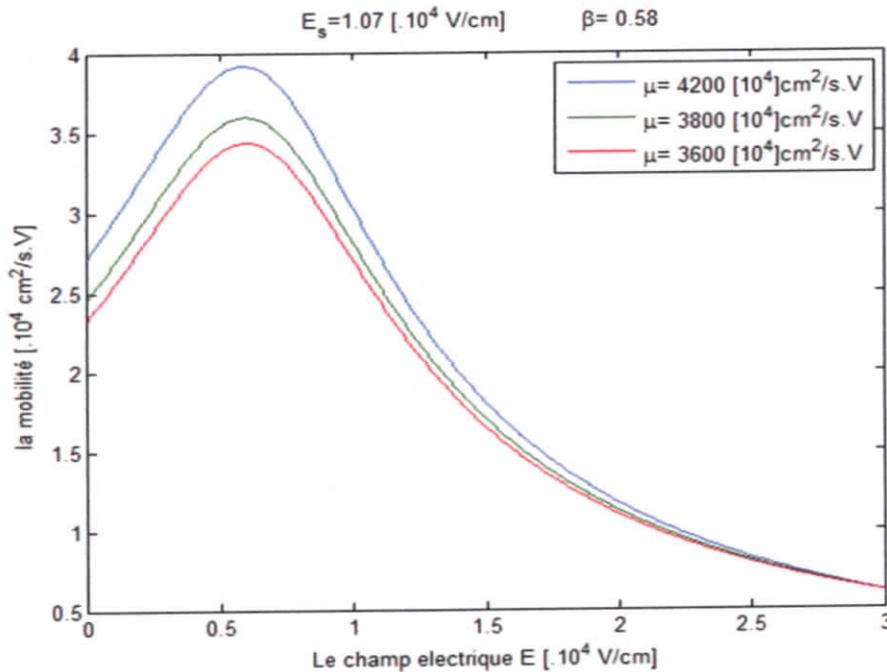


Figure III.18 Variation de la mobilité des porteurs en fonction de champ électrique.

La figure ci-dessus illustre que pour des faibles valeurs de champ électrique, la mobilité des porteurs augmente à partir d'une valeur crête de champ de $4 [10^4 \text{ V/s}]$, la mobilité présente une partie différentielle négative jusqu'à la saturation et une valeur voisine de $300 [10^4 \text{ cm}^2/\text{V s}]$.

Cette variation est attribuée aux interactions des porteurs sous l'effet de la variation de champ électrique. Plus que le champ est important plus les interactions sont fréquentes et la mobilité diminue. Notons que la mobilité des porteurs dépend de leur mobilité initiale.

III.8 Modèle analytique compact du courant de drain :

Le courant de drain pour une modélisation compacte (qui couvre les différentes régions de fonctionnement) dans un TFT est donné par [25]:

$$I_{DS} = I_{leak} + \left(\frac{1}{I_{sub}} + \frac{1}{I_{abv} + I_{tr}} \right)^{-1} \quad (III.31)$$

- I_{tr} : Le courant du régime transitoire.
- I_{abv} : L'expression du courant pour le régime supérieur au seuil.
- I_{leak} : Le courant de fuite.
- I_{sub} : Le courant sous le seuil.

L'équation du courant pour le régime au dessus de seuil est [25][26]:

$$I_{abv} = \mu_{FET} C_i \frac{W}{L} V_{DSc} (1 + \lambda V_{DS}) \cdot V_{GTc} \quad (III.32)$$

avec :

$$V_{GTc} = V_{th} \cdot \left[1 + \frac{V_{GT}}{2V_{th}} + \sqrt{\delta^2 + \left(\frac{V_{GT}}{2V_{th}} - 1 \right)^2} \right]$$

$$V_{GT} = V_{GS} - V_{T0}$$

$$\mu_{FET} = \mu_n \left(\frac{V_{GTc}}{V_{AA}} \right)^{\gamma}$$

$$V_{DSc} = \frac{V_{DS}}{\left[1 + \left(\frac{V_{DS}}{V_{sate}} \right)^{m_{sat}} \right]^{1/m_{sat}}}$$

$$V_{sate} = \alpha_{sat} V_{GTc}$$

$$C_i = \epsilon_i \epsilon_0 d_i$$

La plupart des paramètres sont similaires au modèle d'un a-Si : H MOSFET, les paramètres seront présentés ci-dessous :

- C_i : Capacité du diélectrique par unité de surface. Le dioxyde de silicium est utilisé pour la grille supérieure et le nitrure de silicium est utilisé pour la grille inférieure.

- μ_n : La mobilité de la bande de conduction. C'est la mobilité maximale des porteurs (électrons). Pour les dispositifs nc-Si, elle aurait une valeur comprise entre $1 \text{ cm}^2\text{V}^{-1}\text{S}^{-1}$ et $40 \text{ cm}^2\text{V}^{-1}\text{S}^{-1}$.
- Cependant, les dispositifs ayant une mobilité supérieure à $40 \text{ cm}^2\text{V}^{-1}\text{S}^{-1}$ ne saurait être pas bien représentés par ce modèle, car ils seraient plus proches des dispositifs poly-Si.
- V_{Dse} : La tension efficace drain -source. Ce modèle reproduit la réduction de la tension efficace drain-source dans le canal.
- α : détermine la tension de drain à partir de laquelle la saturation se produit.
- V_{sate} : La tension de saturation efficace de drain.
- M_{sat} : Paramètre de forme pour le régime de saturation.
- λ : Le paramètre de modulation de la longueur du canal.
- V_{GTe} : La tension efficace de la grille.
- δ : Le paramètre de la largeur de la transition, déterminé de manière empirique, il décrit la largeur du régime de transition. Lorsque $\delta=0$, $V_{Gte}=V_{Gtr}=V_{Gs}$.
- V_{th} : La tension de seuil.
- M : Coefficient de dépendance linéaire de la mobilité par rapport a .
- D : Paramètre de correction empirique pour la dépendance quadratique V_{Gs} .
- V_{tr} : La tension de transition, où la transconductance du TFT bascule d'une valeur constante à une valeur linéaire, ou bien lorsque le rapport de la courbe de transfert $I_{DS}=(V_{Gs})$ change d'une valeur linéaire à une valeur quadratique.

L'équation du courant au régime de transition est [25][26] :

$$I_{tr} = \frac{1}{2} \mu_n C_i \frac{W}{L} V_{Dse} (1 + \lambda V_{Ds}) \cdot M \cdot V_{Gtr}^{2+D} \quad (\text{III.33})$$

avec :

$$V_{Gtr} = V_{th} \cdot \left[1 + \frac{V_{Gtr}}{2V_{th}} + \sqrt{\delta^2 + \left(\frac{V_{Gtr}}{2V_{th}} - 1 \right)^2} \right]$$

$$V_{Gtr} = V_{Gs} - V_{tr}$$

L'équation du courant pour le régime sous le seuil est [25] [26]:

$$I_{sub} = q\mu_n \frac{W}{L} V_{DS} n_{s0} \left[\left(\frac{t_m}{d_i} \right) \left(\frac{V_{GFBe}}{V_2} \right) \left(\frac{\epsilon_i}{\epsilon_s} \right) \right]^{\frac{2V_2}{V_e}} \quad (III.34)$$

avec :

$$n_{s0} = N_C t_m \left(\frac{V_e}{d_i} \right) \exp \left(\frac{-dE_{F0}}{V_{th}} \right)$$

$$V_{GFBe} = V_{th} \cdot \left[1 + \frac{V_{GFB}}{2V_{th}} + \sqrt{\delta^2 + \left(\frac{V_{GFB}}{2V_{th}} - 1 \right)^2} \right]$$

$$V_{GFB} = V_{GS} - V_{FB}$$

$$t_m = \sqrt{\frac{\epsilon_s \epsilon_0}{2q \cdot g_{min}}}$$

$$V_e = \frac{2V_2 V_{th0}}{2V_2 - V_{th}}$$

L'équation du courant pour le régime de fuite est [25][26]:

$$I_{leak} = I_{0L} \left[\exp \left(\frac{V_{DS}}{V_{dsL}} \right) - 1 \right] \exp \left(\frac{-V_{GS}}{V_{GL}} \right) + \sigma \cdot V_{DS} \quad (III.35)$$

III.9 Résultats et simulations numériques:

III.9.1 Caractéristique de sortie $I_{ds}(V_{ds})$:

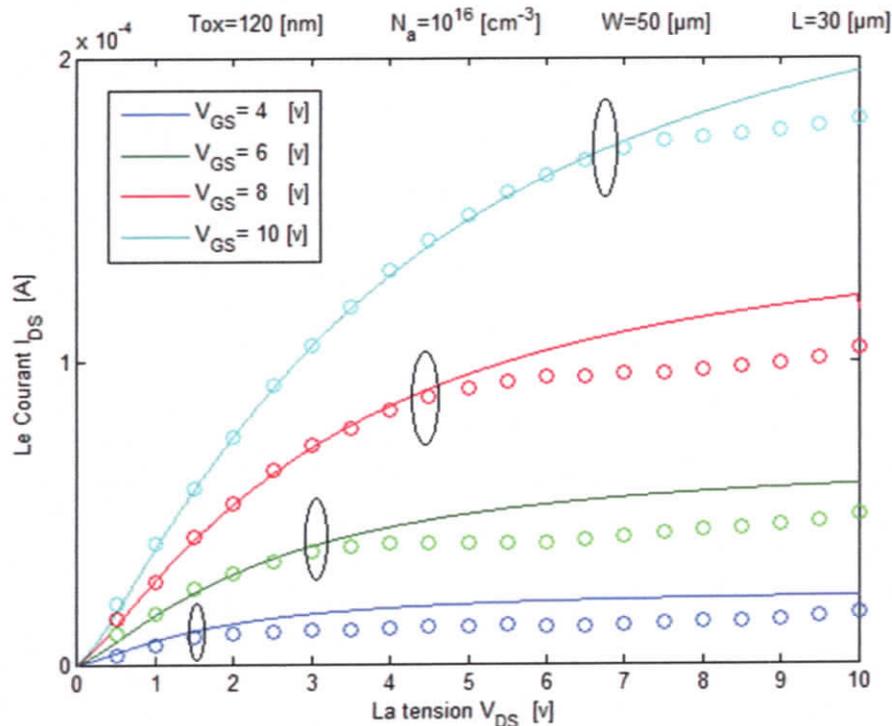


Figure III.19 le courant I_{ds} en fonction de tension V_{ds}

La figure montre l'évolution du courant de drain en fonction de la tension V_{ds} , décrit les propriétés du transistor, les phénomènes physiques liés à la structure particulière du polysilicium (effets quantiques), ainsi que l'effet de l'application d'une tension de grille excessivement élevée sur les caractéristiques courant-tension du transistor appelé couramment effet "kink",

On voit que le courant I_{ds} varie linéairement pour des faibles valeurs de tension V_{ds} (entre 0 et 2[V]), puis il croit brusquement pour atteindre un maximum, où le transistor est en état de saturation, les porteurs ne participent plus dans la conduction de courant, à cause de la diminution de leur vitesse, le courants se stabilise aux valeurs quasi-constante (saturation de la vitesse des porteurs).

III.9.2 Caractéristique de transfert $I_{ds}(V_{gs})$:

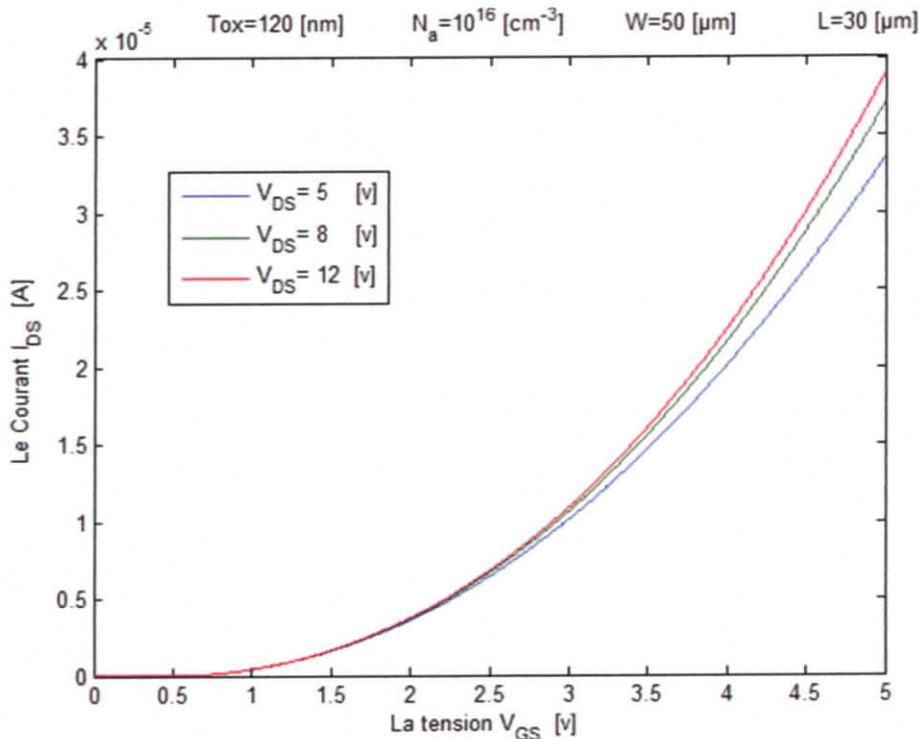


Figure III.20 le courant I_{ds} en fonction de tension V_{gs} .

La figure illustre l'évolution du courant de drain en fonction de la tension V_{gs} , décrit les propriétés du transistor, les phénomènes physiques liés à la structure particulière du polysilicium (effets quantiques), ainsi que l'effet de l'application d'une tension de drain excessivement élevée. On remarque que la tension de grille V_{gs} a un effet important sur les valeurs de courant I_{ds} , des que la tension V_{gs} augmente I_{ds} augmente.

A partir de la caractéristique de transfert on peut extraire la valeur de la tension de seuil V_{th} et V_{on} .

Conclusion :

Les caractéristiques électriques des TFT poly-si sont fortement liées à la taille des grains. En effet, dans la littérature, tous les chercheurs s'accordent à dire que les performances du TFT (mobilité, I_{on} , V_t , pente sous le seuil, courant de fuite) s'améliorent pour des grains de poly-si plus grands ou lorsque la dimension des transistors et la taille des grains convergent.

En effet, en diminuant la taille du composant, on diminue aussi le nombre de grains, pour tendre alors vers des performances plus proches des transistors bulk. On obtient alors une pente sous le seuil et une mobilité plus forte, une tension de seuil et un courant de fuite plus faible.

CONCLUSION GÉNÉRALE

Conclusion générale

La technologie des transistors en couches minces à base de silicium polycristallin (TFT Poly-Si) est en pleine croissance. Cette technologie est utilisée aujourd'hui pour des applications d'électronique grande surface telles que les écrans plats à matrices actives LCD ou OLED, les imageurs à rayons X ou les capteurs d'empreintes.

L'objectif principale de ce mémoire réside en la modélisation analytique du transistor en couche mince à base de polysilicium, leurs performances et caractéristiques en tenant compte de la structure cristalline du silicium formant le canal.

Dans un premier temps nous avons présenté le comportement du transistor MOS dans ses différents régimes de fonctionnement, ainsi caractériser l'impact de la taille des grains sur la dispersion des caractéristiques statiques des TFTs poly-si, à fin de valider nos résultats de simulation, une comparaison avec des résultats de la littérature a été effectuée. Cela a prouvé la justesse ainsi que le rapprochement de nos valeurs de simulation avec les valeurs expérimentales.

la dispersion des caractéristiques électriques est un des inconvénients majeurs de la technologie TFT poly-si pour la conception de circuits. En effet, la difficulté est de pouvoir quantifier, pour l'ensemble des géométries du transistor, la dispersion des paramètres électriques principaux (tension de seuil, mobilité, pente sous le seuil), il apparaît alors que la dispersion des caractéristiques statiques (tension de seuil, mobilité) augmente lorsque la taille du transistor et la taille moyenne des grains convergent. En effet, l'effet des joints de grains est plus « moyenné » dans un transistor de grande taille que de petite taille. Afin de les prendre en compte la réduction des dimensions de MOS fait apparaître également des phénomènes complexes (des effets quantiques) que nous proposons comme perspective à ce modeste travail.

BIBLIOGRAPHIE

Bibliographies:

- [1] J. E. Lilienfeld, « Method and apparatus for controlling electric currents », US Patent », p. 1745175, 1930.
- [2] C. Talagrand « Transistor en couche mince avec canal en oxyde d'indium gallium et de zinc : matériaux, procédés, dispositifs », thèse Doctorat, l'École Nationale Supérieure des Mines de Saint-Étienne, 2015.
- [3] N.H Toudjen épouse Kheniene, «Modélisation du Transistor à Effet de Champ (TEC) en Couches Minces à base de Silicium Polycristallin Si-L.P.C.V.D» , thèse Doctorat , Université Constantine,2010.
- [4] M. Bella «Influence des effets quantiques sur les caractéristiques de transistors DGMOS nanométrique » , thèse Doctorat , Université Constantine, 2009.
- [5] B.Diagne. «Etude et modélisation compacte d'un transistor MOS SOI double grille dédié à La conception », thèse de doctorat, université Louis Pasteur – Strasbourg I, novembre 2007.
- [6] S.M Zse, N. Kwok,« Physics of semiconductor devices» 3^{ème} edition, John Wiley&Sons, New York ,2005.
- [7] C.Talagrand « Transistor en couche mince avec canal en oxyde d'indium gallium et de zinc : matériaux, procédés, dispositifs», thèse Doctorat , l'École Nationale Supérieure des Mines de Saint-Étienne, 2015 .
- [8] Y. Kuo, «Thin-Film Transistor and Ultra-Large Scale Integrated Circuit: Competition or Collaboration», Jpn. Journal of Applied Physics,vol. 47, no. 3, pp. 1845–1852, 2008.
- [9] H. Bouridah « Étude des propriétés de couches minces de silicium dope azote obtenues par lpcvd et implantées au bore pour grille polysilicium de transistors MOS» , thèse Doctorat , Université Constantine, 2005.
- [10] C.Rechatin « Caractérisation, modélisation, conception pour des applications analogiques grande surface dans la technologie transistors en couches minces en silicium polycristallin (TFT Poly-Si)» » , thèse Doctorat , L'Institut National des Sciences Appliquées de Lyon, 2007.

- [11] Kah Yoong Chan, «Realization and Characterization of Microcrystalline Silicon Thin-Film Transistors », thèse Doctorat, Jacobs university,2008.
- [12] L.F Mao, « The quantum size effects on the surface potential of monocrystalline silicon thin film transistors», thin solid films, vol 518, p.3396,2010.
- [13] A. Ortiz-Conde, J.G. Fossum, IEEE Trans. Electron Devices 33 (1986) 1563.
- [14] J.G. Fossum, A. Ortiz-Conde, H. Shichijo, S.K. Banerjee, IEEE Trans. Electron Devices 32 (1985) 1878.
- [15] L.W. Wang, A. Zunger, Phys. Rev. Lett. 73 (1994) 1039.
- [16] X. Peng, S. Ganti, P. Sharma, A. Alizadeh, S. Nayak, S. Kumar, J. Comput. Theor. Nanosci. 2 (2005) 469.
- [17] L.F. Mao,« Quantum size impacts on the threshold voltage in nanocrystalline silicon thin film transistors», Microelectronics Reliability, 53 (2013) 1886–1890.
- [18] W.Wua, R.Yao,X.Zheng, « A new analytical threshold voltage model for the doped polysilicon thin-film transistors», Solid-State Electronics 53 (2009) 607–612.
- [19] Wong M, Chow T, Wong CC, Zhang D. « A quasi two-dimensional conduction model for polycrystalline silicon thin-film transistor based on discrete grains ». IEEE Trans Electron Dev 2008;55(8):2148–56.
- [20] DE Graaff HC, Huybers M, DE Groot JG. « Grain boundary states and the characteristics of lateral polysilicon diodes». Solid-State Electron 1982.25(1):67–71.
- [21] K.Saadedinne, Thèse de doctorat, « Modélisation non linéaire des composants à effet de champ » , université de Constantine, 2009.
- [22] D.K.Ferry, « Gallium Arsenide Technology », Vol.2, Edi Howard W. Sams and Company , Indiana , 1990.
- [23] C.S. Change, H.R. Fetterman, « An analytic model for HEMTs using new velocity field dependence » , IEEE Tras Ele Dev, Vol34, N°11,p 1465,1987.

[24] K. M. Shin, D.P Kéemer, J. I. Lion ,« Current voltage characteristics of submicromete GaAs MESFET's with nonuniform channel doping profilis », Solid State Elecronics, Vol.35, N°11,pp 1639-1644, 1992.

[25] David J. Grant, « Physics and Modelling of Nanocrystalline Silicon Thin-Film Transistors», Department of Electrical & Computer Engineering, University of Waterloo, 2003.

[26] Dosi Dosev , Fabrication, « Characterisation and Modelling of Nanocrystalline Silicon Thin-Film Transistors Obtained by Hot-Wire Chemical Vapour Deposition», thèse Doctorat, Polytechnical University of Catalunya, Barcelona, 2003.