

2017/03

République Algérienne Démocratique et Populaire
Ministère de l'Enseignement Supérieur et de la Recherche Scientifique

02/02



M/ELE.OPT

2017/03



Université Mohammed Seddik Ben Yahia-Jijel

Faculté des Sciences et de la Technologie

Département d'Electronique



Projet de fin d'Etudes pour L'obtention du Diplôme de

Master en Electronique

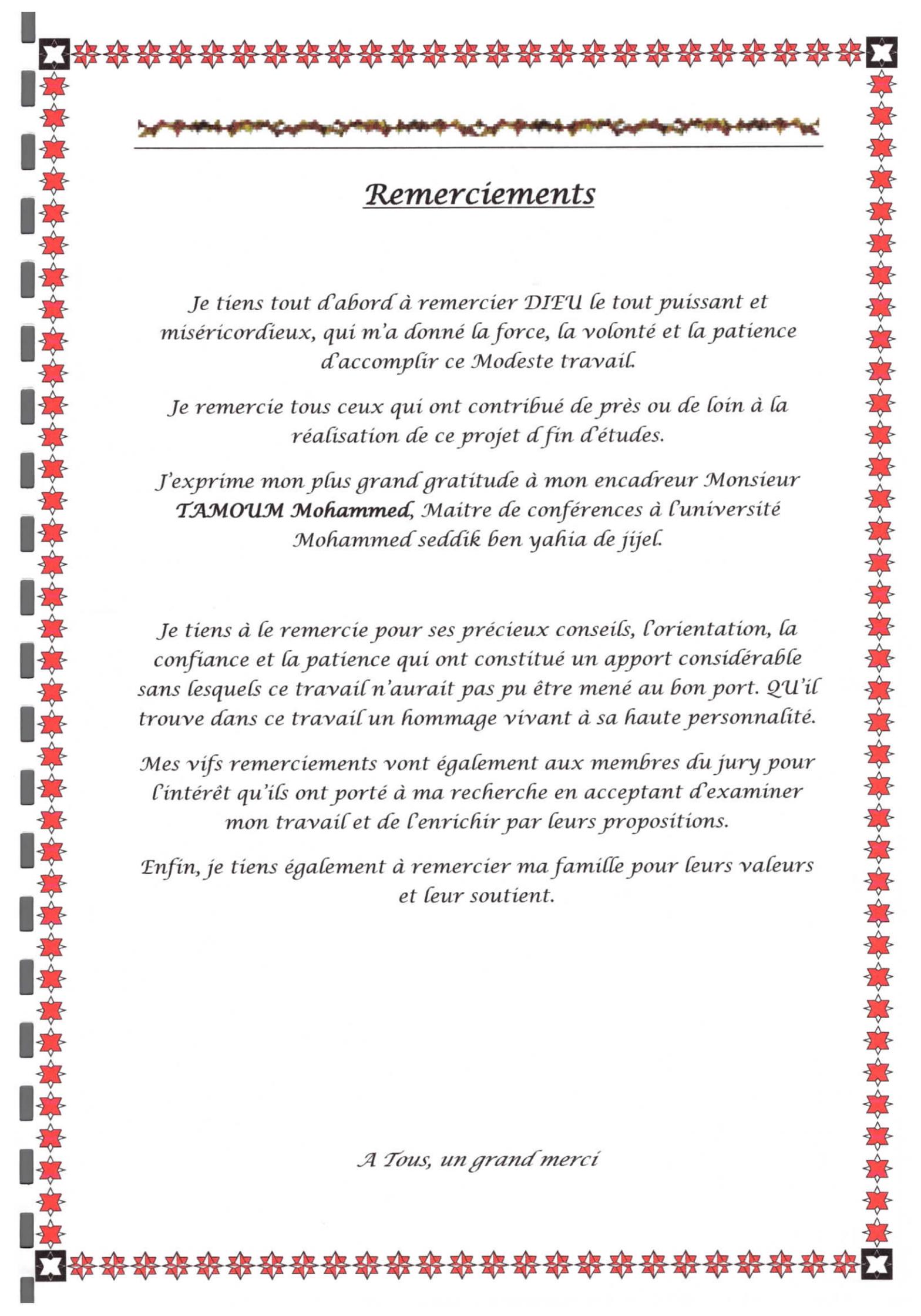
Option : Electronique et Optoélectronique

Thème :

**Modélisation, Caractérisation et la sensibilités des
Transistors LDMOS dans le Domaine des RF à Base de
Schéma Equivalent**

<u>Encadré par :</u> Dr : Mohammed TAMOUM	<u>Réalisé par :</u> M. Hamza BOUTABOUNA
---	--

Promotion 2016/2017



Remerciements

Je tiens tout d'abord à remercier DIEU le tout puissant et miséricordieux, qui m'a donné la force, la volonté et la patience d'accomplir ce Modeste travail.

Je remercie tous ceux qui ont contribué de près ou de loin à la réalisation de ce projet d fin d'études.

*J'exprime mon plus grand gratitude à mon encadreur Monsieur **TAMOUM Mohammed**, Maitre de conférences à l'université Mohammed seddik ben yahia de jijel.*

Je tiens à le remercie pour ses précieux conseils, l'orientation, la confiance et la patience qui ont constitué un apport considérable sans lesquels ce travail n'aurait pas pu être mené au bon port. QU'il trouve dans ce travail un hommage vivant à sa haute personnalité.

Mes vifs remerciements vont également aux membres du jury pour l'intérêt qu'ils ont porté à ma recherche en acceptant d'examiner mon travail et de l'enrichir par leurs propositions.

Enfin, je tiens également à remercier ma famille pour leurs valeurs et leur soutien.

A Tous, un grand merci

Dédicace



Je dédie ce modeste travail

A mes chers parents

A mes frères et mes sœurs

A toute ma famille

A mon encadreur M. Mohammed TAMOUM

A tous mes collègues et mes amis.

A tous ceux qui ont sacrifié leur temps pour la science

et à tous ceux qui ont utilisé la science pour le bien

et la prospérité de l'humanité.

Hamza

Résumé

Dans ce projet, notre but est de modéliser, dans le domaine des radiofréquences le transistor **LDMOS**. Pour cela, nous avons utilisé la modélisation phénoménologique en se basant sur un schéma équivalent que nous avons choisi. Pour extraire les éléments de ce dernier, nous avons utilisé la méthode d'épluchage. Ensuite, nous avons implanté le modèle dans le simulateur **ADS**. Pour le valider, nous avons comparé les résultats de la mesure avec ceux de la simulation, nous avons obtenus un bon accord. L'extraction des éléments du modèle petit signal est rapide et précise. Enfin, nous avons étudié la sensibilité des éléments intrinsèques par rapport à l'extraction des éléments extrinsèques, par conséquent, nous avons appliqué une erreur de $\pm 5\%$ ou $\pm 10\%$ sur les éléments extrinsèques à tour de rôle et cela pour plusieurs points de polarisation.

Abstract

In this project, our aim is to model the **LDMOS** transistor in the radiofrequency domain. For this, we used the phenomenological modeling based on an equivalent circuit that we chose. To extract its elements, we used the deembedding method. Then, we implant the model into the **ADS** simulator. To validate it, we compared the results of the measurement with those of the simulation, we obtained a good agreement. The extraction of the elements of the small signal model is fast and precise. Finally, we have studied the sensitivity of the intrinsic elements with respect to the extraction of the extrinsic elements, there fore, we applied an error of $\pm 5\%$ or to $\pm 10\%$ on the extrinsic elements in turn for several polarization points.

ملخص

في هذا المشروع هدفنا هو نمذجة الترانزستور **LDMOS** في مجال **RF**. لهذا استخدمنا نمذجة تجريبية واعتمدنا على دارة كهربائية مكافئة اخترناها. لاستخراج عناصر هذه الاخيرة، استخدمنا طريقة التقشير. ثم ادخلنا النموذج في برنامج المحاكات **ADS**. لتقييم نموذجنا، قارنا نتائج القياس مع تلك المحاكات وحصلنا على نتائج مطابقة. استخراج عناصر هذا النموذج سريع ودقيق. أخيراً، درسنا حساسية العناصر الداخلية فيما يتعلق باستخراج العناصر الخارجية ولذلك قمنا بتطبيق خطأ $\pm 5\%$ أو $\pm 10\%$ على العناصر الخارجية الواحد تلو الآخر لعدة نقاط الاستقطاب.

Lexique

ADS	Advanced Design System
AlGaN	Aluminum Gallium Nitride
BF	Basses Fréquences
BJT si	Bipolaire Junction Transistors silicium
Bulk	Substrat de Silicium massif
CMOS	Complementary Metal Oxide Semiconductor
DC	Direct Current
DMOS	Diffused Metal Oxide Semiconductor
FET	Field Effect Transistor
GaAs	Arséniure de Gallium
GaN	Nitride de Gallium
GPS	General Packet Radio Service
GSM	Global System for Mobile Communications
HEMT	High Electron Mobility Transistor
HF	Haute Fréquence
HFSS	High Frequency Structural Simulator (Ansys Corporation)
IC	Integrated Circuit
Im	Imaginaire
ISM	Industriel, Scientific, & Medical radio frequency band
ITRS	International Technology Roadmap for Semiconductors
LDD	Lightly Doped Drain
LDMOS	Laterally Diffused Metal Oxide Semiconductor
LDMOSFET	Laterally Diffused Metal Oxide Semiconductor Field Effect Transistor
MESFET	Metal Semiconductor Field Effect Transistor
MOS	Metal Oxide Semiconductor
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
nMOS	Transistor MOS ayant un canal de type n
pHEMT	Pseudomorphic HEMT
PN	Jonction PN
P ⁺ Sinker	Implant fortement dopé pour relier la source
Re	Réel
RF	RadioFréquences
SE	Schéma Equivalent
SiC	Silicon Carbide
SOI	Silicon-On-Insulator (Silicium sur isolant)
SPICE	Simulation Program with Integrated Circuit Emphasis
UMTS	Universal Mobile Telecommunications System
VDMOS	Vertically Diffused Metal Oxide Semiconductor
VNA	Vectorial Network Analyser
Wifi	Wireless internet for frequent interface
WiMax	World interoperability for Microwave access

Symboles

a_1	Puissance d'onde électromagnétique transverse incidente au port 1
a_2	Puissance d'onde électromagnétique transverse incidente au port 2
b_1	Puissance d'onde électromagnétique transverse réfléchie au port 1
b_2	Puissance d'onde électromagnétique transverse réfléchie au port 2
C_{ds}, C_{gd}, C_{gs}	Capacité drain-source, Capacité grille-drain, Capacité grille-source
C_{dsp}	Capacité du boîtier entre le drain et la source
C_{gsp}	Capacité du boîtier entre la grille et la source
C_{ox}	Capacité de l'oxyde par unité de surface
C_{pd}	Capacité de plots du drain
C_{pg}	Capacité de plots de la grille
D	Drain
f_{max}	Fréquence maximale d'oscillation pour laquelle le gain en courant U est égal à l'unité
f_1	Fréquence de transition pour laquelle le gain H_{21} est égal à l'unité
G	Grille
g_d, G_d	Conductance du drain
g_m, G_m	Transconductance
I_{ds}, I_d	Courant drain-source
I_{dsat}	Courant drain-source à la saturation ($V_{ds} = V_{dsat}$)
I_{off}	Courant en régime bloqué (non-passant)
K	Constante de Boltzmann ($K=8.617 \times 10^{-5}$)
L	Longueur du canal d'un MOSFET
L_d	Inductance d'accès du drain
L_{dp}	Inductance du boîtier, côté drain
L_{eff}	Longueur effective du canal
L_g	Longueur de la grille
L_g	Inductance d'accès de la grille
L_{gp}	Inductance du boîtier, côté grille
L_s	Inductance d'accès de la source
N	Concentration d'électron (cm^{-3})
N^+	Zone de type N fortement dopée
N^-	Zone de type N faiblement dopée
P	Concentration de trou
P_1	Puissance d'entrée
P_2	Puissance de sortie
Q	Matrice hybride
Q_d	Charge accumulée sous l'électrode de drain
Q_g	Charge totale stockée dans la grille
R_d	Résistance d'accès du drain
R_g	Résistance d'accès de la grille
R_i	Résistance intrinsèque liée aux effets non quasi statiques
R_s	Résistance d'accès de la source
S	Surface active de la puce d'un transistor MOS de puissance
S	Source
[S]	Matrices-S

S_{ij}	Paramètres de répartition (S : Scattering) d'indice i et j d'un multipôle
$[S_{mes}]$	Matrices- S mesuré
T_{ox}	Epaisseur de l'oxyde
V_b	Tension de polarisation appliquée au substrat
V_d	Tension de polarisation appliquée au drain
V_{ds}	Différence de potentiel drain-source
V_{dsat}	Différence de potentiel drain-source dans la région de saturation
V_g	Tension de polarisation appliquée à la grille
V_{gd}	Différence de potentiel grille-drain
V_{gs}	Différence de potentiel grille-source
V_s	Tension de polarisation appliquée à la source
V_{th}, V_D, V_T	Tension de seuil
$[Y]$	Matrices- Y
$[Y_i]$	Matrices- Y intrinsèque
$[Y_{mes}]$	Matrices- Y mesuré
Z, W	Largeur du canal
Z_c	Impédance caractéristique
$[Z]$	Matrice Z
$[Z_c]$	Matrice Z extrinsèque
$[Z_{mes}]$	Matrice Z mesuré
ω	Pulsation
μ	Mobilité effective des porteurs dans le canal

Sommaire

Introduction générale.....	1
----------------------------	---

CHAPITRE I : Le transistor MOS dans le domaine des RF

I. Introduction.....	3
II. Principe de fonctionnement et structure du transistor MOSFET	3
II.1. Présentation de la structure MOS	3
II.2. Principe de fonctionnement.....	5
II.2.1. Le mode bloqué (régime d'accumulation)	5
II.2.2. Le mode passant (Régime d'inversion)	5
II.2.2.1. Le régime linéaire.....	6
II.2.2.2. Le régime de saturation.....	7
III. Caractéristiques électriques du transistor MOS	7
IV. Les transistors MOS pour les applications RF	8
V. Les transistors LDMOS	10
VI. Conclusion.....	11

CHAPITRE II Modélisation du transistor LDMOS en RF

I. Introduction.....	12
II. Exigences de la modélisation.....	12
III. Types de modélisation.....	15
III.1. La Modélisation physique.....	15
III.2. La Modélisation phénoménologique (ou empirique)	15
III.3. La Modélisation à base de données expérimentales ou (par table)	16
IV. Choix de la modélisation.....	17
V. Les mesures hyperfréquences.....	17
VI. Méthodologie suivie durant ce travail.....	20
VII. Conclusion.....	20

CHAPITRE III

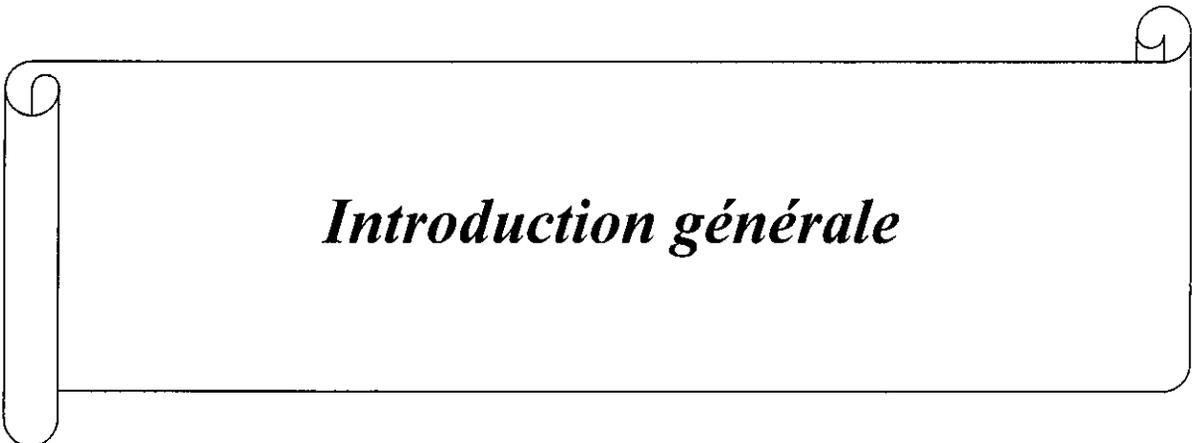
Caractérisation électrique du transistor LDMOS

I. Introduction.....	21
II. schéma équivalent électrique.....	21
II.1. Eléments du boîtier.....	22
II.2. Eléments Extrinsèques.....	23
II.3. Eléments Intrinsèques.....	24
III. Détermination des éléments électriques du modèle.....	26
III.1. Extraction des éléments du boîtier.....	26
III.2. Extraction des éléments extrinsèques.....	27
III.3. Extraction des éléments intrinsèques.....	32
IV. Caractéristiques statiques du transistor LDMOS utilisé.....	35
V. Implémentation du schéma équivalent dans le simulateur ADS	36
VI. Validation du modèle.....	37
VII. Conclusion.....	41

CHAPITRE IV

Sensibilité des éléments intrinsèques par rapport aux éléments extrinsèques

I. Introduction.....	42
II. Etude de l'influence des éléments extrinsèques sur les éléments intrinsèques.....	42
II.1. Application d'une erreur de $\pm 5\%$ sur les éléments extrinsèques.....	42
II.2. Application d'une erreur de $\pm 10\%$ sur les éléments extrinsèques.....	52
II.3. Effet de l'erreur de $\pm 5\%$ et $\pm 10\%$ sur les éléments intrinsèques pour d'autres points de fonctionnement.....	53
III. Conclusion.....	59
Conclusion générale.....	62



Introduction générale

Face aux enjeux du marché de la radiotéléphonie mobile, les fabricants de composants semi-conducteurs (transistors bipolaires, transistors à effet de champ, ...) se sont lancés dans la « bataille » permettant de répondre aux exigences des systèmes de communication en termes de puissance, de performances en gain et linéarité, d'encapsulation et de coût de revient. En effet, ces différents dispositifs semi-conducteurs sont nécessaires pour les étages émetteurs et récepteurs dans les divers équipements qui utilisent le spectre hertzien depuis le téléphone portable, jusqu'aux stations de bases et aux satellites [1].

La mise en place de systèmes performants requiert une technologie de semi-conducteurs offrant des performances en termes de fréquence, puissance, rendement et linéarité toujours plus élevées. Dans la technologie des semi-conducteurs III-V, il existe un grand nombre de structures de transistors, toutes différentes, dont les performances correspondent à des applications spécifiques et à un domaine de fréquence donné. Pour l'amplification de puissance hyperfréquence, le **HEMT** pseudo morphique (**PHEMT**) sur **GaAs** constitue un des composants privilégiés compte tenu de ses performances et de la maturité de la filière [2].

En conséquence, aujourd'hui, même si le transistor **MOS** reste un composant massivement utilisé pour la conception numérique, de nombreux efforts sont portés sur la fabrication de circuits **RF** en technologie **MOS**. Depuis 2003, l'**ITRS** (International Technology Roadmap for Semiconductors) s'intéresse ainsi à l'évolution des technologies **RF** et Analog/Mixed-Signal pour les communications sans fil [3]. Dans la vie de tous les jours, ce type d'applications se situe potentiellement à peu près partout, pour la téléphonie mobile (**GSM**, **UMTS**, ...), les réseaux sans fil (**Wifi**, **Bluetooth**, bande **ISM**, **Wimax**, ...) ou la localisation et le transport (**GPS**, radars de proximité, ...) et possède encore vraisemblablement, une bonne marge de développement [4].

Par rapport à ces exigences de performances et de coût, une nouvelle génération de composant semi-conducteur est apparue sur la scène de l'amplification de puissance : le **LDMOS** (Laterally Diffused Metal-Oxide Semiconductor) dédié à la radiotéléphonie mobile et utilisé dans les étages de sortie des amplificateurs des stations de base [1].

L'objectif de ce travail s'est exprimé à travers le besoin de modèles **RF** pour les technologies **MOS**. Or les modèles compacts ne sont pas adaptés pour les technologies émergentes, à cause de leur complexité et du temps élevé pour l'extraction des paramètres. Par conséquent, la solution qui pouvait contourner ce problème était l'utilisation un modèle

empirique, basée sur l'utilisation, de schéma équivalent **RF**. Ce dernier est divisé en trois parties, une partie boîtier, une partie extrinsèque et une partie intrinsèque.

Une fois le modèle développé, nous allons, étudier à quel point la précision de l'extraction des éléments extrinsèques influe sur les éléments intrinsèques.

Ce travail a fait l'objet de 4 chapitres :

Le premier chapitre présentera tout d'abord ce qu'est un transistor **MOS** à effet de champ, puis décrira son principe de fonctionnement ainsi que les caractéristiques principales en précisant sa structure. Le cas du transistor **LDMOS** sera mis en relief, étant donné qu'il est souvent utilisé pour le domaine des radiofréquences.

Le second chapitre décrira la modélisation, nous présentons les exigences de la modélisation, ses différents types ainsi que leurs avantages et inconvénients sur lesquelles nous nous sommes basés pour choisir particulièrement la modélisation phénoménologique. Enfin nous allons présenter la méthodologie à suivre durant notre étude.

Le troisième chapitre est entièrement consacré à la caractérisation hyperfréquence du transistor **LDMOS** utilisé. Après la présentation du schéma équivalent utilisé, nous présentons l'extraction des éléments du boîtier, des éléments extrinsèques et des éléments intrinsèque en utilisant la méthode d'extraction développée par **G. DAMBRINE** qui est basée sur des transformations successives des paramètres **S** en paramètres **Z** ou **Y**. Nous allons implémenter le modèle dans le logiciel de simulation **ADS**. Enfin, pour valider notre modèle, nous optons pour des comparaisons entre simulations et mesures.

Dans le dernier chapitre de notre travail, nous allons étudier l'influence des éléments extrinsèques sur l'extraction des éléments intrinsèque dans différents points de polarisation (V_{gs} , V_{ds}). Nous allons commettre une erreur dans les valeurs des éléments extrinsèques à tour de rôle de $\pm 5\%$ et de visualiser leurs influences sur l'extraction des éléments intrinsèques. Ensuite, nous augmenterons cette erreur à $\pm 10\%$ pour voir comment il affecte les éléments intrinsèques, pour étudier l'effet de l'amplitude de l'erreur sur les éléments intrinsèques.

Enfin, nous terminerons par une conclusion générale et des perspectives.

Chapitre I
Le transistor MOS dans le domaine des
RF



I. Introduction

Le MOSFET est aujourd'hui le transistor le plus utilisé en microélectronique. Alors qu'il sert principalement pour la conception de circuits numériques, son faible coût et ses performances en font un composant de plus en plus intéressant pour les applications RF [5].

Les transistors MOS se distinguent également par leur facilité de conception par rapport aux transistors bipolaires : ainsi, ils consomment moins de puissance et, surtout ils répondent aux exigences de coût [6].

L'objectif de ce chapitre est d'introduire les principales différences technologiques entre un MOSFET dédié à des applications RF et un MOSFET conventionnel. En effet, le comportement électrique d'un MOSFET classique devient peu adapté devant un dispositif RF avec des niveaux de puissance élevés à hautes fréquences et des niveaux de tension élevés. Les principaux phénomènes limitant l'utilisation RF du MOSFET conventionnel seront abordés ainsi que les particularités technologiques des MOSFET dédiés RF (LDMOS, VDMOS).

II. Principe de fonctionnement et structure du transistor MOSFET

II.1. présentation de la structure MOS

La structure de base du transistor Métal Oxyde Semi-conducteur à effet de champ (MOSFET) est représentée par la Figure I.1

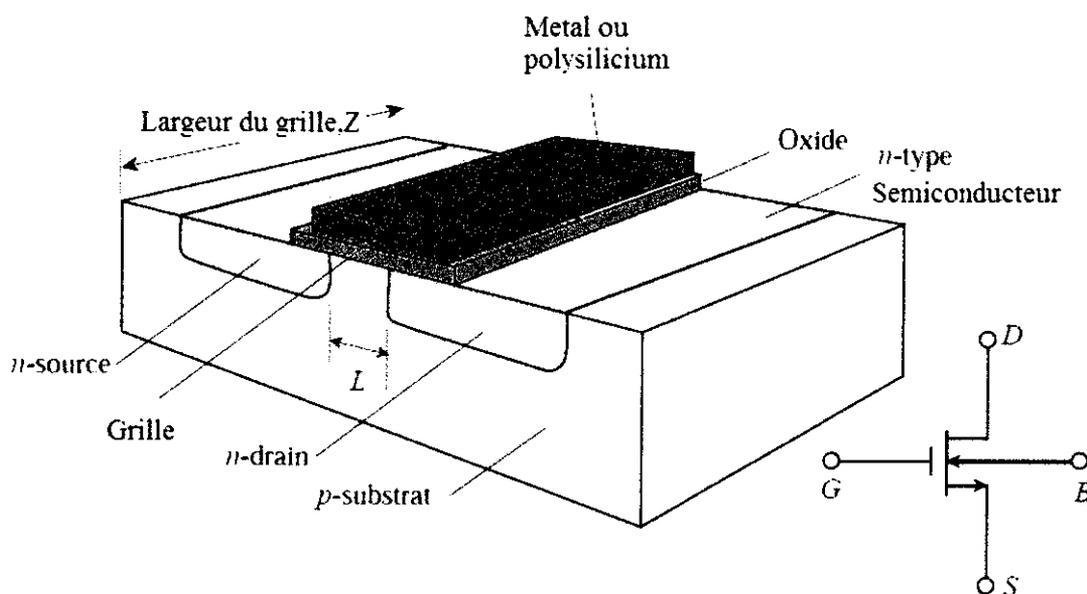


Figure I.1 : Transistor MOSFET Planaire type N (structure et symbole)

Elle est réalisée à partir d'un substrat (*Bulk*) de silicium de type **p**, sont aménagées de part et d'autre deux diffusions distinctes de type N^{++} formant le drain et la source du dispositif. Ces deux diffusions N^{++} sont séparées par une zone **P** de surface (**W.L**) qui représentera aussi la surface du canal du dispositif **MOS**. Ce canal est recouvert d'une mince couche d'oxyde de silicium T_{ox} superposée d'une couche de métal ou actuellement de poly silicium appelée grille. L'ensemble grille- oxyde-canal forme alors une capacité C_{ox} par unité de surface [7]. Dans les circuits intégrés, le transistor **MOS** est généralement isolé des composants voisins par des tranchées d'isolation [1].

Enfin, ces transistors se divisent en deux catégories:

- Les **MOSFET** à enrichissement. Ils sont les plus utilisés du fait de leur non conduction en l'absence de polarisation, de leur forte capacité d'intégration ainsi que pour leur fabrication plus aisée.
- Les **MOSFET** à appauvrissement. Ceux-ci se caractérisent par un canal conducteur (canal enterré préexistant physiquement) en l'absence de polarisation de grille ($V_{gs}=0$).

Le transistor est caractérisé par la charge de ses porteurs majoritaires qui détermine s'il est de type **P** ou **N**. Les symboles du **MOSFET** permettent de différencier son type et sa catégorie. Les lettres sur les trois électrodes correspondent à gate ou grille, drain et source [8].

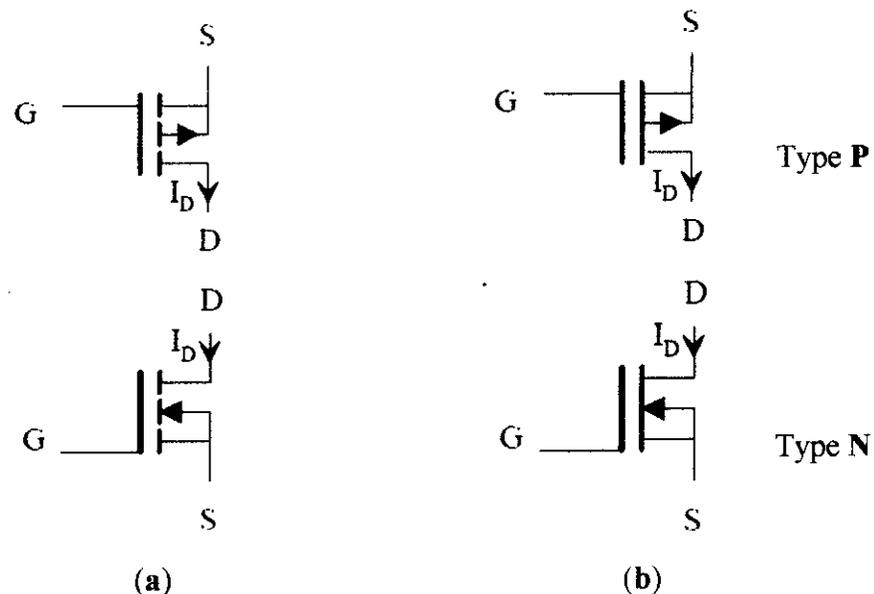


Figure I.2 : MOSFET à enrichissement (a), MOSFET à appauvrissement (b)

Nous considérerons par la suite le cas d'un transistor **nMOS** à enrichissement, où la conduction est assurée par les électrons, porteurs minoritaires du substrat.

II.2. Principe de fonctionnement

Le principe de fonctionnement du **MOSFET** est très simple, pour un substrat de type **P** par exemple, l'application sur la grille d'une tension positive par rapport au substrat fait apparaître une charge d'espace négative en surface du semi-conducteur.

Dès que la tension grille dépasse un certain seuil V_{th} , une couche d'inversion est créée et le canal **N** ainsi formé, même type donc que la source et le drain et d'autant plus conducteur que V_{gs} est grand, autorise le passage d'un courant entre les deux îlots de source et de drain. Hors de la présence de ce canal, c'est-à-dire pour $V_{gs} < V_{th}$ les îlots de source et de drain forment avec le substrat deux jonctions **PN** dont obligatoirement une se trouve non passante quelle que soit la polarité de la tension de drain [9].

En fonction de cette différence de potentiel V_{gs} , on peut distinguer différentes zones de fonctionnement, on cite principalement :

II.2.1. Le mode bloqué (régime d'accumulation)

Le mode bloqué représente l'état du composant en absence de polarisation de grille V_{gs} . Le transistor **MOS** est alors représenté par deux jonctions **PN** tête-bêche (**Figure I.3**). Le seul courant qui peut alors résulter d'une polarisation drain source et le courant inverse de l'une ou de l'autre des jonctions. Ce courant en régime bloqué I_{off} doit être le plus faible possible afin d'éviter toute consommation superflue lorsque le dispositif est non passant [10].

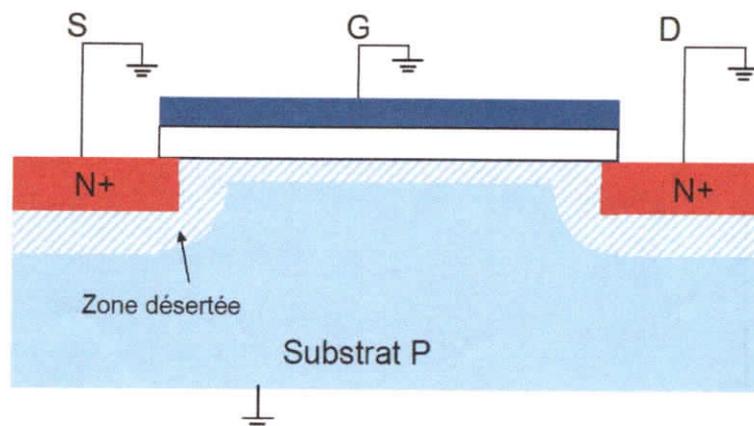


Figure I.3: Coupe de **MOSFET** représentative de son fonctionnement en absence de polarisation

II.2.2. Le mode passant (Régime d'inversion)

Le **MOSFET** est un transistor qui fonctionne en mode d'inversion, lorsque la tension appliquée sur la grille V_{gs} est supérieure à la tension de seuil V_{th} , les porteurs de charge

minoritaires (dans notre cas les électrons) sont alors attirés à l'interface Oxyde/Silicium et les trous sont repoussés en volume, un canal est donc créé à travers ce phénomène d'inversion de population. Avec l'application de la tension de drain V_{ds} , un courant circule de la source vers le drain (dans le canal créé) [11]. Le transistor est alors dit conducteur ou passant.

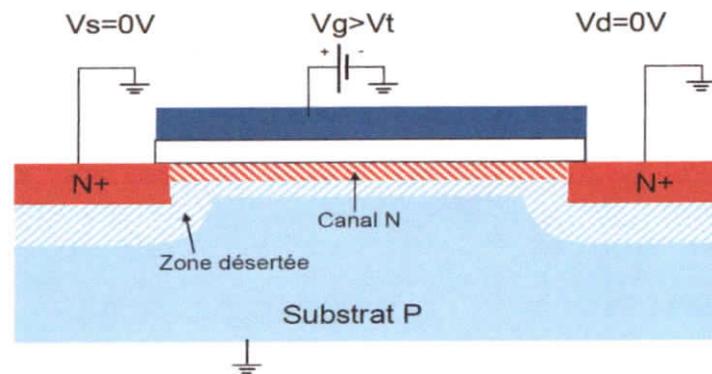


Figure I.4 : Coupe de MOSFET représentative de son fonctionnement avec une zone d'inversion

Dans ce mode et en fonction de la polarisation du drain V_{ds} , on a principalement deux régimes : le régime linéaire et le régime de saturation.

II.2.2.1. Le régime linéaire

Une fois le canal formé, si une tension de drain est appliquée, un courant circule entre le drain et la source (**Figure I.5**). La variation de la tension V_{ds} modifie la couche d'inversion et fait ainsi varier la conductance du canal. Tant que la tension de drain V_{ds} reste faible, le courant reste proportionnel à la tension V_{ds} appliquée. Le composant fonctionne en régime linéaire dans lequel le canal se comporte comme une résistance contrôlée par la tension de grille V_{gs} [10].

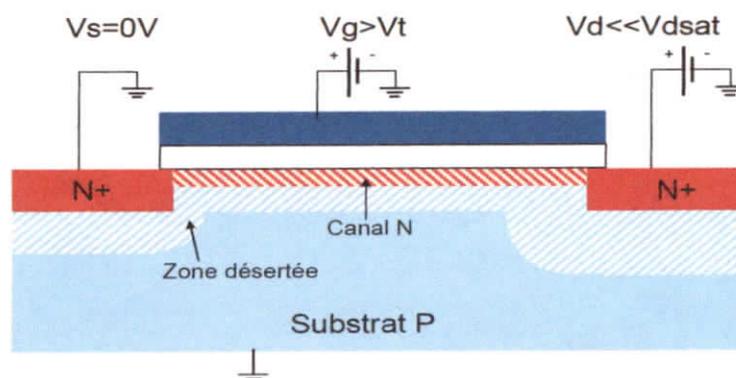


Figure I.5: Coupe de MOSFET représentative de son fonctionnement en régime linéaire (faible V_{ds})

II.2.2.2. Le régime de saturation

Plus la tension V_{ds} appliquée est élevée, plus le potentiel côté drain diminue. De ce fait la densité d'électrons et également la conductance diminuent. Le courant de drain n'est alors plus proportionnel à V_{ds} et aboutit à un phénomène de saturation du courant. Durant ce régime, le courant est alors indépendant de la tension de drain appliquée. Pour une tension appliquée entre la grille et le drain ($V_{gs}-V_{ds}$) égale à la tension de drain à laquelle le pincement a lieu est appelée tension de saturation V_{dsat} , et le courant correspondant est appelé courant de saturation I_{dsat} (Figure I.6).

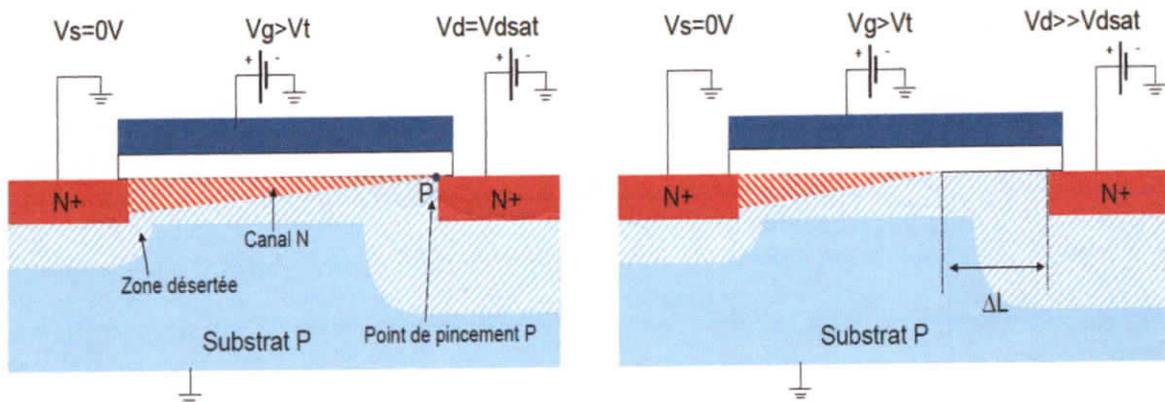


Figure I.6: coupes de MOSFET représentatives de son fonctionnement en régime de saturation (au pincement) (gauche) et en régime de saturation où la longueur de canal est réduite de ΔL (droite)

En continuant d'augmenter la tension de drain, la longueur effective du canal diminue progressivement et le point de pincement se rapproche de la source. La région voisine du drain n'est plus en inversion. Dans ces conditions, le courant est transporté par les porteurs libres dans le canal conducteur jusqu'au point de pincement, ces porteurs sont ensuite propulsés vers l'électrode de drain par le fort champ électrique qui existe dans la région désertée. La tension aux bornes du canal reste constante et égale à V_{dsat} . Si la variation relative $\Delta L/L$ de la longueur du canal est faible, le courant de drain est égale à I_{dsat} et indépendant de V_{ds} [10].

III. Caractéristiques électriques du transistor MOS

Les transistors MOS sont caractérisés électriquement en utilisant les graphiques $I_{ds}=f(V_{gs})$ et $I_{ds}=f(V_{ds})$. Ces caractéristiques sont schématisées en Figure I.7 ce qui permet de relier les différents régimes de la capacité MOS définis dans le paragraphe précédent aux modes de fonctionnement du transistor MOSFET [12].

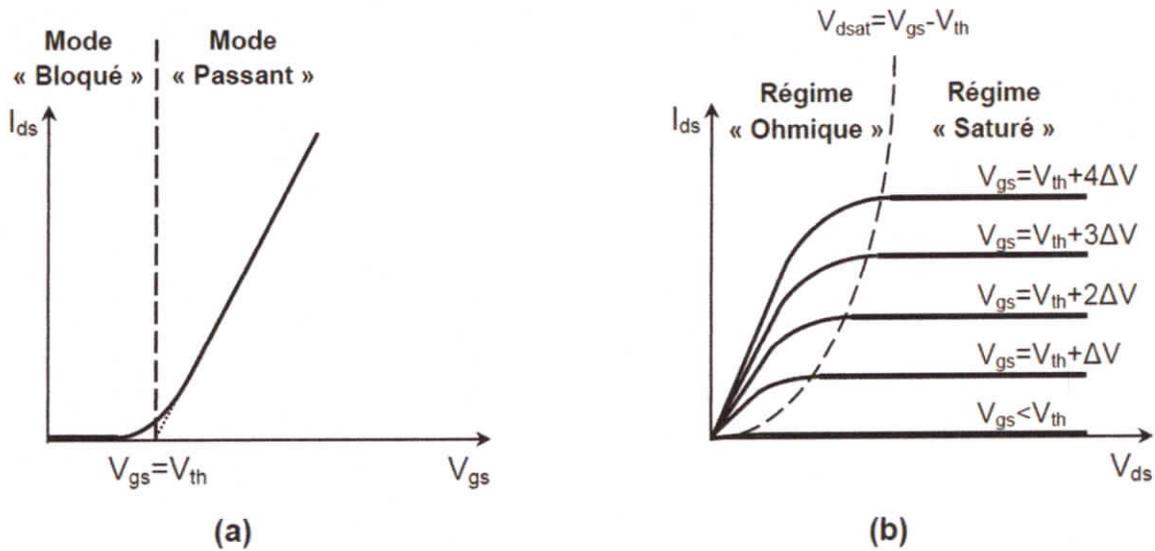


Figure I.7: Caractéristique d'un transistor MOS (a) Graphique I_{ds} - V_{gs} . (b) Graphique I_{ds} - V_{ds} . La ligne $V_{dsat} = V_{gs} - V_{th}$ sépare le régime ohmique du régime saturé

IV. Les transistors MOS pour les applications RF

En 1965, le premier circuit intégré n'avait que quatre ans Mais **Gordon Moore** prédit que la densité de transistors sur circuits intégrés devrait doubler tous les 12 mois pour les dix prochaines années. Cette prévision est révisée en 1975 à un doublement tous les 18 mois et devient connue sous le nom de la loi de **Moore** (Figure I.8).

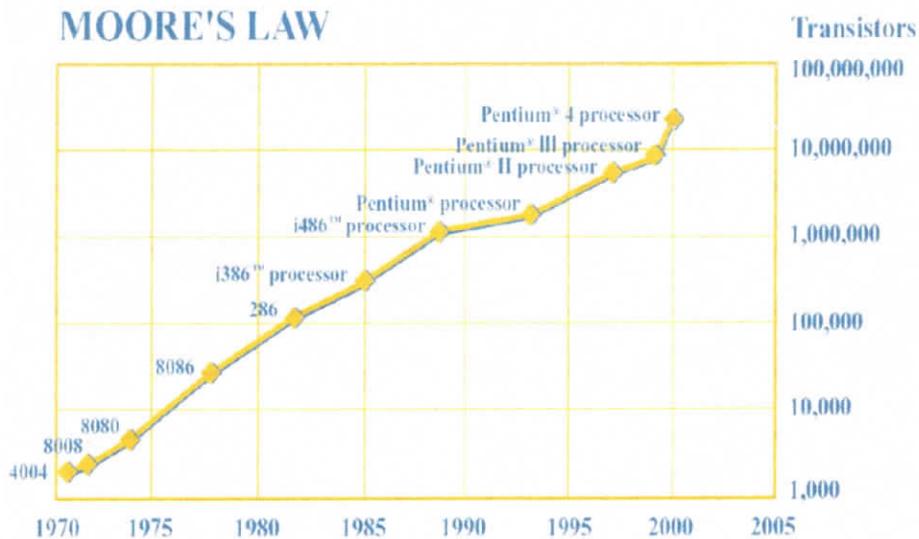


Figure I.8: Loi de Moore

Par rapport aux transistors bipolaires, les transistors **MOS** présentant un certain nombre de propriétés intéressantes pour les applications de puissance: ils sont rapides et leur impédance d'entrée est très grande en basse fréquence; en outre, ils ont une propriété très importante : ils sont très stables thermiquement car le coefficient de température du

courant de drain, à tensions de grille et de drain imposées, est négatif. Cela permet de réaliser des composants de fort calibre en courant par la mise en parallèle de plusieurs MOS [13].

Les fabricants de composants semi-conducteurs (transistors bipolaires, transistors à effet de champ) se sont lancés dans la « bataille » permettant de répondre aux exigences des systèmes de communication en termes de puissance, de performances en gain et linéarité, d'encapsulation et de coût de revient. En effet, ces différents dispositifs semi-conducteurs sont nécessaires pour les étages émetteurs et récepteurs dans les divers équipements qui utilisent le spectre hertzien depuis le téléphone portable, jusqu'aux stations de bases et aux satellites. Les filières sur Arséniure de Gallium (GaAs) sont actuellement les plus performantes du fait des propriétés physiques intrinsèques et permettent d'obtenir de meilleures caractéristiques aux fréquences élevées (Figure I.9). Cependant les technologies silicium (MOSFET et bipolaire) sont très matures et offrent des composants avec des performances très honorables à des coûts relativement plus faible, ce qui reste un atout majeur dans le contexte actuel où le marché du téléphone cellulaire est très sensible au prix de revient des composants [14].

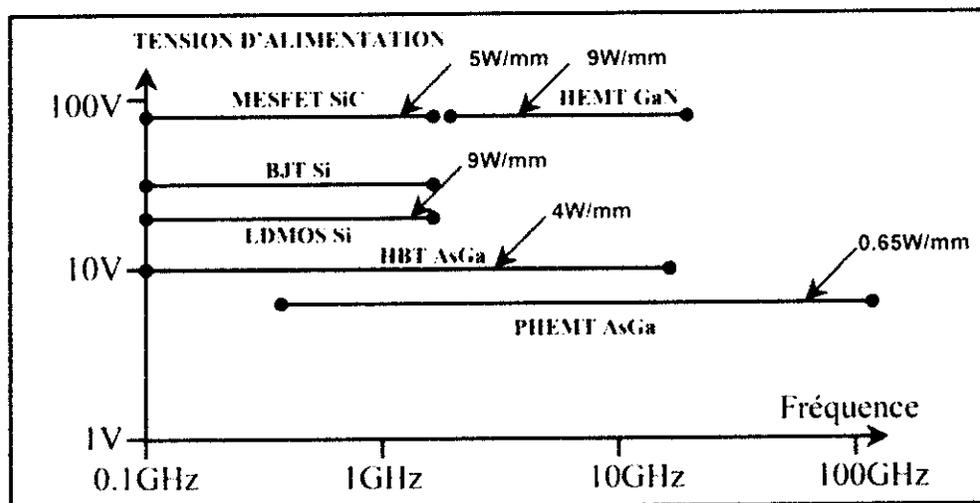


Figure I.9 : Technologies disponibles pour l'amplification de puissance

Le MOSFET est donc de plus en plus utilisé pour des applications RF. Avec l'évolution des technologies dans le domaine des circuits intégrés MOS et par rapport aux exigences de performances et de coût, cités auparavant, une nouvelle génération de composant semi-conducteurs est apparue sur la scène de l'amplification de puissance: les transistors DMOS de puissance [5].

Il existe deux types de transistors **DMOS** de puissance : les transistors discrets (structures verticales) et les transistors intégrés (structures latérales en général). Les structures latérales **LDMOS** (latéral **DMOS**) sont utilisées pour des applications de puissance basses tensions radio fréquences ne dépassant pas des tensions de **100 Volts** [15].

Nous nous intéressons dans ce travail aux transistors **LDMOS**.

V. Les transistors LDMOS

Les transistors **LDMOS** (Laterally Diffused Metal Oxyde Semi-conductor) sont largement utilisés pour les applications d'amplification de puissance. Le canal d'électron est engendré sous la grille par l'agencement de couches dopées positivement et négativement comme le montre la (**Figure I.10**). Le contrôle du canal est réalisé latéralement par l'établissement d'une tension de grille positive.

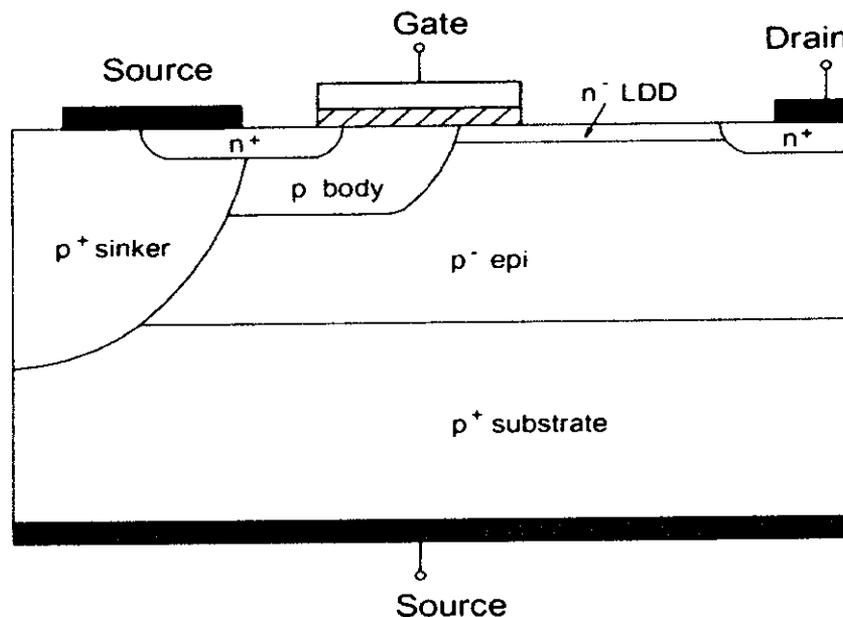


Figure I.10 : Exemple de coupe d'un transistor **LDMOS** [14, 16]

Contrairement aux transistors présentés précédemment, le transistor **LDMOS** a la particularité de supporter des tensions de claquage importantes pouvant aller jusqu'à plusieurs dizaines de volts en bande **L** ($\approx 60V$). Ses fréquences d'utilisation ouvrent majoritairement les bandes **L** et **S** (**0.9GHz** à **4GHz**). En raison de ses bonnes performances (**2W** à **2GHz**) et de son coût raisonnable il est principalement utilisé dans les amplificateurs des stations de bases en télécommunications **GSM** ainsi que pour les récentes applications utilisant la norme **WIMAX**. Cependant ses performances sont limitées à des fréquences de travail basses (quelques **GHz**) [17].

Les deux caractéristiques essentielles de la technologie **LDMOS** qui diffèrent d'une technologie **CMOS** conventionnelle sont :

La diffusion **P+ Sinker** : Permet de relier directement la source du transistor au Bulk (masse) et évite ainsi d'utiliser des contacts, pistes et autres fils de câblage qui induisent des perturbations selfiques, résistives et des parasites [18].

La zone **N⁻drain (LDD de Lightly Doped Drain)** : pour augmenter la tension de claquage et permet de réaliser des transistors de puissance [5].

Cette technologie a atteint sa maturité technologique. Elle est utilisée actuellement pour les émetteurs des stations de base de radio téléphonie. Ses principaux points forts sont le faible coût de production des composants et leur fort rendement. Un autre grand avantage du **LDMOS** réside dans sa facilité d'intégration dans des circuits **RF** puisqu'il permet de disposer des électrodes de drain et de grille sur la face avant de la puce. Cette topologie permet donc l'utilisation de lignes micro-rubans, de capacités planaires et d'inductances intégrées pour réaliser des circuits et notamment des amplificateurs **RF** de puissance [19]. Son principal inconvénient est sa limitation en fréquence (en général **3GHz**, sauf dans un travail récent. à notre connaissance, on a pu monter en fréquence jusqu'à **6GHz**) [14].

VI. Conclusion

Ce chapitre est consacré à l'étude du transistor **MOSFET**. Nous avons donné tout d'abord un rappel sur le transistor, son fonctionnement ainsi que ses différents types et leur utilisation dans le domaine des **RF**.

Dans notre étude nous allons utiliser le transistor **LDMOS**, pour cela, nous avons mis en relief la technologie du transistor **LDMOS** ainsi que la différence entre cette technologie et celle du **MOS** conventionnel.



Chapitre II
Modélisation du transistor LDMOS en
RF

I. Introduction

La modélisation des éléments d'un circuit intégré s'inscrit parmi les méthodologies permettant de réduire le temps de cycle et le coût d'un circuit. En effet, une des particularités des circuits intégrés est qu'une fois fabriqués ils ne peuvent être modifiés. Ainsi, lors de la conception du circuit, le comportement électrique de celui-ci doit être simulé pour vérifier qu'il fonctionne correctement. Pour être pertinente, cette simulation doit bien entendu être la plus proche possible de la réalité. Le but de la modélisation est donc d'élaborer, pour chaque dispositif, un équivalent mathématique, le modèle, qui permet d'en reproduire et d'en prédire le comportement électrique [20].

Dans le but d'affiner la modélisation du transistor MOS en radio fréquence, il est donc essentiel de s'intéresser à certains aspects du composant, qui peuvent avoir une influence négligeable dans le cadre d'une application numérique, et néanmoins importante, voire prépondérante dans le comportement RF du transistor.

II. Exigences de la modélisation

La modélisation d'un composant doit répondre à un ensemble d'exigences qui, elles, sont définies par le domaine d'application et les demandes du concepteur en termes de résultats de simulation.

Pour illustrer ceci, nous allons prendre un exemple très simple qui est le cas d'une impédance. Si le concepteur s'intéresse uniquement au rapport du courant avec la tension appliquée sur cet élément, la loi d'Ohm $I=V/Z$ suffit pour le décrire. Cependant, si l'on est intéressé aussi par l'influence de l'effet Joule et de la température sur le courant, il est nécessaire d'inclure ce phénomène et de rendre le modèle plus complexe. Il en va de même pour le bruit thermique, etc.

De manière générale, un modèle idéal de transistors MOS adapté pour la conception de circuits intégrés numériques, analogiques ou mixtes, doit satisfaire les points suivants [21] :

1. Le modèle doit donner une bonne précision sur les caractéristiques de courant dans une large gamme de polarisation.
2. Il doit prédire, de façon rigoureuse, les caractéristiques dynamiques en régime petit et grand-signal, même pour des fréquences de fonctionnement proches de la fréquence de transition du composant.

3. Il doit donner une bonne prédiction du bruit blanc et du bruit basse fréquence.
4. Les recommandations 1 à 3 doivent être vérifiées sur tous les régimes de polarisation et pour diverses valeurs du potentiel de substrat V_b .
5. Toutes les exigences précédentes doivent être satisfaites pour une large gamme de températures.
6. Le modèle doit être valable pour une large gamme de largeur W et de longueur L_g de la grille (paramétrable en W , L_g).
7. Il doit avoir le strict minimum possible de paramètres. Ceux-ci doivent être reliés directement à la structure du composant et au procédé de fabrication technologique.
8. Le modèle doit être facile à intégrer (implémenter) dans un simulateur. Pour le calcul numérique, il doit être robuste et continu entre les régimes de fonctionnement.
9. La méthode d'extraction des paramètres du modèle doit être la plus simple possible. Le nombre de composants-test ainsi que le nombre de mesures requis pour l'extraction des paramètres doit être le plus petit possible.

Tous les points énoncés précédemment représentent évidemment le cas d'un modèle idéal. Il n'existe pas de modèle pouvant satisfaire la totalité de ces exigences. Cependant, l'approche et le type de modélisation font apparaître divers avantages et inconvénients.

Ainsi, le choix d'un modèle ou d'une approche de modélisation doit s'effectuer en fonction des besoins comme des moyens offerts.

Par la suite, nous allons présenter trois types de modélisation concernant les **MOSFET**, avec leurs avantages et leurs inconvénients. Ainsi, en combinant les moyens offerts et les exigences requises dans le cadre de ces travaux, nous allons exposer le choix de modélisation effectué.

III. Types de modélisation

Il existe plusieurs types de modélisation utilisés pour la réalisation des circuits hyperfréquences :

III.1. La Modélisation physique

Les modèles physiques ont pour objectif de modéliser le fonctionnement du transistor pour une large gamme de circuits et de régimes de fonctionnement, Les paramètres et les équations de ces modèles sont directement liés à la physique, à la géométrie (largeur W , longueur de grille L_g) et au procédé technologique (dopage, ...) [22].

Par définition, un modèle physique répond à la majorité des exigences présentées ci-dessus. Ainsi, il est adapté à la simulation statistique en rapport avec les paramètres technologiques, il peut prévoir le comportement du transistor à diverses températures et peut tenir compte de nombreux effets, de manière analytique.

Cependant, le temps de développement d'un modèle physique peut durer plusieurs années et ne jamais prendre fin, car, à chaque nouvelle génération technologique, de nouveaux effets physiques apparaissent et doivent être pris en compte. D'autre part, afin d'assurer une bonne robustesse numérique, les équations doivent être les plus simples possibles et doivent assurer une continuité entre les différents régimes de fonctionnement. Ceci entraîne automatiquement une limitation dans les expressions du modèle physique. Finalement, d'un point de vue pratique, les inconvénients les plus importants sont le nombre de paramètres et les méthodes d'extraction des modèles physiques [14].

III.2. La Modélisation phénoménologique (ou empirique)

La modélisation phénoménologique ne nécessite ni la connaissance approfondie des paramètres technologiques ni celle de la physique des semi-conducteurs. Ce type de modèle est basé sur une approche uniquement descriptive des phénomènes observés en mesure et est entièrement décorrélé de la nature physique de ces phénomènes. Les éléments non linéaires sont décrits par des équations mathématiques dont les paramètres peuvent avoir une signification physique ou pas [22], on emploie alors le terme d'expression ou de modèle empirique, ce type de modèle présuppose de réaliser des composants avant de les modéliser car les paramètres des expressions sont déterminés à partir de mesures électriques de ces mêmes composants [2].

C'est une approche purement empirique, c'est-à-dire qu'elle se base uniquement sur la représentation des effets observables et mesurables, indépendamment de leur nature.

Ainsi, un élément quelconque du composant (par exemple un courant) va être représenté par une équation purement mathématique. Les paramètres d'un modèle empirique n'ont pas de signification physique et servent uniquement à ajuster l'équation sur la grandeur mesurée [5].

Toutefois, les avantages de la modélisation phénoménologique ne doivent pas être négligés. L'élaboration d'un tel modèle peut s'avérer très rapide ; des équations simples peuvent très bien décrire le comportement électrique du transistor, sur tous les régimes de polarisation et sur la gamme de fréquence de fonctionnement envisagée. Même certaines lois d'échelle peuvent être incluses dans les équations. Une fois le modèle élaboré, l'extraction des paramètres est rapide et les mesures requises sont simples et peu nombreuses.

Par ailleurs, à cause de la nature de la modélisation empirique, le modèle est facilement incorporable dans un simulateur de circuits quelconque. Grâce à la simplicité de tels modèles, le temps de calcul numérique, de la part du simulateur, peut être considérablement réduit [14, 21].

III.3. La Modélisation à base de données expérimentales ou (par table)

La modélisation par table est très similaire à la modélisation phénoménologique. La différence majeure est que les éléments non linéaires ne sont pas décrits par des expressions mathématiques, mais par des tables de données de mesures paramétrées suivant plusieurs entrées (V_{gs} , V_{ds} , température ...). Les points de mesures sont reliés entre eux par des fonctions d'interpolation. Ceci entraîne certains avantages et inconvénients

Le modèle est valable uniquement dans la plage des mesures effectuées, car, au-delà, les fonctions d'interpolation ne peuvent nullement assurer le comportement du composant. Il en découle que, pour des polarisations proches à la limite des mesures, ces modèles présentent d'énormes problèmes de discontinuité. Ceci est un inconvénient majeur, car il peut entraîner la divergence lors d'un calcul. D'autre part, peu de lois d'échelle peuvent être prises en compte et chaque composant doit être individuellement mesuré [5].

On peut désigner le modèle par table comme le plus simple et le plus rapide à mettre au point puisqu'il ne nécessite pas d'étapes d'optimisations parfois coûteuses en temps.

Les avantages sont similaires à ceux des modèles phénoménologiques, avec, de plus, une rapidité d'extraction plus élevée.

IV. Choix de la modélisation

Afin de modéliser les transistors **MOS** en hyperfréquence, nous avons d'abord considéré les besoins et le but de l'étude. Le transistor mis en avant dans cette étude est destiné à des applications de puissance. Le composant est d'abord modélisé puis son modèle est implanté dans le logiciel de simulation **ADS** d'Agilent. Les concepteurs utilisent ces modèles pour concevoir des circuits hyperfréquences (amplificateurs de puissance, mélangeurs, **LNA**, oscillateurs. ...).

Les modèles par tables constituent un bon compromis calcul-précision-facilité de mise en œuvre, mais il faut élaborer un modèle pour chaque transistor utilisé, et de plus, le modèle est valide uniquement dans la zone mesurée car l'extrapolation du modèle peut être inexacte [14].

Les modèles physiques reproduisent, de manière précise, le comportement du composant, mais présentent l'inconvénient d'être complexe et exigent des temps de calcul très importants.

Nous avons donc fait le choix du modèle phénoménologique qui rendait le travail beaucoup plus flexible et rapide.

V. Les mesures hyperfréquences

Soit **Q** un quadripôle linéaire. Pour une fréquence de fonctionnement donnée, les relations entre les courants et les tensions aux accès de ce quadripôle peuvent être représentées par une matrice impédance **Z** ou admittance **Y**. En 1965, **K. Kurokawa** introduit un nouveau formalisme permettant de définir des ondes de puissance aux accès du dispositif sous forme de combinaison de ces courants et tensions à partir d'une impédance de référence. Les relations d'ondes entre l'entrée et la sortie du quadripôle peuvent alors être représentées par une matrice **S** [23].

Les transistors représentés sous forme de quadripôles avec un port d'entrée et un port de sortie, où sont définis les courants et les tensions. La **Figure II.1** illustre schématiquement un transistor **MOSFET** sous sa représentation quadripôle en source commune.

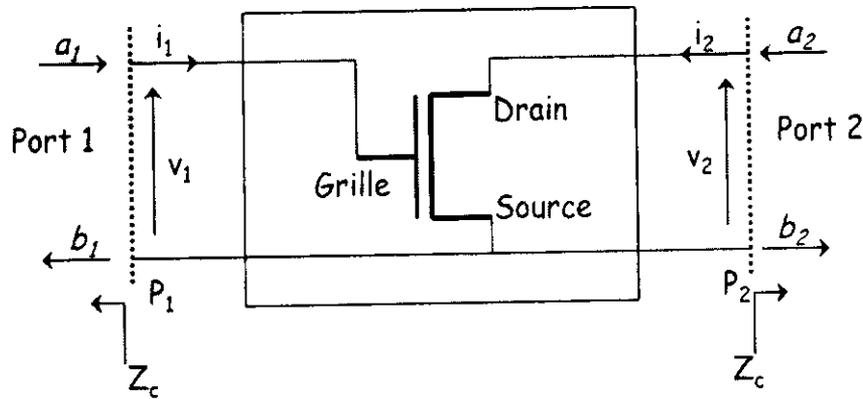


Figure II.1 - Représentation d'un transistor en source commune sous la forme de quadripôle

En régime de fonctionnement petit-signal (faibles amplitudes d'excitation), le quadripôle peut être caractérisé par des relations linéaires entre les courants i_i et les tensions v_i . En hyperfréquences, les notions de courant et de tension sont difficiles à utiliser. En effet, au-delà de **100 MHz**, la condition circuit ouvert (impédance infinie) est difficile à réaliser ; quant à la mise en court-circuit, elle entraîne souvent l'oscillation du montage, ceci est dû aux capacités et aux inductances parasites. au contraire, les mesures des paramètres S se font sur entrée et sortie adaptées et n'entraînent pas ces difficultés. De plus raison des phénomènes de propagation qui peuvent exister en haute fréquence on se rend compte que les tensions et les courants dépendent de la position où ils sont mesurés (la longueur des éléments est souvent du même ordre de grandeur que la longueur d'onde) [14].

Pour cela, nous utilisons le concept de la puissance d'onde. En un plan du circuit (plan P_1 ou plan P_2 de la **Figure II.1**) sont définies la puissance de l'onde incidente a_i et la puissance d'onde réfléchi b_i . Entre deux plans (P_1 et P_2), nous définissons la notion de la puissance transmise. Les puissances a_i et b_i sont reliées avec les courants i_i et les tensions v_i par les relations :

$$a_i = \frac{v_i + Z_c i_i}{2\sqrt{\Re(Z_c)}} \quad (\text{II.1})$$

$$b_i = \frac{v_i Z_c^* i_i}{2\sqrt{\Re(Z_c)}} \quad (\text{II.2})$$

Z_c est l'impédance caractéristique sur laquelle le quadripôle est chargé. Le quadripôle est caractérisé par les paramètres S qui sont définis par des relations linéaires entre les ondes incidentes, réfléchies et transmises. Ils sont définis par :

$$b_1 = S_{11}a_1 + S_{12}a_2 \quad (\text{II.3})$$

$$b_2 = S_{21}a_1 + S_{22}a_2 \quad (\text{II.4})$$

Ou sous forme matricielle :

$$\begin{pmatrix} b_1 \\ b_2 \end{pmatrix} = (S) \begin{pmatrix} a_1 \\ a_2 \end{pmatrix} = \begin{pmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{pmatrix} \begin{pmatrix} a_1 \\ a_2 \end{pmatrix} \quad (\text{II.5})$$

Les 4 paramètres S_{ij} sont des grandeurs complexes.

La signification physique des paramètres S est la suivante :

$$S_{11} = \left. \frac{b_1}{a_1} \right|_{a_2 = 0} : \text{Coefficient de réflexion à l'entrée du quadripôle} \quad (\text{II.6})$$

$$S_{12} = \left. \frac{b_1}{a_2} \right|_{a_1 = 0} : \text{Coefficient de transmission inverse (de l'accès 2 vers l'accès 1)} \quad (\text{II.7})$$

$$S_{21} = \left. \frac{b_2}{a_1} \right|_{a_2 = 0} : \text{Coefficient de transmission direct (de l'accès 1 vers l'accès 2)} \quad (\text{II.8})$$

$$S_{22} = \left. \frac{b_2}{a_2} \right|_{a_1 = 0} : \text{Coefficient de réflexion à la sortie du quadripôle} \quad (\text{II.9})$$

La mesure des paramètres $[S]$ est effectuée à l'aide d'un analyseur de réseau vectoriel. C'est un appareil qui permet d'obtenir des informations à la fois d'amplitude et de phase en réalisant des mesures micro-ondes en réflexion et en transmission.

Ces paramètres sont souvent représentés sous forme de diagrammes de Smith ou polaires. Ils permettent de caractériser le complètement d'un quadripôle en petit signal et aussi l'extraction des figures de mérites f_t et F_{\max} ainsi que des éléments extrinsèques d'un modèle [1].

VI. Méthodologie suivie durant ce travail

La chronologie à suivre pour l'extraction des éléments du modèle est présentée par l'organigramme suivant :

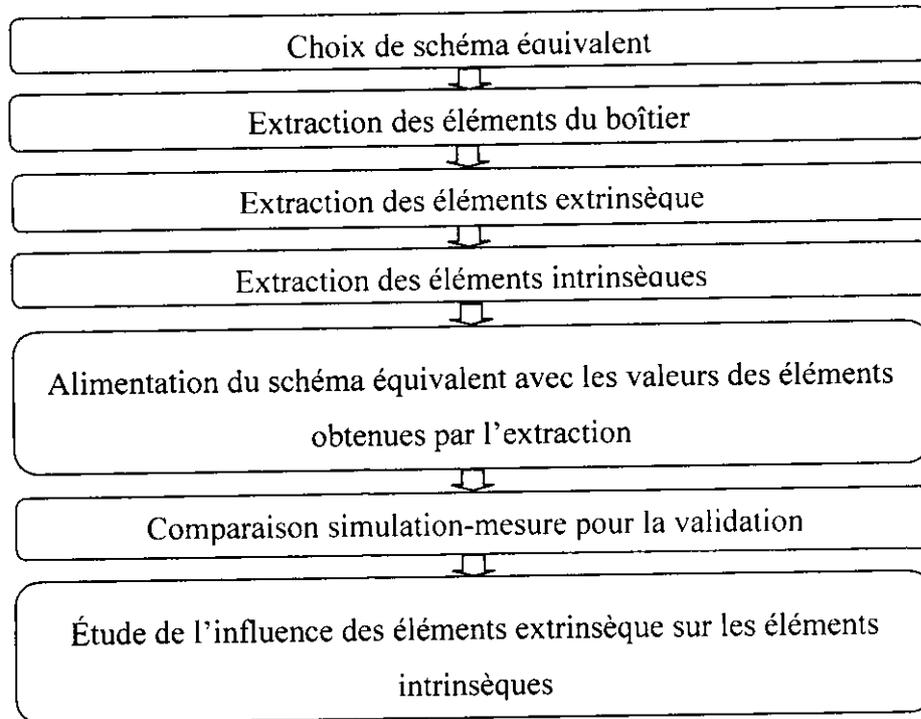


Figure II.2 : Plan de travail du projet

VII. Conclusion

Dans ce chapitre nous avons défini la modélisation des transistors MOS dans le domaine des Radiofréquences.

Nous avons décrit les exigences pour modéliser un transistor MOS puis les différents types de modélisation en citant les avantages et les inconvénients de chacune sur lesquelles nous nous sommes basés pour choisir la modélisation phénoménologique (ou empirique).

Ensuite, nous avons donné un petit rappel sur les mesures hyperfréquences des paramètres S.

Enfin, nous avons présenté la méthodologie à suivre durant notre travail.



Chapitre III

*Caractérisation électrique du transistor
LDMOS*

I. Introduction

La caractérisation et l'étude du comportement **RF** du transistor **MOS** est un élément important pour une modélisation précise de ce dernier.

Pour caractériser le transistor **MOS** jusqu'à des fréquences élevées (par exemple, jusqu'à **110GHz**), on cherche à obtenir, en module et en phase, une mesure petit signal du transistor **MOS**, c'est-à-dire une mesure à un certain point de polarisation et pour une certaine fréquence, en considérant le dispositif comme un quadripôle linéaire autour du point de polarisation [4].

Un modèle électrique petit signal de transistor se base sur une approche de type schéma équivalent électrique. Les éléments petits signal sont déterminés à partir de mesures statiques et de mesures dynamiques pour un point de polarisation. Avant de passer dans les détails de l'élaboration du modèle petit signal pour **MOSFET**, il est important de rappeler le schéma équivalent utilisé [5].

L'objectif de la caractérisation des transistors est de connaître les propriétés de ces composants dans les conditions de fréquence et de polarisation qui définissent leur domaine d'utilisation.

Au cours de ce chapitre, nous nous intéresserons à l'étude des éléments dynamiques d'un transistor **MOS** haute tension. Une méthode d'extraction des éléments **RF** dans le cas du transistor **LDMOS** et la détermination des valeurs de tous les éléments du schéma équivalent du transistor **LDMOSFET** utilisé.

II. schéma équivalent électrique

Nous nous sommes basés sur un schéma équivalent (**SE**) petit-signal, largement utilisé dans la littérature, hérité de la culture des transistors **FET** en **III-V**. Il est défini selon une approche non-quasi statique pour une topologie à source commune et un potentiel de substrat nul (connecté à la source). Les différents éléments électriques constituant le schéma équivalent représentent les diverses parties du transistor et leurs mécanismes physiques.

D'après sa structure et son fonctionnement physique, le transistor (sans boîtier) est divisé en deux parties : sa partie intrinsèque et sa partie extrinsèque.

La partie intrinsèque correspond à la partie active du transistor, c'est-à-dire au canal. La partie extrinsèque correspond aux zones reliant la partie active du composant avec les métallisations de contact. De même, le schéma équivalent est constitué par ses éléments extrinsèques et ses éléments intrinsèques [14].

Le schéma électrique équivalent du transistor FET, représenté à la Figure III.1 comprend une partie intrinsèque, une partie extrinsèque et le boîtier. Que ce soit pour l'une ou l'autre partie, le schéma équivalent repose sur l'hypothèse que ses éléments sont indépendants de la fréquence jusqu'à la fréquence de coupure du transistor. Cette hypothèse est primordiale pour l'extraction des éléments du schéma équivalent à partir des mesures [5, 22].

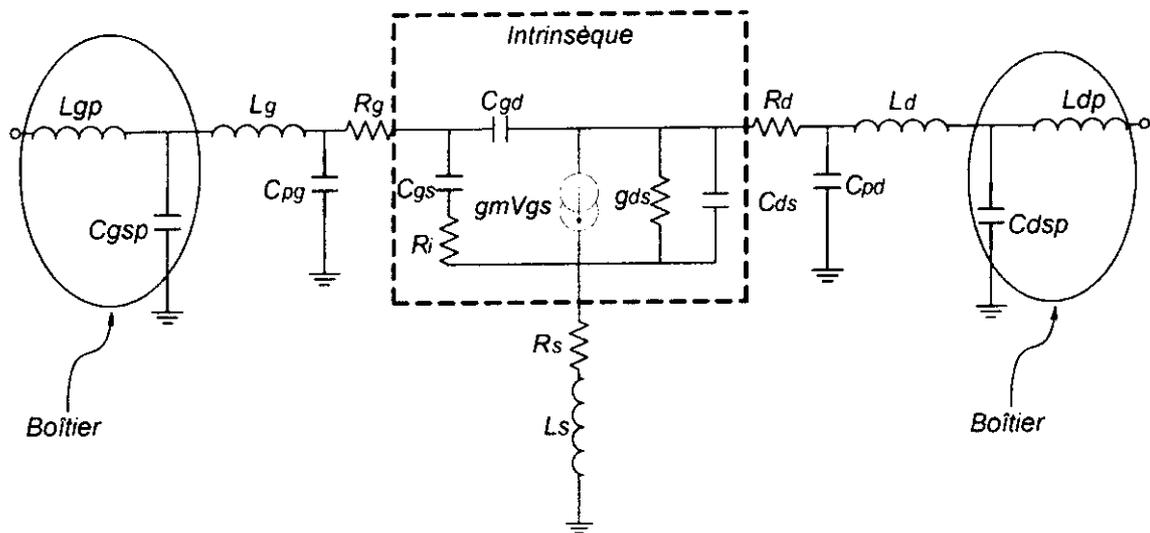


Figure III.1 : Schéma équivalent électrique petit signal du LDMOS

II.1. Eléments du boîtier

Le transistor LDMOSFET utilisé est le BLF2043F de NXP Semiconductors. C'est un transistor encapsulé dans un boîtier en céramique de type SOT467C Figure III.2. La source commune est connectée au support de fixation.

Pour cela, nous avons modélisé l'effet du boîtier en ajoutant les inductances L_{gp} et L_{dp} et les capacités C_{gsp} et C_{dsp} .

L_{gp} et L_{dp} modélisent les inductances équivalentes des pattes (languettes) grille et drain du boîtier.

C_{gsp} et C_{dsp} modélisent les capacités parasites entre les pattes grille et drain respectivement et celle de la source [5, 14].

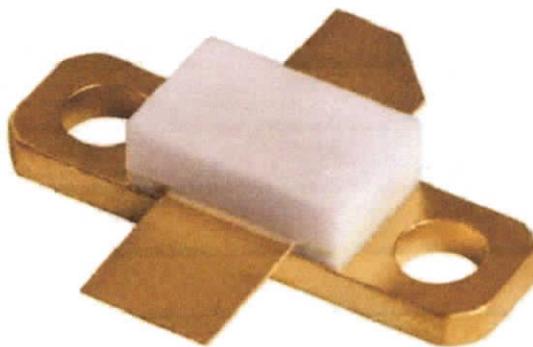


Figure III.2 : Photo du boîtier SOT467C utilisé pour les transistors BLF2043F

II.2. Eléments Extrinsèques

Les éléments extrinsèques du schéma équivalent sont illustrés sur la **Figure III.3**. La partie extrinsèque est liée aux éléments parasites des zones d'accès entre la partie intrinsèque et les contacts métalliques reliant le transistor au reste du circuit. Ces éléments sont considérés comme étant indépendants de la polarisation [22].

Les résistances R_s et R_d modélisent la résistivité des caissons fortement dopés, respectivement, de source et de drain.

La résistance R_g est due principalement à la résistance de la siliciuration de la grille, ainsi qu'aux pertes métalliques [24]. Ces résistances sont distribuées sur toute la largeur de la grille [14].

Les inductances L_g et L_d modélisent la réactivité des contacts métalliques ou siliciures et des vias d'accès au transistor [6].

L'inductance L_s modélise essentiellement les effets inductifs dus aux trous de contact afin de joindre le plan de masse de la puce « **via-hole** ».

Les capacités parasites C_{pg} et C_{pd} sont des capacités électrostatiques parasites des plots de métallisation de grille et de drain par rapport au substrat [14]. Dans le cas où le transistor est alimenté par une ligne coplanaire, elles apparaissent à l'extrémité du conducteur central dans le plan d'entrée de la partie active du transistor [25].

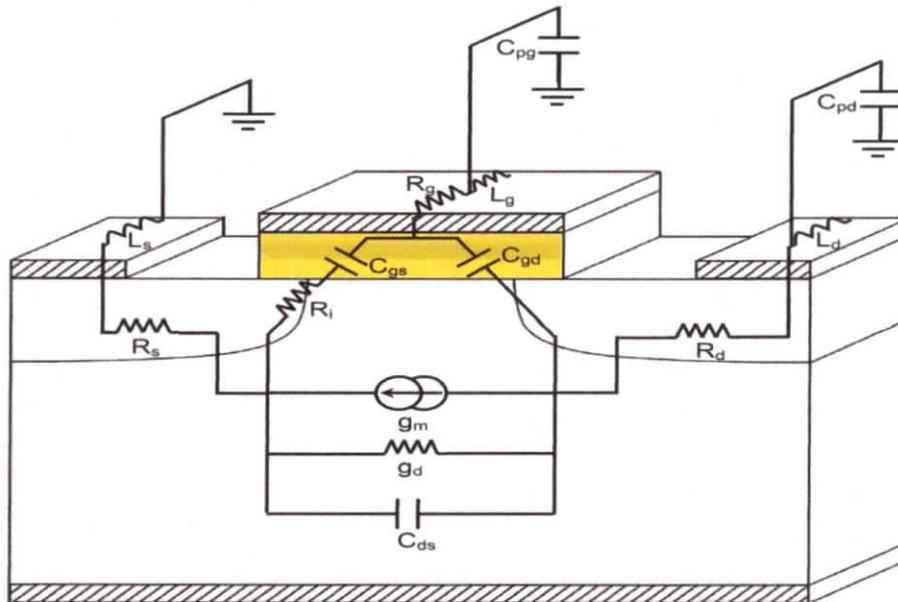


Figure III.3 : Signification physique des éléments intrinsèques et extrinsèques du schéma équivalent

II.3. Eléments Intrinsèques

Chaque élément du schéma équivalent intrinsèque **Figure III.4** reflète un mécanisme physique ou une propriété électrique du transistor. Ces éléments sont des fonctions de la polarisation et de la longueur de grille. L'extraction de la partie intrinsèque du transistor se fait ensuite lorsque celui-ci est polarisé.

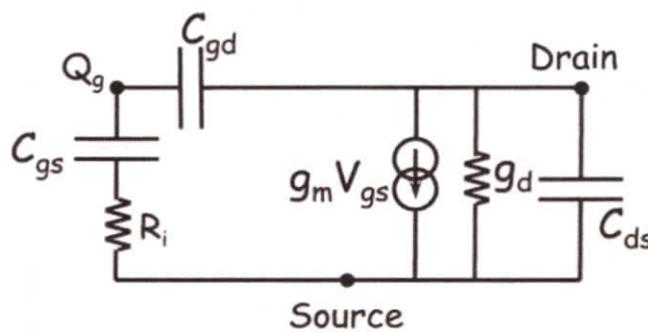


Figure III.4 : Schéma équivalent électrique petit-signal de la partie intrinsèque d'un transistor MOS

L'effet transistor est modélisé par une source de courant donnée par $g_m \cdot V_{gs}$, g_m étant la transconductance et traduisant la commande du canal par la tension V_{gs} . V_{gs} est le signal appliqué aux bornes de la capacité C_{gs} [26]. La transconductance est définie par :

$$g_m = \left. \frac{\partial I_{ds}(V_{gs}, V_{ds})}{\partial V_{gs}} \right|_{V_{ds} = \text{cte}} \quad (\text{III.1})$$

L'élément g_d représente la conductance de drain du transistor qui est définie par :

$$g_d = \left. \frac{\partial I_{ds}(V_{gs}, V_{ds})}{\partial V_{ds}} \right|_{V_{gs} = \text{cte}} \quad (\text{III.2})$$

Dans les équations (III.1) et (III.2), I_{ds} est le courant circulant entre le drain et la source du transistor et dépend des potentiels V_{gs} et V_{ds} .

C_{ds} correspond aux capacités en série des jonctions de source et de drain. Elle est définie par la relation suivante :

$$C_{ds} = \left. \frac{\partial Q_d(V_{gs}, V_{ds})}{\partial V_{ds}} \right|_{V_{gs} = \text{cte}} \quad (\text{III.3})$$

Q_d est la charge accumulée sous l'électrode de drain.

Les capacités C_{gs} et C_{gd} sont les charges qui fluctuent en fonction du champ électrique émanant de la grille vers les métallisations, les régions N^+ de drain et de source. L'estimation de ces capacités dans un dispositif **MOSFET** est très importante, et cela particulièrement pour la simulation des circuits **RF**.

Ces capacités représentent la commande de la charge stockée sous l'effet des tensions V_{gs} et V_{gd} . Les équations décrivant leur évolution reposent sur le principe de la conservation de la charge :

$$C_{gs} = \left. \frac{\partial Q_g(V_{gs}, V_{gd})}{\partial V_{gs}} \right|_{V_{gd} = \text{cte}} \quad (\text{III.4})$$

$$C_{gd} = \left. \frac{\partial Q_g(V_{gs}, V_{gd})}{\partial V_{gd}} \right|_{V_{gs} = \text{cte}} \quad (\text{III.5})$$

Q_g est la charge totale stockée dans la grille et dépend aussi des potentiels V_{gs} et V_{ds} . Dans les équations (III.4) et (III.5), C_{gs} et C_{gd} sont définies par rapport aux potentiels V_{gs}

et V_{gd} . Néanmoins, dans la topologie source commune, les potentiels de contrôle usuels sont V_{gs} et V_{ds} . A partir de la relation entre les trois potentiels ($V_{gd}=V_{gs}-V_{ds}$), C_{gs} et C_{gd} peuvent être exprimées sous la forme :

$$C_{gs} = \left. \frac{\partial Q_g(V_{gs}, V_{ds})}{\partial V_{gs}} \right|_{V_{ds} = \text{cte}} + \left. \frac{\partial Q_g(V_{gs}, V_{ds})}{\partial V_{ds}} \right|_{V_{gs} = \text{cte}} \quad (\text{III.6})$$

$$C_{gd} = \left. \frac{\partial Q_g(V_{gs}, V_{ds})}{\partial V_{ds}} \right|_{V_{gs} = \text{cte}} \quad (\text{III.7})$$

L'élément R_i est lié aux effets non-quasi statiques. Le caractère distribué de la capacité de grille et de la résistance du canal conduit à considérer la partie du canal sous la grille comme une ligne de transmission « R-C » non uniforme. L'impédance d'entrée de cette ligne est équivalente à la capacité grille-source en série avec une résistance R_i . La détermination de cette résistance demeure difficile, particulièrement dans la région ohmique et en régime très pincé. Elle est souvent dépendante des tensions de commande du composant. Cependant, elle montre sa limite lors de la montée en fréquence du composant.

III. Détermination des éléments électriques du modèle

La détermination des éléments du schéma équivalent électrique petit-signal se base sur des propriétés des transistors MOS dépendant du régime de polarisation et de la fréquence de fonctionnement. Elle se fait par étapes selon une méthode d'épluchage « deembedding » qui consiste à déterminer en premier les éléments du boîtier puis les éléments extrinsèques pour se rapprocher progressivement de la zone intrinsèque.

Pour cela, nous avons besoin de 3 types de mesures :

III.1. Extraction des éléments du boîtier

Le boîtier peut être modélisé en entrée par une inductance L_{gp} en série avec une capacité C_{gsp} . De même, en sortie il est modélisé par une inductance L_{dp} et une capacité C_{dsp} (Figure III.5) [27].

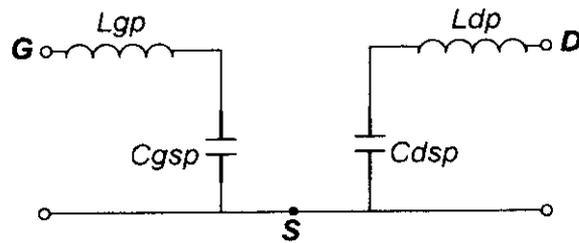


Figure III.5 : Schéma équivalent du boîtier

Les valeurs des éléments du boîtier sont données dans le **Tableau III.1** [4].

Éléments du boîtier	C_{gsp} (pF)	C_{dsp} (pF)	L_{gp} (pH)	L_{dp} (pH)
Valeur	4	3.9	0.1	0.1

Tableau III.1 : Eléments du boîtier de LDMOS

III.2. Extraction des éléments extrinsèques

Les éléments extrinsèques sont la matérialisation des phénomènes que l'on qualifie de parasites. Ils ne participent pas à l'effet transistor qui se produit dans le canal. Ils sont engendrés le plus souvent par les métallisations d'accès à la zone active. Il est nécessaire de déterminer leurs valeurs pour rendre possible l'extraction des éléments intrinsèques et donc des données principales et primordiales du modèle. Plusieurs méthodes nous sont proposées pour leur extraction [14] :

Par **simulation électromagnétique** : à l'aide de simulateur électromagnétique du type **Momentum**, **Sonnet**, **Ansys**, **HFSS** ; on matérialise les métallisations d'accès à la zone active du transistor, et l'on simule les paramètres **S** associés sur une bande de fréquences données. De ces paramètres **S** on en déduit des éléments extrinsèques localisés. C'est une technique rapide, relativement [18].

Par **optimisation** : Cette méthode consiste à trouver un algorithme qui minimise la fonction d'erreur entre les mesures et les valeurs simulées. D'une autre façon, on cherche pratiquement à optimiser les valeurs extrinsèques des composants du circuit équivalent pour qu'elles aient une réponse la plus identique possible à celle des mesures.

Malgré la performance et la rapidité de cette méthode, elle nécessite cependant de connaître l'ordre de grandeur des valeurs recherchées, pour éviter de commettre des erreurs flagrantes [28].

Méthode statistique : elle est basée sur une technique de régression linéaire. Elle permet, à partir d'une mesure de paramètres S à un point de polarisation donnée, de faire coïncider une expression analytique avec les paramètres Z , puis de faire une régression linéaire pour obtenir les paramètres Z à une fréquence hypothétique infinie et en déduire ainsi les éléments extrinsèques [18].

Calcul analytique : il nécessite une bonne connaissance des propriétés physiques et géométriques des matériaux du transistor. En utilisant les simples lois ohmiques on approche les valeurs de ces composants extrinsèques. Cependant cette technique n'est pas une fin en soit, elle permet juste d'avoir un point de départ, une idée pour les autres méthodes, et en particulier pour l'optimisation [18].

Le FET « froid » (ou Cold FET) [5, 14, 18,] : comme son nom l'indique, cette méthode est uniquement destinée aux transistors de technologie FET. Elle consiste à effectuer des mesures de paramètres S sur le transistor polarisé de façon à ce que les éléments intrinsèques ne masquent pas les éléments extrinsèques. Ces états de polarisations sont :

$V_{ds}=0V$ & $V_{gs}>V_{th}$ (tension de seuil) : le canal du transistor est en « conduction », dans cet état on peut déterminer les valeurs des composants séries des éléments extrinsèques.

$V_{ds}=0$ & $V_{gs}\ll V_{th}$: le canal du transistor est dépleté, on a alors accès aux valeurs des composants parallèles des éléments extrinsèques.

C'est une méthode fiable et largement utilisée dans la littérature scientifique [5, 14, 18, 21, 29].

Dans ce projet, on utilise la méthode du **FET froid**, l'extraction des éléments extrinsèque du schéma équivalent se fait alors en polarisant la grille en direct, c'est-à-dire en appliquant une tension $V_{gs}=14V$ et $V_{ds}=0V$: Ceci a pour effet de court-circuiter les éléments parallèles de schéma équivalent du MOSFET, les capacités de plot peuvent être négligées, seuls les éléments séries sont pris en compte, comme indiqué sur la **Figure III.6**.

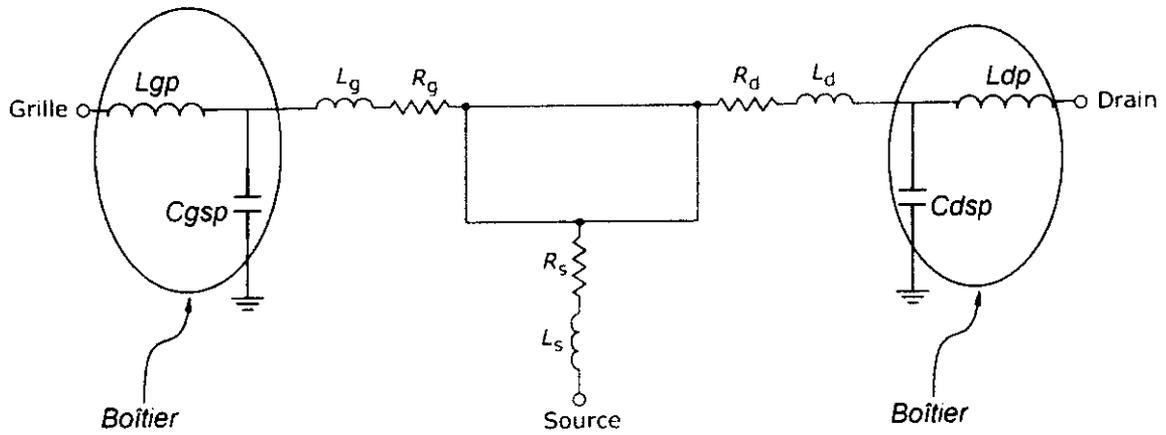


Figure III.6 : Schéma équivalent petit-signal à polarisation froide pour $V_{ds}=0V$ et $V_{gs} \gg V_{th}$

Les parties réelles et imaginaires des éléments de la matrice Z extraites des mesures permettent alors, par identification, de déterminer les éléments résistifs et les réactances de ce quadripôle, à savoir les résistances et inductances extrinsèques du transistor.

Nous utilisons le principe d'extraction des éléments du schéma équivalent à polarisation froide, à savoir la méthode basée sur des transformations successives des paramètres S en paramètres Z ou Y selon la procédure d'épluchage décrit dans le schéma de la **Figure III.7**.

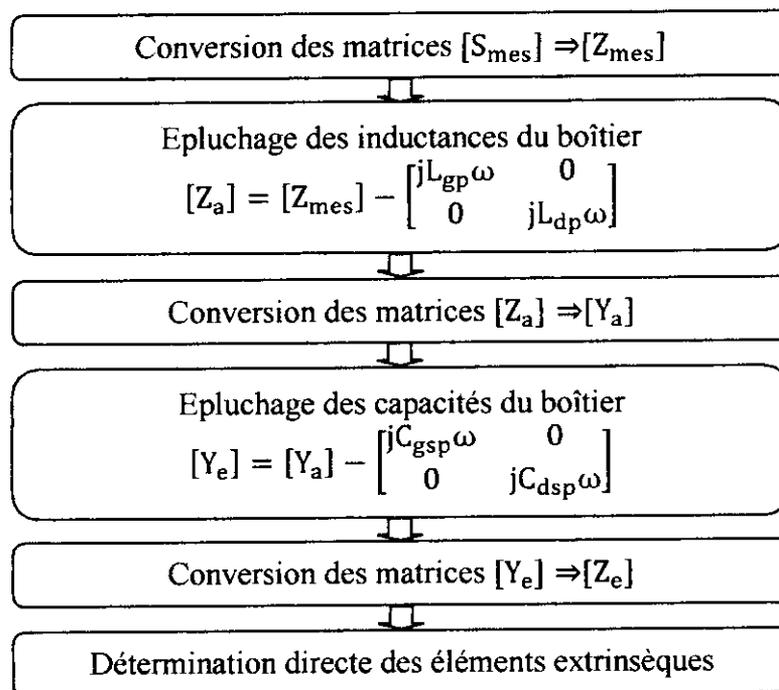


Figure III.7 : Procédure d'extraction des éléments extrinsèques du transistor LDMOS en boîtier

On en déduit les éléments électriques extrinsèques en fonction des éléments de la matrice $[Z_e]$.

A partir de la **Figure III.8** la matrice $[Z_e]$ du quadripôle est exprimée comme suit :

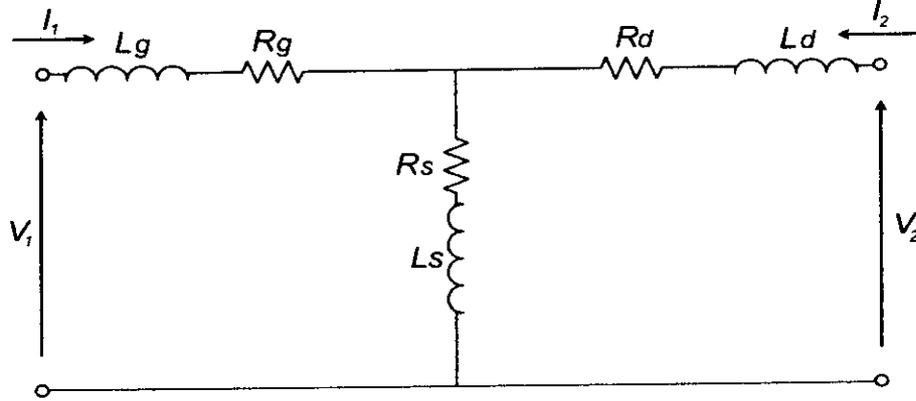


Figure III.8 : Schéma équivalent à polarisation froide sans boîtier

$$\begin{pmatrix} V_1 \\ V_2 \end{pmatrix} = \begin{pmatrix} I_1 \\ I_2 \end{pmatrix} \begin{pmatrix} Z_{11e} & Z_{12e} \\ Z_{21e} & Z_{22e} \end{pmatrix} \Rightarrow \begin{cases} V_1 = Z_{11e}I_1 + Z_{12e}I_2 \\ V_2 = Z_{21e}I_1 + Z_{22e}I_2 \end{cases} \quad (\text{III.8})$$

$$Z_{11e} = \left. \frac{V_1}{I_1} \right|_{I_2 = 0} = (R_g + R_s) + j\omega(L_g + L_s) \quad (\text{III.9})$$

$$Z_{12e} = \left. \frac{V_1}{I_2} \right|_{I_1 = 0} = R_s + j\omega L_s \quad (\text{III.10})$$

$$Z_{21e} = \left. \frac{V_2}{I_1} \right|_{I_2 = 0} = R_s + j\omega L_s \quad (\text{III.11})$$

$$Z_{22e} = \left. \frac{V_2}{I_2} \right|_{I_1 = 0} = (R_d + R_s) + j\omega(L_d + L_s) \quad (\text{III.12})$$

$$Z_e = \begin{pmatrix} (R_g + R_s) + j\omega(L_g + L_s) & R_s + j\omega L_s \\ R_s + j\omega L_s & (R_d + R_s) + j\omega(L_d + L_s) \end{pmatrix} \quad (\text{III.13})$$

Les éléments électriques extrinsèques sont donc exprimés comme suit :

$$R_g = \text{Re}(Z_{11e}) - \text{Re}(Z_{12e}) \quad (\text{III.14})$$

$$R_d = \text{Re}(Z_{22e}) - \text{Re}(Z_{12e}) \quad (\text{III.15})$$

$$R_s = \text{Re}(Z_{12e}) \quad (\text{III.16})$$

$$L_g = \frac{[\text{Im}(Z_{11e}) - \text{Im}(Z_{12e})]}{2 \cdot \pi \cdot f} \quad (\text{III.17})$$

$$L_d = \frac{[\text{Im}(Z_{22e}) - \text{Im}(Z_{12e})]}{2 \cdot \pi \cdot f} \quad (\text{III.18})$$

$$L_s = \frac{\text{Im}(Z_{12e})}{2 \cdot \pi \cdot f} \quad (\text{III.19})$$

La Figure III.9 illustre les graphes des éléments extrinsèques en fonction de la fréquence à $V_{ds}=0V$ et $V_{gs}=14V$:

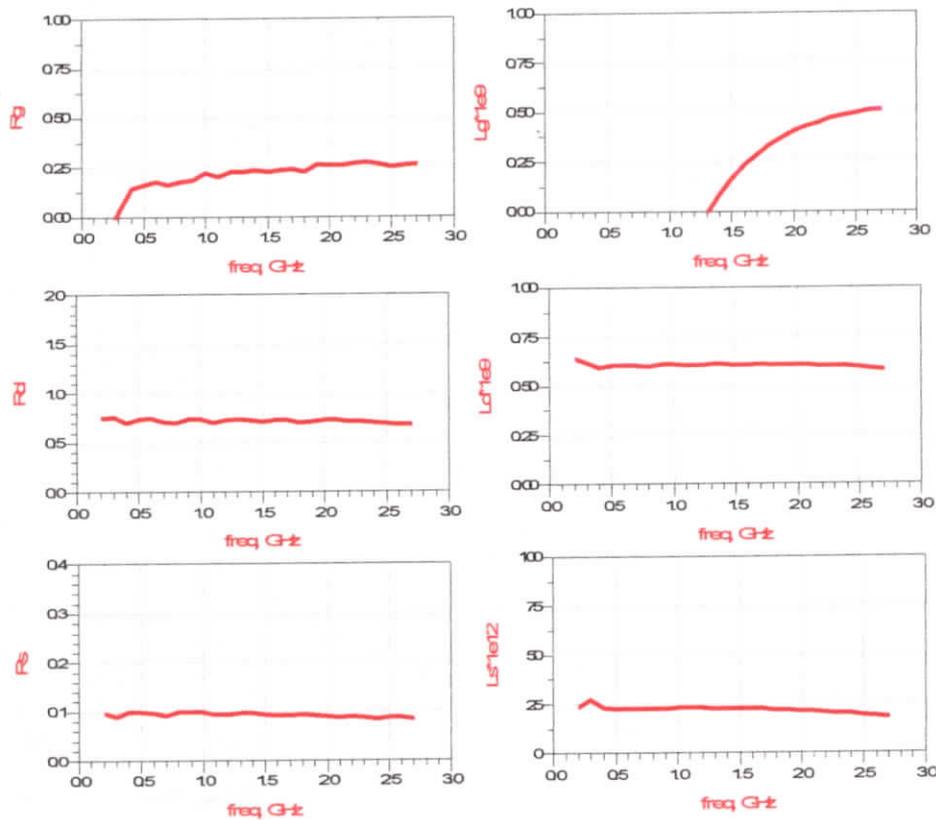


Figure III.9 : Eléments extrinsèques (R_g , R_d , R_s , L_g , L_d et L_s) extraits en fonction de la fréquence pour $V_{ds}=0V$ et $V_{gs}=14V$

On remarque que les graphes des éléments extrinsèques R_g , R_d , R_s , L_d et L_s sont assez plats, ce qui veut dire que leurs valeurs sont indépendantes de la fréquence.

Pour l'inductance L_g , nous remarquons que la courbe n'est pas plate ceci peut être expliqué par la sensibilité de cet élément aux erreurs de mesures faites par l'analyseur de réseaux.

On prend les valeurs positives pour les hautes fréquences pour lesquelles on remarque une convergence vers une valeur stable.

Cette valeur possède une signification physique et pour lesquelles les éléments intrinsèques sont plats, comme nous le verrons dans la suite de ce chapitre.

Les valeurs des éléments extrinsèques extraites sont données dans le tableau III.2 :

Éléments extrinsèques Extraits	$R_s(\Omega)$	$R_d(\Omega)$	$R_g(\Omega)$	$L_g(\text{nH})$	$L_d(\text{nH})$	$L_s(\text{pH})$
Valeur	0.085	0.72	0.25	0.7	0.61	23

Tableau III.2 : Valeurs des éléments extrinsèques extraites

III.3. Extraction des éléments intrinsèques

Le principe d'extraction des éléments intrinsèques du schéma équivalent est celui mis au point par **G. Dambrine** [30]. Il consiste à extraire les différents éléments à partir de la matrice admittance intrinsèque $[Y_i]$ du fait de la topologie en π du schéma équivalent intrinsèque [14].

On utilise alors la procédure d'épluchage selon le schéma de la **Figure III.10**, dans notre cas on réalise des transformations successives sur la matrice S pour arriver à la matrice $[Y_i]$, en suit à partir de la matrice intrinsèque, on extrait par calcul analytique l'ensemble des éléments intrinsèque du schéma équivalent.

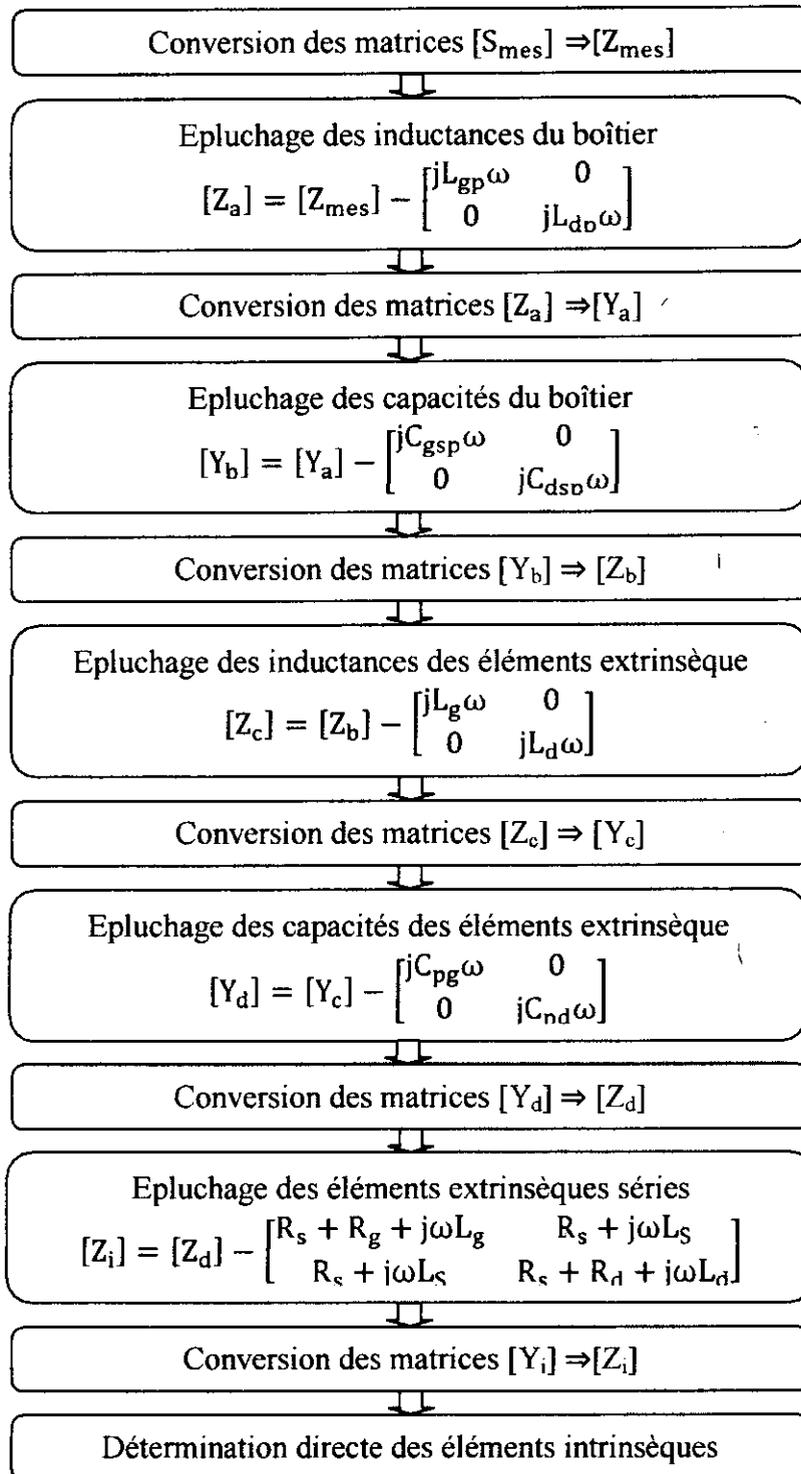


Figure III.10 : Procédure d'extraction des éléments intrinsèques du LDMOS

On en déduit les éléments électriques intrinsèques en fonction des éléments $[Y_i]$:

$$[Y_i] = \begin{bmatrix} Y_{11i} & Y_{12i} \\ Y_{21i} & Y_{22i} \end{bmatrix} = \begin{bmatrix} \frac{jC_{gs}\omega}{1+jR_iC_{gs}\omega} + jC_{gd}\omega & -jC_{gd}\omega \\ \frac{g_m}{1+jR_iC_{gs}\omega} - jC_{gd}\omega & g_d + j\omega(C_{ds} + C_{gd}) \end{bmatrix} \quad (III.20)$$

$$C_{gs} = \frac{\text{Im}(Y_{11i}) + \text{Im}(Y_{12i})}{\omega} \left[1 + \left(\frac{\text{Re}(Y_{11i}) + \text{Re}(Y_{12i})}{\text{Im}(Y_{11i}) + \text{Im}(Y_{12i})} \right)^2 \right] \quad (\text{III.21})$$

$$C_{gd} = \frac{-\text{Im}(Y_{12i})}{\omega} \left[1 + \left(\frac{\text{Re}(Y_{12i})}{\text{Im}(Y_{12i})} \right)^2 \right] \quad (\text{III.22})$$

$$C_{ds} = \frac{\text{Im}(Y_{22i}) + \text{Im}(Y_{12i})}{\omega} \quad (\text{III.23})$$

$$R_i = \frac{\text{Re}(Y_{11i}) + \text{Re}(Y_{12i})}{C_{gs}\omega[\text{Im}(Y_{11i}) + \text{Im}(Y_{12i})]} \quad (\text{III.24})$$

$$g_d = \text{Re}(Y_{22i}) + \text{Re}(Y_{12i}) \quad (\text{III.25})$$

$$g_m = \sqrt{\left(1 + (R_i C_{gs} \omega)^2 \right) \left[[\text{Re}(Y_{21i}) - \text{Re}(Y_{12i})]^2 + [\text{Im}(Y_{21i}) + \text{Im}(Y_{12i})]^2 \right)} \quad (\text{III.26})$$

Les éléments extraits du transistor à $V_{gs}=5.6V$ et $V_{ds}=26V$ sont illustrés sur la **Figure III.11**.

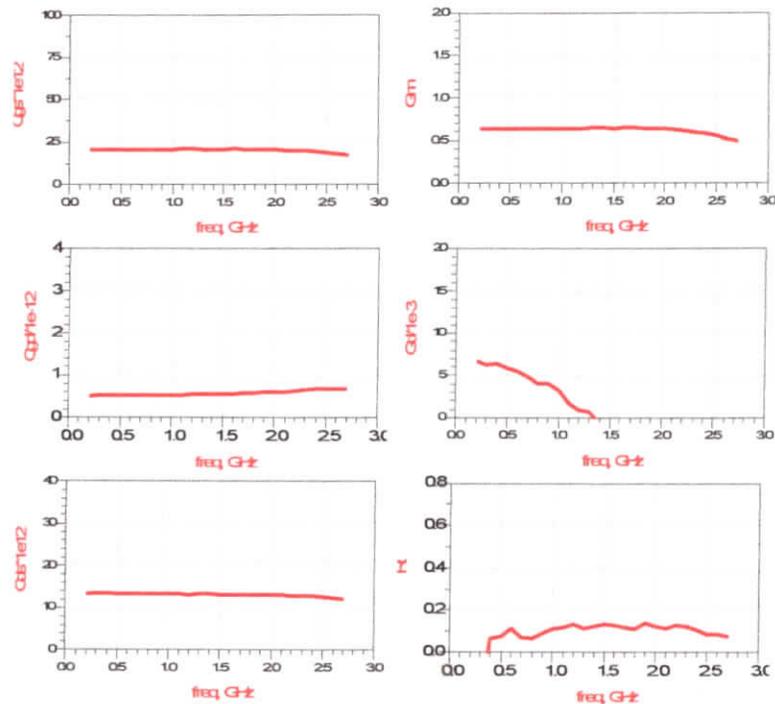


Figure III.11 - Eléments intrinsèques g_d , g_m , C_{gs} , C_{gd} , C_{ds} et R_i extraits en fonction de la fréquence à $V_{ds}=26V$ et $V_{gs}=5.6V$

Nous observons que les éléments C_{gs} , C_{gd} , C_{ds} et g_m sont constants dans la bande fréquentielle **0.2–2.7GHz**, la conductance de drain g_d présente une nette variation en fonction de la fréquence. En effet, elle diminue lorsque la fréquence augmente et les

valeurs sont négatives pour les fréquences supérieures à **1.35 GHz** ce qui n'a pas de sens physique. Cette erreur est due à la mesure des paramètres **S**.

Nous prenons comme valeur de g_d celle des fréquences les plus faibles. Cependant, nous verrons dans la suite que malgré la valeur de g_d prise, le modèle reproduit précisément les caractéristiques électriques hyperfréquences.

D'autre part, l'incertitude sur la valeur de R_i est attribuée au fait qu'un composant MOSFET présente un facteur de réflexion (S_{11}) très élevé. Par conséquent, le terme Y_{11i} dont R_i dépend est faible, et l'influence de R_i dans Y_{11i} est « masquée » par l'influence de la capacité C_{gs} . Néanmoins, l'influence de la résistance R_i n'est pas prédominante dans la validité du modèle.

Les valeurs des éléments intrinsèques extraites à partir des graphes sont données dans le **Tableau III.3** :

Eléments intrinsèques Extraits	C_{gs} (pF)	C_{gd} (pF)	C_{ds} (pF)	g_m (mS)	g_d (mS)	R_i (Ω)
Valeur	21.13	0.54	13.2	640	5.88	0.12

Tableau III.3 : Les éléments intrinsèques extraits à $V_{ds}=26V$ et $V_{gs}=5.6V$

IV. Caractéristiques statiques du transistor LDMOS utilisé

La **Figure III.12** représente le réseau des caractéristiques de sortie $I_{ds}=f(V_{ds})$ du transistor LDMOS utilisé donnant l'évolution du courant I_{ds} circulant entre le drain et la source en fonction de la tension V_{ds} pour V_{gs} constante et la caractéristique de transfert $I_{ds}=f(V_{gs})$ pour $V_{ds}=16V$, le premier réseau de caractéristiques (**A**) et le deuxième réseau de caractéristiques de transfert (**B**).

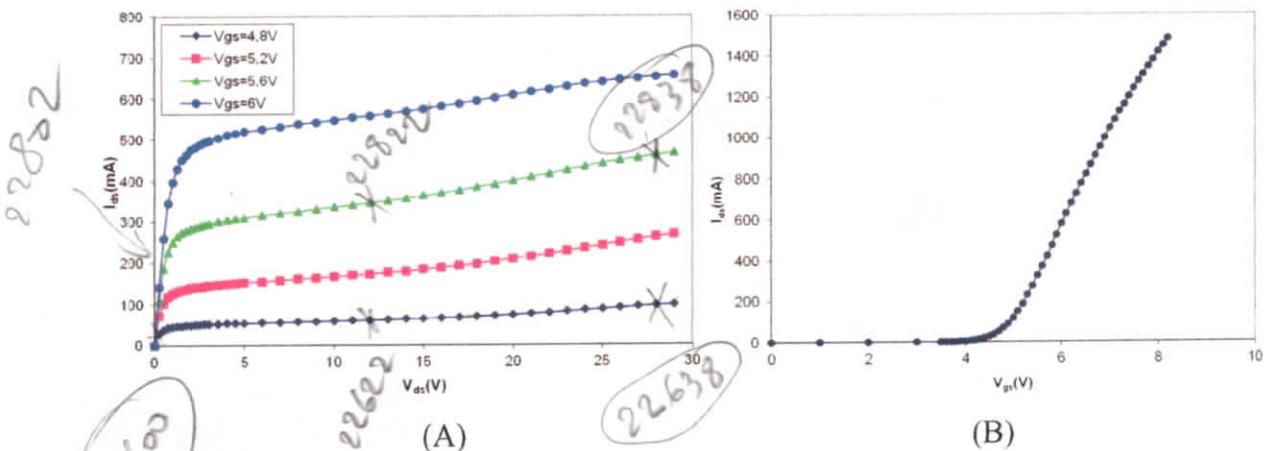


Figure III.12 : Réseaux de caractéristique de sortie (**A**) et de transfert (**B**)

V. Implémentation du schéma équivalent dans un simulateur ADS

Le modèle de type phénoménologique utilisé nécessite d'être implémenté dans un logiciel de simulation électrique pour circuits. Parmi les nombreux logiciels commerciaux existants, nous avons choisi le logiciel **ADS (Advanced Design System)** de Agilent Technologies largement utilisé par les concepteurs dans le domaine des microondes

Nous avons implanté les paramètres **S** mesurés pour chaque point de polarisation dans le logiciel **ADS** sous forme de fichier Touchstone à extension **S2P**.

La **Figure III.13** montre comment est introduit le fichier contenant les mesures des paramètres **S** dans le simulateur **ADS**. Les mesures sont faites par **M. TAMOUM** à l'aide d'un analyseur de réseaux vectoriel (**VNA**) qui donne les résultats sous forme de fichier d'extension **S2P** contenant les valeurs des paramètres **S** pour la gamme de fréquence de utilisée de (**0,2GHz à 2,7GHz**). Chaque point de polarisation (V_{ds} , V_{gs}) est représenté par un fichier **S2P**, ce fichier doit être copié dans le dossier « **DATA** ». Par conséquent, nous pouvons visualiser les différents résultats sous forme d'abaque de **Smith**, de courbes de module et de phase, ou encore sous forme de tableau de valeurs.

Dans notre étude nous avons choisi les points de polarisation suivants ($V_{ds}=0.5V$ et $V_{gs}=5.6V$, $V_{ds}=10V$ et $V_{gs}=4.8V$, $V_{ds}=26V$ et $V_{gs}=4.8V$, $V_{ds}=10V$ et $V_{gs}=5.6V$, $V_{ds}=26V$ et $V_{gs}=5.6V$).

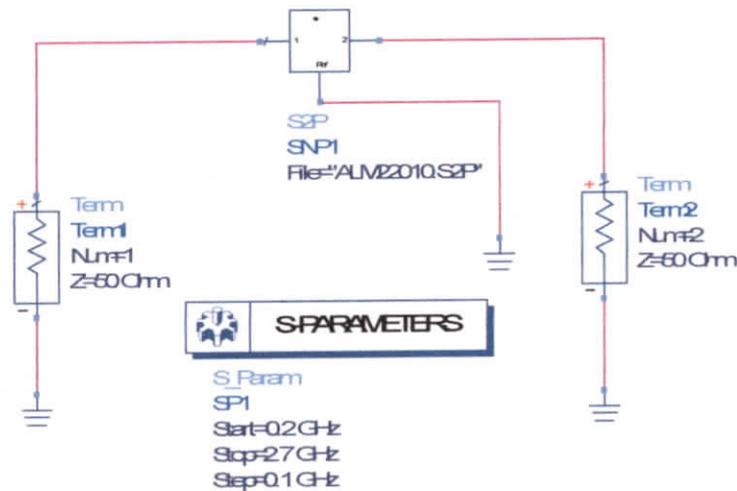


Figure III.13 : Design utilisé pour la visualisation des paramètres **S** mesurés sous **ADS**

Un bon avantage de **ADS** c'est qu'il permet de visualiser les résultats de plusieurs design (fichier.dsn) en même temps, et donc la possibilité de comparer les résultats des mesures avec ceux des calculs.

Nous disposons à présent de tous les éléments du schéma équivalent petit-signal.

Le modèle petit-signal final implémenté sous ADS est présenté sur la **Figure III.14** :

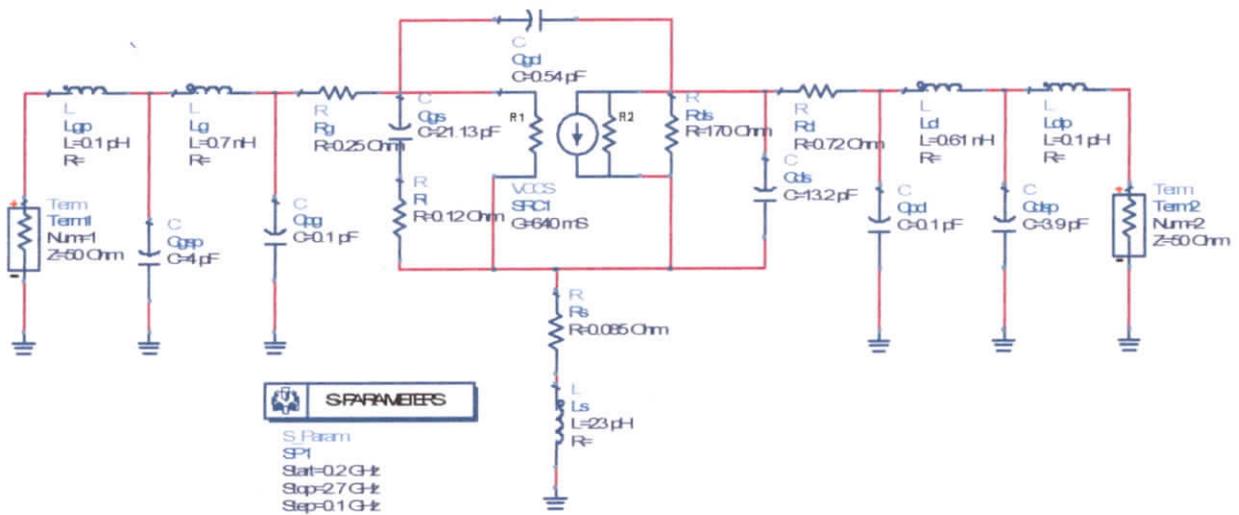


Figure III.14 - Schéma équivalent petit-signal introduit dans le simulateur ADS pour $V_{gs}=5.6V$ et $V_{ds}=26V$

VI. Validation du modèle

La validité d'un modèle concerne la précision avec laquelle il reproduit les caractéristique d'un composant. La validité doit être bien cadrée et définie dans tous les aspects électriques (polarisations, fréquence d'utilisation, puissance des signaux,...), car l'utilisateur d'un modèle peut facilement procéder à des conclusion erronées [14].

De toutes les étapes de la procédure qui constituent la modélisation d'un transistor, il en reste une ultime, qui n'est pas de moindre importance, c'est la validation. L'extraction du modèle étant faite en régime petit signal, il est important d'évaluer son comportement lorsque des signaux de puissance lui sont appliqués.

Pour valider le modèle, nous faisons une comparaison entre les paramètres **S** mesurés et ceux simulés des différents points de polarisation.

Les figures suivants montres la comparaison entre les paramètres **S** mesurés et simulés du transistor pour des fréquences allant de **200MHz** à **2.7GHz**.

Pour le régime de faible inversion et en saturation on prend comme exemple les points $V_{gs}=4.8V$, $V_{ds}=10V$. $V_{gs}=4.8V$, $V_{ds}=26V$.

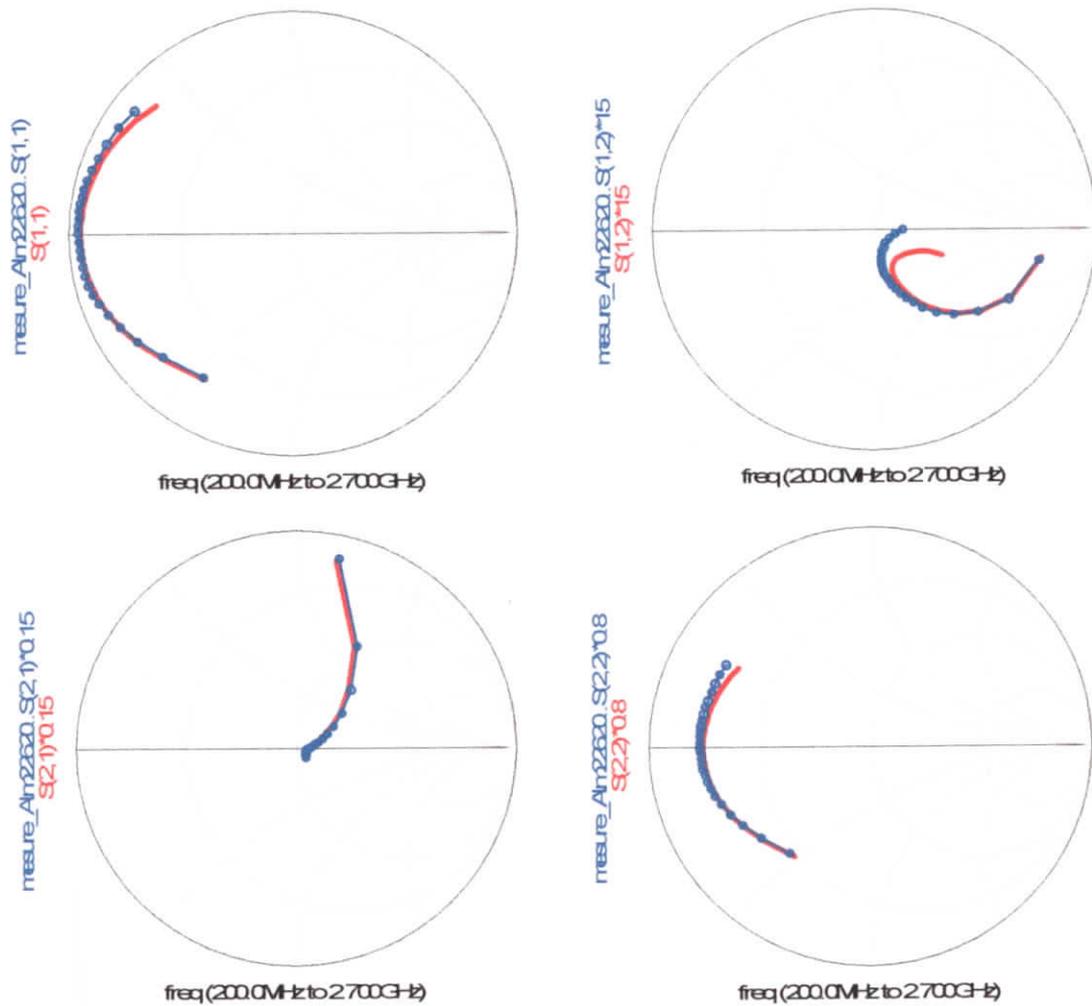


Figure III.15 : Comparaison entre la mesure et la simulation des paramètres S pour $V_{gs}=4.8V$ et $V_{ds}=10V$ (—:Simulation, ●●●:Mesure)

Nous observons une excellente concordance de ces évolutions, ce qui traduit une reproduction satisfaisante du fonctionnement du composant en régime petit-signal.

Les résultats donnés par la simulation se rapprochent bien de la mesure malgré un petit décalage dans le paramètre S_{12} .

D'un autre côté, les figures montrent un bon accord obtenu entre les paramètres S mesurées et simulées.

Pour le point de polarisation $V_{gs}=4.8V$, $V_{ds}=26V$ (Figure III.16).

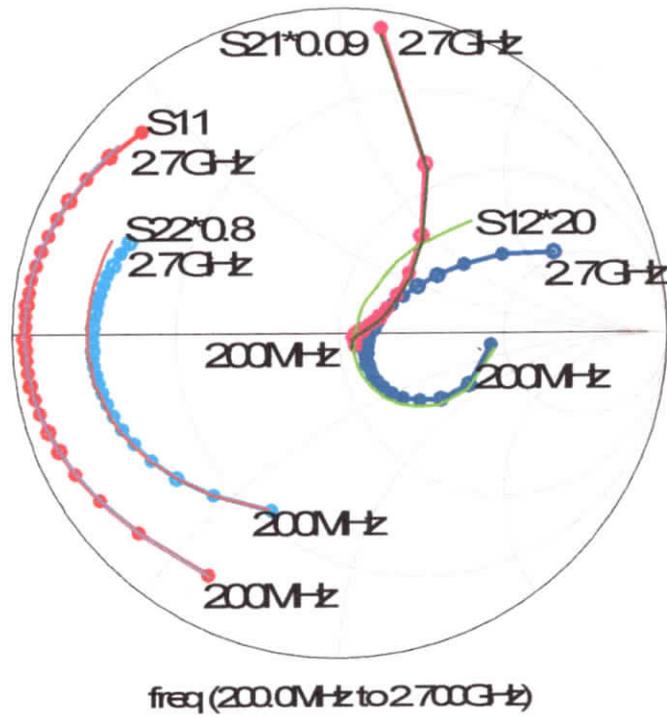


Figure III.16 : Comparaison entre la mesure et la simulation des paramètres S pour $V_{gs}=4.8V$ et $V_{ds}=26V$ (—:Simulation, ●●●:Mesure)

Pour le régime de fort inversion et en saturation on prend comme exemple les points $V_{gs}=5.6V$, $V_{ds}=10V$ et $V_{gs}=5.6V$, $V_{ds}=26V$ (Figure III.17 et 18).

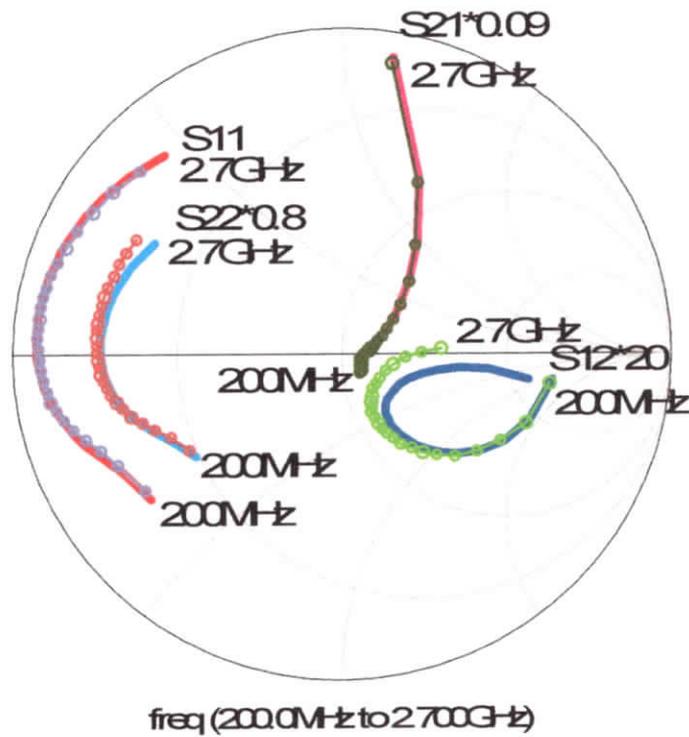


Figure III.17 : Comparaison entre la mesure et la simulation des paramètres S pour $V_{gs}=5.6V$ et $V_{ds}=10V$ (—:Simulation, ●●●:Mesure)

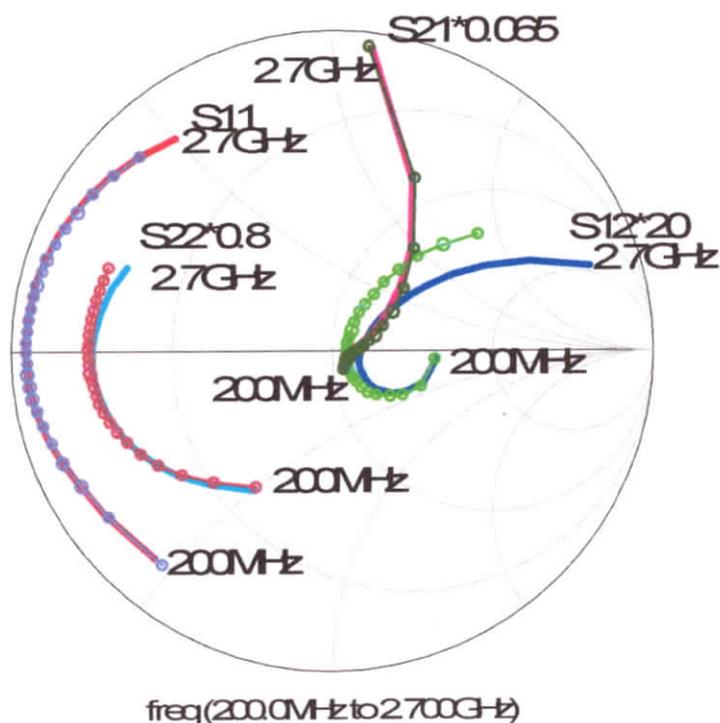


Figure III.18 : Comparaison entre la mesure et la simulation des paramètres S pour $V_{gs}=5.6V$ et $V_{ds}=26V$ (—:Simulation, ●●●:Mesure)

Pour le régime linéaire, nous prenons par exemple le point $V_{gs}=5.6V$, $V_{ds}=0.5V$ (Figur III.19)

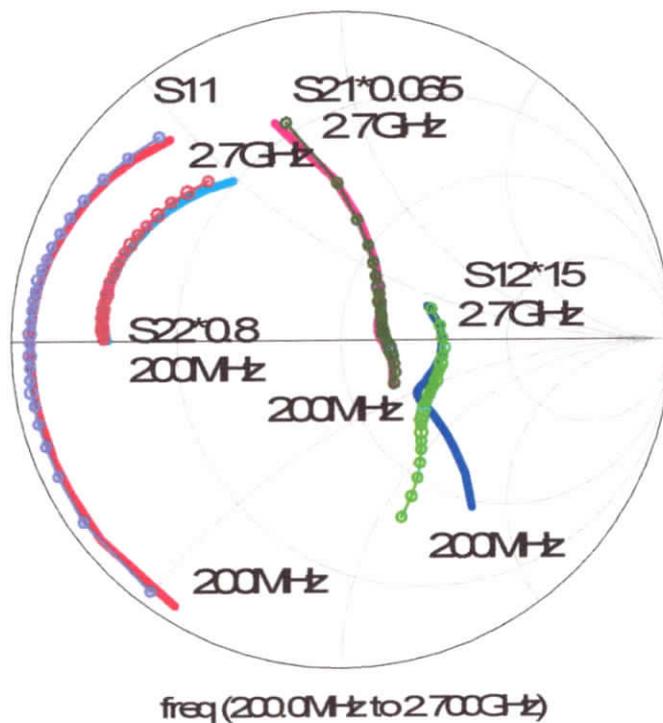


Figure III.19 : Comparaison entre la mesure et la simulation des paramètres S pour $V_{gs}=5.6V$ et $V_{ds}=0.5V$ (—:Simulation, ●●●:Mesure)

D'après ces résultats de simulation pour les points de polarisations cités, nous pouvons remarquer qu'il y a un bon accord entre la mesure et la simulation, et cela, pour les points de fonctionnement en régime de faible inversion et de forte inversion, soit en saturation ou en régime linéaire.

Nous pouvons dire que le schéma choisi pour notre étude est convenable pour la modélisation et la caractérisation du transistor **LDMOS**, pour les différents régimes de fonctionnement ; faible inversion, forte inversion, linéaire ou saturation et cela pour les fréquences allant de **0.2** à **2.7GHz**. Ce résultat est très intéressant car il prouve la validité de la méthode pour les différents régimes de fonctionnement du transistor.

VII. Conclusion

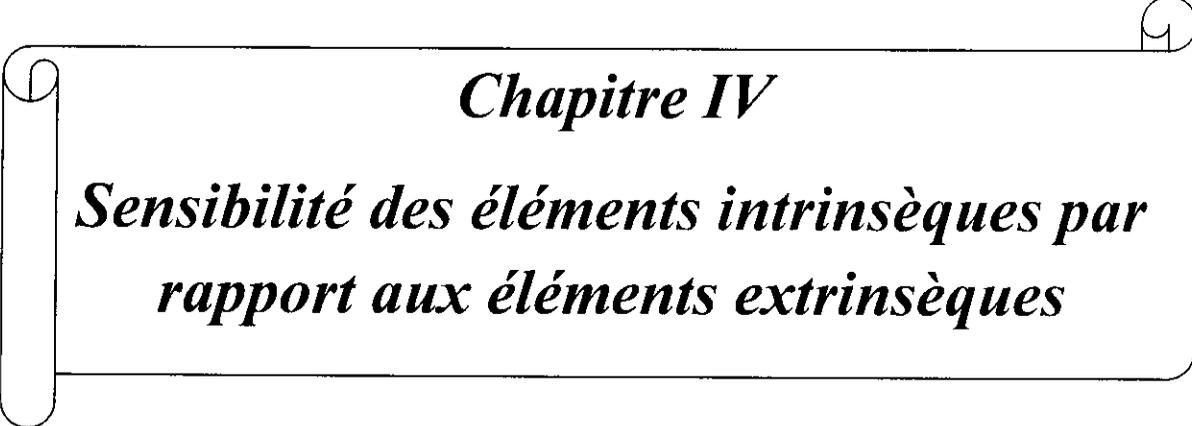
Dans ce chapitre nous avons présenté la caractérisation hyperfréquence du transistor **LDMOSFET** monté en boîtier.

Tout d'abord, nous avons décrit le schéma équivalent petit-signal des transistors **LDMOSFET** en donnant la signification physique pour chaque élément.

Ensuite, nous avons illustré les différentes méthode d'extraction des éléments extrinsèques et nous avons constaté que la méthode du **FET** froid est la plus convenable surtout pour les transistors **LDMOSFET**.

Après avoir extrait les éléments extrinsèques, nous avons utilisé la méthode d'épluchage pour extraire les éléments intrinsèques. Cette méthode est basée sur des transformations successives des paramètres **S** en paramètres **Z** ou **Y** développée par **G. DAMBRINE**.

Enfin, les résultats de simulations ont été confrontés aux résultats expérimentaux afin de vérifier la validité du modèle petit-signal. Nous en avons déduit la validité du modèle pour plusieurs points de polarisation.



Chapitre IV

*Sensibilité des éléments intrinsèques par
rapport aux éléments extrinsèques*

I. Introduction

Dans le chapitre précédent, nous avons utilisé la méthode d'épluchage pour extraire les éléments extrinsèques et les éléments intrinsèques du schéma équivalent petit signal. Cette méthode basée sur des transformations successives des paramètres S en paramètres Z ou Y développée par G. DAMBRINE. Nous avons également comparé entre les résultats de simulations et ceux de mesures afin de vérifier la validité du modèle. Nous en avons déduit la validité du modèle pour plusieurs points de polarisation.

Au cours du présent chapitre, nous allons étudier l'influence des éléments extrinsèques sur les éléments intrinsèques pour plusieurs points de polarisation. Pour la gamme de fréquence 0.2GHz à 2.7GHz, pour savoir à quel point les éléments intrinsèques sont sensibles à l'extraction des éléments extrinsèques.

II. Etude de l'influence des éléments extrinsèques sur les éléments intrinsèques

Nous allons étudier la sensibilité de l'extraction des éléments intrinsèques par rapport aux éléments extrinsèques. Pour cela, il suffit d'utiliser le schéma équivalent du transistor pour différents points de fonctionnement, de faire varier les valeurs des éléments extrinsèques à tour de rôle de $\pm 5\%$ et $\pm 10\%$ et de visualiser leur influence sur l'extraction des éléments intrinsèques.

II.1. Application d'une erreur de $\pm 5\%$ sur les éléments extrinsèques

La Figure IV.1 montre les éléments intrinsèques du SE utilisé comme référence, pour le point de fonctionnement $V_{gs}=4.8V$, $V_{ds}=26V$.

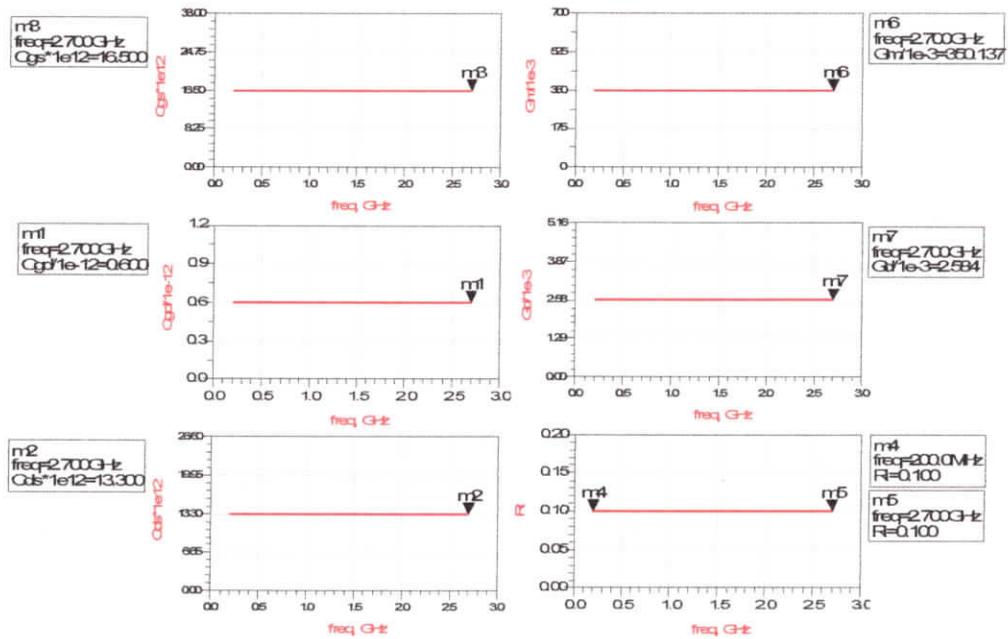


Figure IV.1 : Eléments intrinsèques C_{gs} , C_{gd} , C_{ds} , g_m , g_d et R_i du schéma équivalent de référence

Lorsqu'on fait varier la valeur de l'inductance extrinsèque L_d de +5% on obtient les courbes suivantes (Figure IV.2) des éléments intrinsèques :

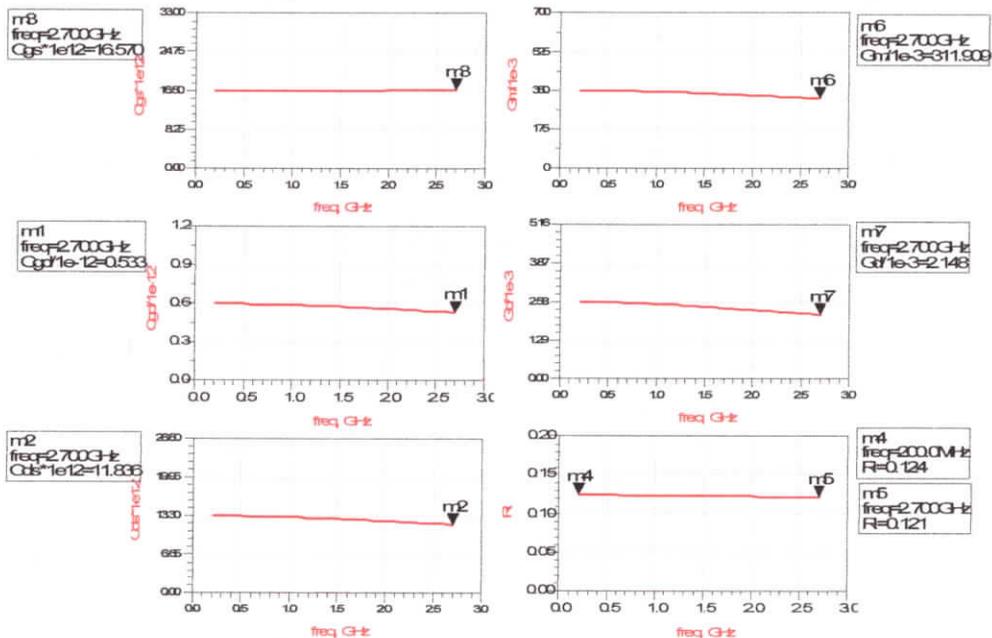


Figure IV.2 : Influence de l'augmentation de +5% de l'inductance L_d sur les éléments intrinsèques C_{gs} , C_{gd} , C_{ds} , g_m , g_d et R_i

Si on augmente la valeur de l'inductance du drain L_d de +5% on remarque que les éléments intrinsèques C_{gd} , C_{ds} , g_d et g_m sont restés inchangés pour les basses fréquences, est commencent à diminuer progressivement en augmentant la fréquence. Ainsi pour la fréquence 2.7GHz, on remarque une diminution approximative de 11%.

Même allure pour la conductance g_d sauf que la diminution pour la fréquence **2.7GHz** est de **16.74%**.

La capacité C_{gs} reste inchangée pour toute la gamme de fréquence.

Il y a une augmentation de **24%** de la valeur de la résistance R_i pour les basses fréquences, est commencent à diminuer progressivement en augmentant la fréquence. Ainsi pour la fréquence **2.7GHz**, on remarque une augmentation de **21%**.

Lorsqu'on varier l'inductance extrinsèque L_d de **-5%** on obtient les courbes suivantes (**Figure IV.3**) des éléments intrinsèques :

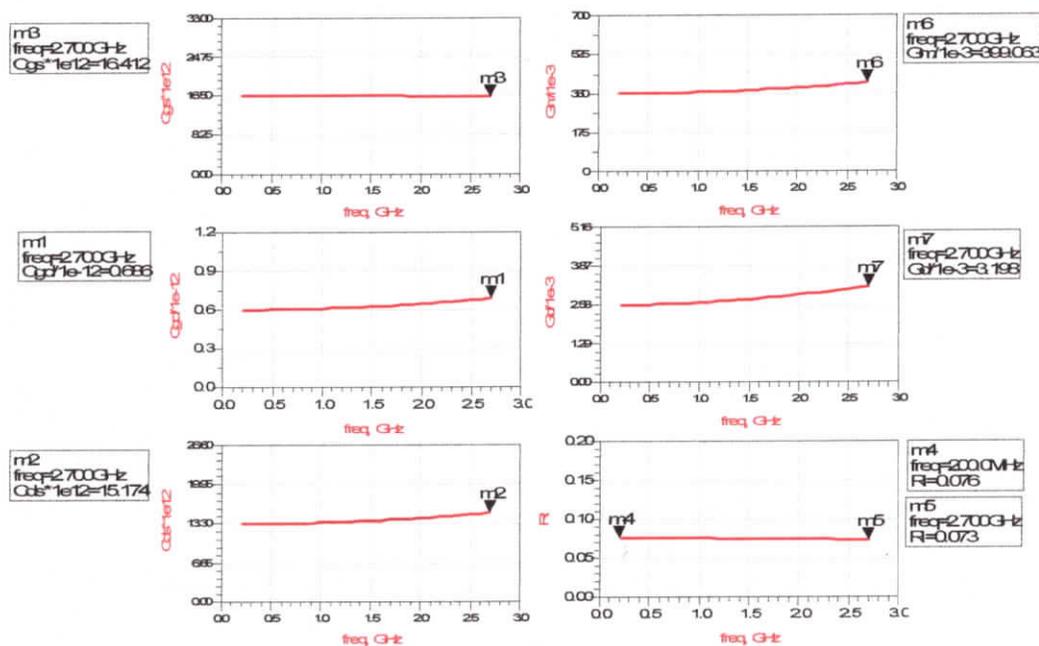


Figure IV.3 : Influence de la diminution de **-5%** de l'inductance du drain L_d sur les éléments intrinsèques C_{gs} , C_{gd} , C_{ds} , g_m , g_d et R_i

En diminuant la valeur de l'inductance L_d de **-5%** on remarque que les éléments intrinsèques C_{ds} , C_{gd} et g_m sont restés inchangés pour les basses fréquences, est commencent à augmenter progressivement en augment la fréquence. Ainsi pour la fréquence **2.7GHz**, on remarque une augmentation d'environ **14%**.

Même allure pour la conductance g_d sauf que l'augmentation pour la fréquence **2.7GHz** est de **23.95%**.

Toujours, la capacité C_{gs} reste inchangée pour toute la gamme de fréquence.

Il y a un changement de la valeur de la résistance R_i pour les basses fréquences, on remarque une diminution de **24%** et commencent à diminuer davantage en augmentant la fréquence, ainsi pour la fréquence **2.7GHz**, on remarque une diminution de **27%**.

On peut résumer les résultats obtenus dans le **Tableau IV.1** :

L_d	C_{gs}	C_{gd}	C_{ds}	g_m	g_d	R_{i_BF}	R_{i_HF}
+5%	+0.42%	-11.16%	-11	-10.88	-16.74	+24	+21
-5%	-0.53	+14.33	+14.	+14.01	+23.95	-24	-27

Tableau IV.1 : Variation des éléments intrinsèques pour la fréquence 2.7GHz en changeant la valeur de l'inductance L_d de $\pm 5\%$

Pour une variation de $\pm 5\%$ de l'inductance de la grille L_g la **Figure IV.4** montre la variation des éléments intrinsèques en fonction de la fréquence :

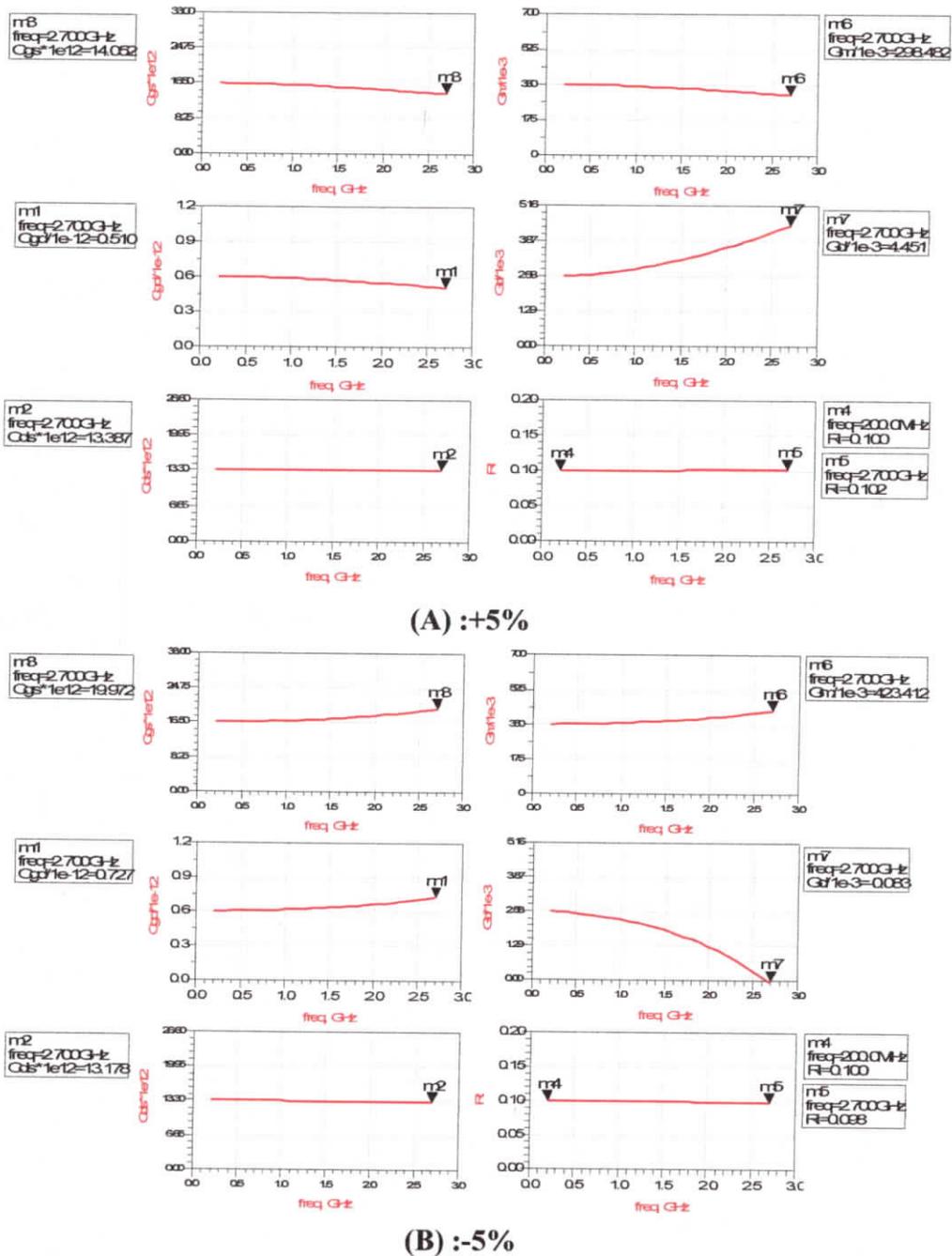


Figure IV.4 : Influence $\pm 5\%$ de l'inductance L_g sur les éléments intrinsèques C_{gs} , C_{gd} , C_{ds} , g_m , g_d et R_i

Les résultats obtenus sont résumés dans le **Tableau IV.2** :

L_g	C_{gs}	C_{gd}	C_{ds}	g_m	g_d	R_{i_BF}	R_{i_HF}
+5%	-14.77	-15	+0.65	-14.71	+72.5	0	+2
-5%	+21.04	+21.16	-0.91	+20.97	-103.2	0	-2

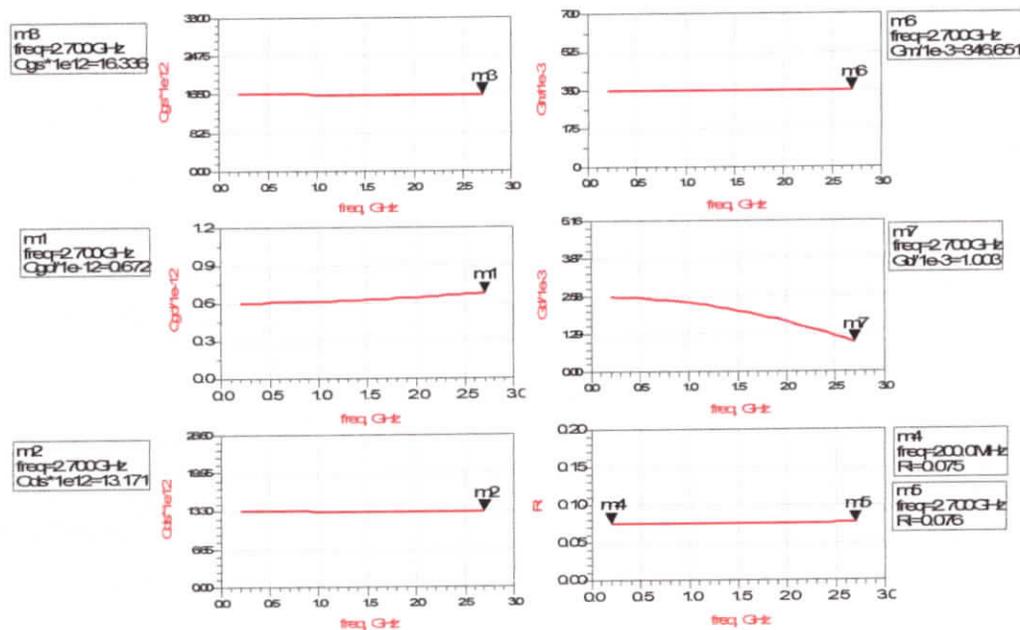
Tableau IV.2 : Variation des éléments intrinsèques pour la fréquence **2.7GHz** en changeant la valeur de l'inductance L_g de $\pm 5\%$

Pour la valeur de l'inductance L_g de $\pm 5\%$ on remarque que l'élément intrinsèque R_i est resté inchangé pour les basses fréquences. Par contre, pour la fréquence **2.7GHz**, on remarque une variation de $\pm 2\%$.

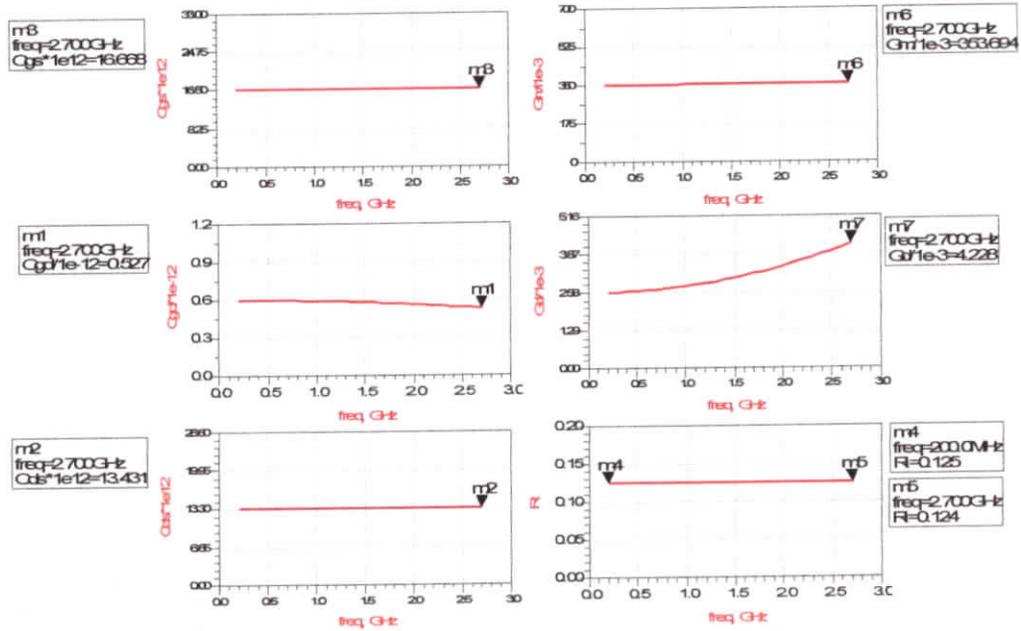
La capacité drain-source C_{ds} reste inchangée pour toute la gamme de fréquence.

En diminuant l'inductance extrinsèque L_g de **-5%** la valeur de la conductance g_d diminue fortement. Elle atteint la valeur **0** aux environs de **2.7GHz**.

Pour une variation de $\pm 5\%$ de l'inductance de la source L_s , la **Figure IV.5** montre la variation des éléments intrinsèques en fonction de la fréquence.



(A) : +5%



(B) :-5%

Figure IV.5 : Influence $\pm 5\%$ de l'inductance L_s sur les éléments intrinsèques C_{gs} , C_{gd} , C_{ds} , g_m , g_d et R_i

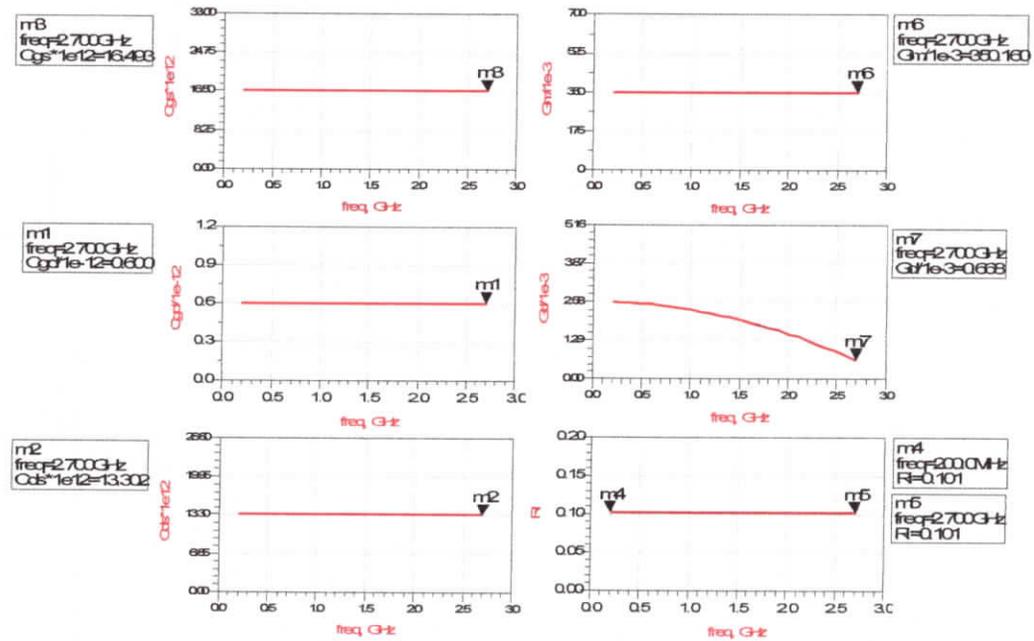
Les résultats sont donnés dans le **Tableau IV.3** :

L_s	C_{gs}	C_{gd}	C_{ds}	g_m	g_d	R_{i_BF}	R_{i_HF}
+5%	-0.91	+12	-0.96	-0.95	-61.12	-25	-24
-5%	+1.01	-12.1	+0.98	+1.05	+63.87	+25	+24

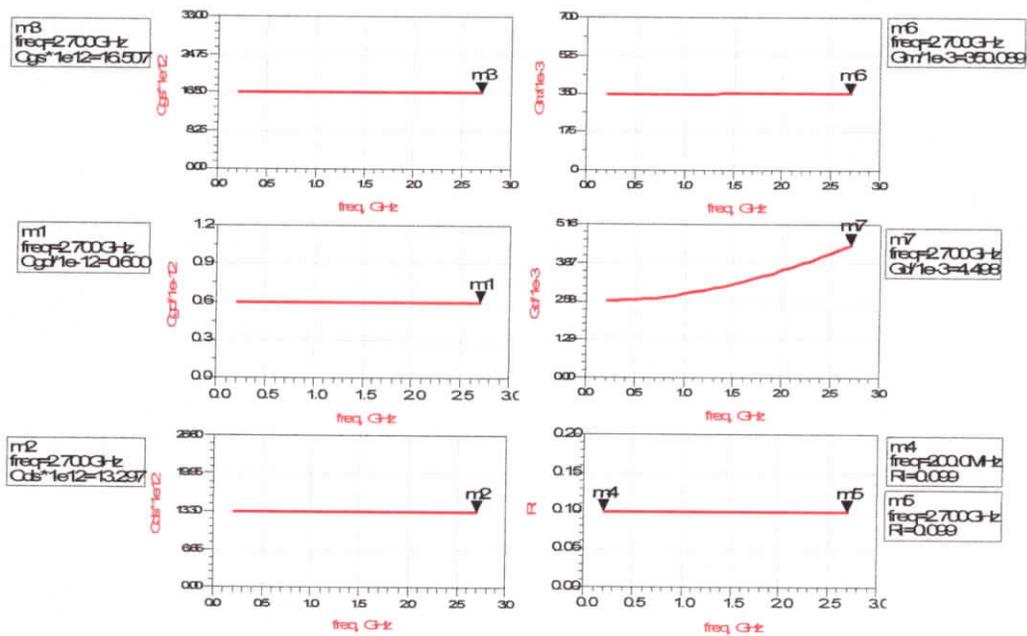
Tableau IV.3 : Variation des éléments intrinsèques pour la fréquence 2.7GHz en changeant la valeur de l'inductance L_s de $\pm 5\%$

On remarque surtout, que les éléments intrinsèques C_{ds} , C_{gs} et g_m sont insensibles à l'inductance L_s pour toute la gamme de fréquence.

En ce qui concerne la résistance extrinsèque du drain R_d , une variation de $\pm 5\%$ donne les résultats des éléments intrinsèques en fonction de la fréquence illustrés sur la **Figure IV.6**.



(A) :+5%



(B) :-5%

Figure IV.6 : Influence $\pm 5\%$ de la résistance R_d sur les éléments intrinsèques C_{gs} , C_{gd} , C_{ds} , g_m , g_d et R_i

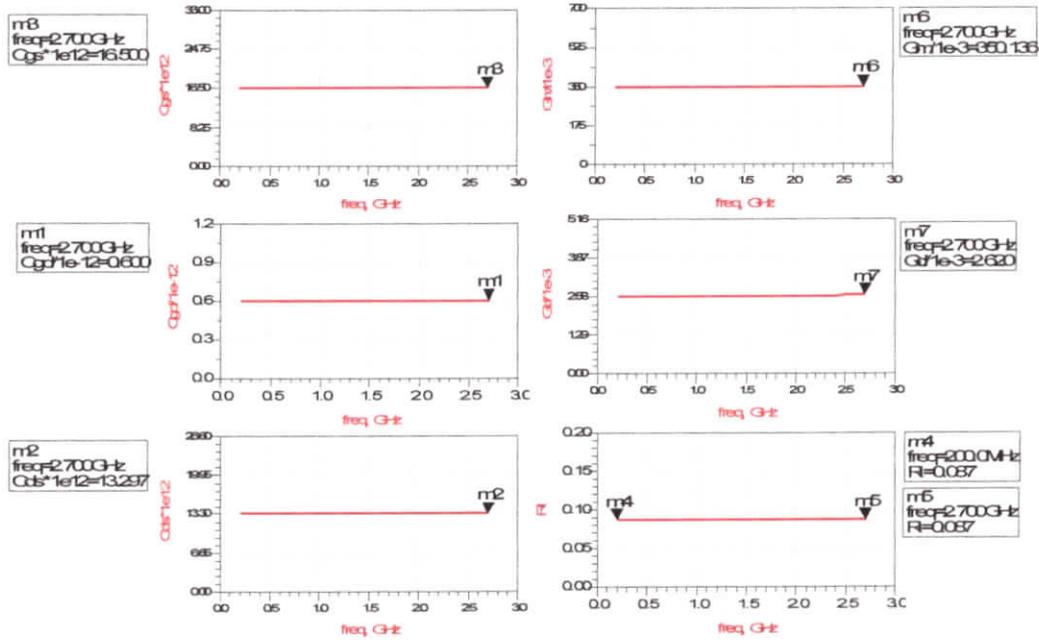
Les résultats sont présentés dans le Tableau IV.4 :

R_d	C_{gs}	C_{gd}	C_{ds}	g_m	g_d	R_{i_BF}	R_{i_HF}
+5%	-0.042	0	+0.015	+0.045	-74.1	+1	+1
-5%	+0.042	0	-0.022	+0.025	+74.34	-1	-1

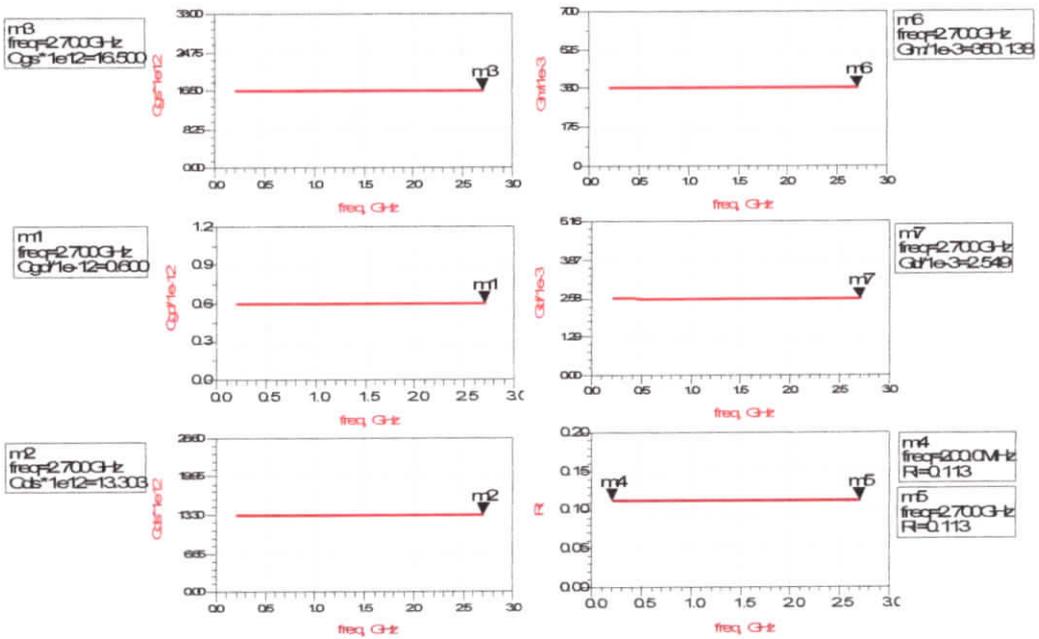
Tableau IV.4 : Variation des éléments intrinsèques pour la fréquence 2.7GHz en changeant la valeur de la résistance R_d de $\pm 5\%$

On remarque que tous les éléments intrinsèques sont insensibles à la résistance du drain R_d à part l'inductance g_d .

Pour une variation de la résistance R_g de $\pm 5\%$ les résultats sont illustrés dans la **Figure IV.7** :



(A) :+5%



(B) :-5%

Figure IV.7 : Influence $\pm 5\%$ de la résistance R_g sur les éléments intrinsèques C_{gs} , C_{gd} , C_{ds} , g_m , g_d et R_i

Ces résultats sont résumés dans le **Tableau IV.5** :

Figure IV.8 : Influence $\pm 5\%$ de la résistance R_s sur les éléments intrinsèques C_{gs} , C_{gd} , C_{ds} , g_m , g_d et R_i

Ces résultats sont aussi résumés dans le **Tableau IV.6** :

R_s	C_{gs}	C_{gd}	C_{ds}	g_m	g_d	R_i BF	R_i HF
+5%	+0.14	0	+0.15	+0.18	-18.5	-8	-8
-5%	-0.14	+0.16	-0.15	-0.1	+18.7	+8	+8

Tableau IV.6 : Variation des éléments intrinsèques pour la fréquence 2.7GHz en changeant la valeur de la résistance R_s de $\pm 5\%$

Pour la variation de la valeur de la résistance R_s de $\pm 5\%$, on remarque :

1. Que les éléments intrinsèques C_{gd} , C_{ds} , g_m , et C_{gs} sont restés inchangés.
2. Une légère variation de la résistance R_i quel que soit la fréquence.
3. Et une variation de la conductance g_d pour les fréquences élevées d'environ $\pm 18.5\%$.

A partir de tous les résultats obtenus jusqu'ici, nous pouvons constater que :

1. A par la résistance R_i , tous les autres éléments intrinsèques ne sont pas influencés par les éléments extrinsèques pour les basses fréquences, est commencent à changer progressivement en augmentant la fréquence pour atteindre un maximum pour la fréquence 2.7GHz (pour notre gamme de fréquence utilisé).
2. L'influence des résistances extrinsèques R_g , R_d et R_s sur les éléments intrinsèques est négligeable par rapport à l'influence des inductances extrinsèques L_g , L_d et L_s , sauf pour le g_d .
3. La conductance g_d est l'élément intrinsèque le plus sensible par rapport aux éléments extrinsèques, et d'autant plus, par rapport à la résistance R_d et aux inductances L_g et L_s .
4. Du côté des éléments extrinsèques, l'inductance L_g est l'élément qui influe le plus sur les éléments intrinsèques, vient après l'inductance L_s .
5. La résistance R_g est l'élément qui influe le moins sur les éléments intrinsèques.
6. La résistance intrinsèque R_i est moins sensible à l'inductance L_g et la résistance R_d en la comparant aux autres éléments extrinsèques.
7. En augmentant les éléments extrinsèques de 5%, les éléments intrinsèques influencés diminuent, et inversement, en diminuant les éléments extrinsèques les éléments intrinsèques influencés augmentent sauf dans le cas de g_d pour R_g et L_g , de C_{gd} pour R_s et L_s , de C_{ds} pour L_g et de R_i pour L_d .

même valeur avec des signes opposés pour les deux variations des résistances extrinsèques ($\pm 5\%$), par contre pour les inductances l'influence n'est pas vraiment symétrique. Ainsi, l'influence de l'inductance extrinsèque L_d par exemple pour une variation de -5% est plus grande par rapport à une variation de $+5\%$.

II.2. Application d'une erreur de $\pm 10\%$ sur les éléments extrinsèques

Pour étudier l'influence de l'amplitude de l'erreur appliquée sur les éléments extrinsèques, nous avons augmenté l'erreur sur les éléments extrinsèques de $\pm 5\%$ à $\pm 10\%$. Les résultats obtenus des éléments intrinsèques C_{gs} , C_{gd} , C_{ds} , g_m , g_d et R_i sont résumés dans les tableaux de IV.7 à IV.12.

L_d	C_{gs}	C_{gd}	C_{ds}	g_m	g_d	R_i BF	R_i HF
+10%	+0.76	-20	-19.84	-19.65	-29.18	+47	+37
-10%	-1.21	+33.16	+32.75	+32.54	+59.34	-47	-63

Tableau IV.7 : Variation des éléments intrinsèques pour la fréquence 2.7GHz en changeant la valeur de l'inductance L_d de $\pm 10\%$

L_g	C_{gs}	C_{gd}	C_{ds}	g_m	g_d	R_i BF	R_i HF
+10%	-25.85	-26.16	+1.14	-25.68	+126.04	0	+4
-10%	+53.22	+53.66	-2.29	+52.99	-262.79	0	-4

Tableau IV.8 : Variation des éléments intrinsèques pour la fréquence 2.7GHz en changeant la valeur de l'inductance L_g de $\pm 10\%$

L_s	C_{gs}	C_{gd}	C_{ds}	g_m	g_d	R_i BF	R_i HF
+10%	-1.96	+23.66	-1.93	-1.93	-120	-49	-48
-10%	+2.05	-24.66	+1.96	+2.09	+130.11	+49	+48

Tableau IV.9 : Variation des éléments intrinsèques pour la fréquence 2.7GHz en changeant la valeur de l'inductance L_s de $\pm 10\%$

R_d	C_{gs}	C_{gd}	C_{ds}	g_m	g_d	R_i BF	R_i HF
+10%	-0.08	0	+0.007	+0.045	-148.33	+2	+2
-10%	+0.09	0	-0.067	+0.045	+148.48	-2	-2

Tableau IV.10 : Variation des éléments intrinsèques pour la fréquence 2.7GHz en changeant la valeur de la résistance R_d de $\pm 10\%$

R_g	C_{gs}	C_{gd}	C_{ds}	G_m	G_d	R_{i_BF}	R_{i_HF}
+10%	0	0	-0.037	+0.038	+2.94	-26	-26
-10%	0	0	+0.037	+0.04	-2.59	+26	+26

Tableau IV.11 : Variation des éléments intrinsèques pour la fréquence 2.7GHz en changeant la valeur de la résistance R_g de $\pm 10\%$

R_s	C_{gs}	C_{gd}	C_{ds}	g_m	g_d	R_{i_BF}	R_{i_HF}
+10%	+0.29	+0.16	+0.3	+0.33	-37.33	-16	-16
-10%	-0.29	+0.5	-0.3	-0.25	+37.17	+16	+16

Tableau IV.12 : Variation des éléments intrinsèques pour la fréquence 2.7GHz en changeant la valeur de la résistance R_s de $\pm 10\%$

D'après la comparaison entre l'influence des éléments extrinsèques pour une erreur de $\pm 5\%$ et celle de $\pm 10\%$ sur les éléments intrinsèques, on remarque que si on double l'erreur des éléments extrinsèques l'effet sur les éléments intrinsèques est aux alentours du double aussi (un peu moins que le double pour +10% et un peu plus pour -10%).

II.3. Effet de l'erreur de $\pm 5\%$ et $\pm 10\%$ sur les éléments intrinsèques pour d'autres points de fonctionnement

a. Pour le point de polarisation $V_{gs}=4.8V$, $V_{ds}=10V$: Les résultats obtenus des éléments intrinsèques sont résumés dans les tableaux de IV.13 à IV.18. 24

L_d	C_{gs}	C_{gd}	C_{ds}	g_m	g_d	R_{i_BF}	R_{i_HF}
+5%	+1.46	-13.46	-13.44	-13.28	-8.54	+12	+7.5
-5%	-1.97	+18.4	+18.35	+18.11	+10.08	-12	-11

Tableau IV.13 : Variation des éléments intrinsèques pour la fréquence 2.7GHz en changeant la valeur de l'inductance L_d de $\pm 5\%$

L_g	C_{gs}	C_{gd}	C_{ds}	g_m	g_d	R_{i_BF}	R_{i_HF}
+5%	-14.02	-13.93	+1.19	-13.93	+442.43	0	+2
-5%	+19.44	+19.26	-1.6	+19.32	-629.41	0	-2

Tableau IV.14 : Variation des éléments intrinsèques pour la fréquence 2.7GHz en changeant la valeur de l'inductance L_g de $\pm 5\%$

L_s	C_{gs}	C_{gd}	C_{ds}	g_m	g_d	R_{i_BF}	R_{i_HF}
+5%	-1.04	+5	-0.99	-1.04	-178.85	-4.25	-3.75
-5%	+1.06	-5.13	+1.01	+1.06	+186.27	+4.25	+3.75

Tableau IV.15 : Variation des éléments intrinsèques pour la fréquence 2.7GHz en changeant la valeur de l'inductance L_s de $\pm 5\%$

R_d	C_{gs}	C_{gd}	C_{ds}	g_m	g_d	R_i BF	R_i HF
+5%	-0.06	0	-0.006	+0.007	-406.3	+1.25	+1.25
-5%	+0.06	0	-0.01	-0.01	+406.3	-1.25	-1.25

Tableau IV.16 : Variation des éléments intrinsèques pour la fréquence 2.7GHz en changeant la valeur de la résistance R_d de $\pm 5\%$

R_g	C_{gs}	C_{gd}	C_{ds}	g_m	g_d	R_i BF	R_i HF
+5%	0	0	-0.03	-0.003	+10.92	-3.5	-3.5
-5%	0	0	+0.03	+0.003	-10.78	+3.5	+3.5

Tableau IV.17 : Variation des éléments intrinsèques pour la fréquence 2.7GHz en changeant la valeur de la résistance R_g de $\pm 5\%$

R_s	C_{gs}	C_{gd}	C_{ds}	g_m	g_d	R_i BF	R_i HF
+5%	+0.08	-0.06	+0.1	+0.08	-83.19	-2.25	-2.25
-5%	-0.08	+0.13	-0.1	-0.08	+82.91	+2.25	+2.25

Tableau IV.18 : Variation des éléments intrinsèques pour la fréquence 2.7GHz en changeant la valeur de la résistance R_s de $\pm 5\%$

L_d	C_{gs}	C_{gd}	C_{ds}	g_m	g_d	R_i BF	R_i HF
+10%	+2.6	-23.73	-23.71	-23.45	-15.96	+24	+13
-10%	-4.79	+44.93	+44.89	+44.26	+21	-24	-29

Tableau IV.19 : Variation des éléments intrinsèques pour la fréquence 2.7GHz en changeant la valeur de l'inductance L_d de $\pm 10\%$

L_g	C_{gs}	C_{gd}	C_{ds}	g_m	g_d	R_i BF	R_i HF
+10%	-24.62	-24.46	+2.11	-24.46	+769.88	0	+4
-10%	+48.21	+47.66	-3.87	47.92	1592.01	0	-4

Tableau IV.20 : Variation des éléments intrinsèques pour la fréquence 2.7GHz en changeant la valeur de l'inductance L_g de $\pm 10\%$

L_s	C_{gs}	C_{gd}	C_{ds}	g_m	g_d	R_i BF	R_i HF
+10%	-2.06	+9.93	-1.97	-2.06	-350.7	-8.75	-7.75
-10%	+2.15	-10.33	+2.03	+2.14	+379.97	+8.75	+7.75

Tableau IV.21 : Variation des éléments intrinsèques pour la fréquence 2.7GHz en changeant la valeur de l'inductance L_s de $\pm 10\%$

R_d	C_{gs}	C_{gd}	C_{ds}	g_m	g_d	R_i_{BF}	R_i_{HF}
+10%	-0.11	0	-0.03	+0.004	-812.32	+2.5	+2.5
-10%	+0.13	0	-0.05	-0.004	+812.18	-2.25	-2.25

Tableau IV.22 : Variation des éléments intrinsèques pour la fréquence 2.7GHz en changeant la valeur de la résistance R_d de $\pm 10\%$

R_g	C_{gs}	C_{gd}	C_{ds}	g_m	g_d	R_i_{BF}	R_i_{HF}
+10%	-0.006	+0.066	-0.056	-0.005	+21.84	-7	-7
-10%	+0.006	-0.066	+0.056	+0.0063	-21.56	+7	+7

Tableau IV.23 : Variation des éléments intrinsèques pour la fréquence 2.7GHz en changeant la valeur de la résistance R_g de $\pm 10\%$

R_s	C_{gs}	C_{gd}	C_{ds}	g_m	g_d	R_i_{BF}	R_i_{HF}
+10%	+0.16	-0.13	+0.2	+0.16	-166.94	-4.75	-4.75
-10%	-0.16	+0.26	-0.21	-0.16	+165.54	+4.75	+4.75

Tableau IV.24 : Variation des éléments intrinsèques pour la fréquence 2.7GHz en changeant la valeur de la résistance R_s de $\pm 10\%$

La différence de l'influence des éléments extrinsèques sur les éléments intrinsèques g_d , C_{gd} et R_i entre les deux points de fonctionnement est remarquable sauf dans le cas de R_i pour L_g et R_d , de C_{gd} pour L_d , L_g , R_d , R_g et R_s .

En diminuant la valeur de V_{ds} à partir de 26V à 10V pour $V_{gs}=4.8V$ on remarque que :

1. L'influence des éléments extrinsèques sur la conductance intrinsèque g_d augmente sauf dans le cas de l'inductance L_d il diminue.
 2. L'influence des éléments extrinsèques sur la résistance intrinsèque R_i diminue sauf dans le cas de l'inductance L_g et de la résistance R_d , elle est restée pratiquement identique.
 3. L'influence des éléments extrinsèques sur les éléments intrinsèques C_{gs} , C_{ds} , C_{gd} et g_m a pratiquement le même ordre de grandeur pour les deux points de fonctionnement à part le C_{gd} pour L_s qui a diminué de 12% à environ 5%.
- b. Le point $V_{gs}=5.6V$, $V_{ds}=26V$: Nous prenons un autre point de fonctionnement en changeant, cette fois ci, la valeur de la tension de grille V_{gs} de 4.8V à 5.6V et on refait la même routine pour des variations de $\pm 5\%$ sur les éléments extrinsèques. Les résultats sont illustrés dans les tableaux de IV.25 à IV.30.

L_d	C_{gs}	C_{gd}	C_{ds}	g_m	g_d	R_i BF	R_i HF
+5%	+0.34	-11.11	-10.89	-10.79	-18.27	+20	+17.5
-5%	-0.41	+14.25	+13.89	+13.77	+26.01	-20	-22.5

Tableau IV.25 : Variation des éléments intrinsèques pour la fréquence 2.7GHz en changeant la valeur de l'inductance L_d de $\pm 5\%$

L_g	C_{gs}	C_{gd}	C_{ds}	g_m	g_d	R_i BF	R_i HF
+5%	-18.04	-18.14	+0.73	-17.96	+50.39	0	+1.66
-5%	+28.16	+28.51	-1.1	+28.04	-79.34	0	-1.66

Tableau IV.26 : Variation des éléments intrinsèques pour la fréquence 2.7GHz en changeant la valeur de l'inductance L_g de $\pm 5\%$

L_s	C_{gs}	C_{gd}	C_{ds}	g_m	g_d	R_i BF	R_i HF
+5%	-1.17	+16.85	-1.10	-1.17	-49.14	-29.16	-29.16
-5%	+1.2	-17.22	+1.09	+1.2	+51.37	+29.16	+29.16

Tableau IV.27 : Variation des éléments intrinsèques pour la fréquence 2.7GHz en changeant la valeur de l'inductance L_s de $\pm 5\%$

R_d	C_{gs}	C_{gd}	C_{ds}	g_m	g_d	R_i BF	R_i HF
+5%	-0.05	0	+0.03	+0.01	-31.94	+0.83	+0.83
-5%	-0.05	0	-0.05	-0.02	+31.91	-0.83	-0.83

Tableau IV.28 : Variation des éléments intrinsèques pour la fréquence 2.7GHz en changeant la valeur de la résistance R_d de $\pm 5\%$

R_g	C_{gs}	C_{gd}	C_{ds}	g_m	g_d	R_i BF	R_i HF
+5%	0	0	-0.03	0	+0.71	-10.83	-10.83
-5%	0	0	+0.03	0	-0.68	+10.83	+10.83

Tableau IV.29 : Variation des éléments intrinsèques pour la fréquence 2.7GHz en changeant la valeur de la résistance R_g de $\pm 5\%$

R_s	C_{gs}	C_{gd}	C_{ds}	g_m	g_d	R_i BF	R_i HF
+5%	+0.26	-0.18	+0.28	+0.25	-9.18	-5.83	-5.83
-5%	-0.26	+0.37	-0.28	-0.26	+9.07	+5.83	+5.83

Tableau IV.30 : Variation des éléments intrinsèques pour la fréquence 2.7GHz en changeant la valeur de la résistance R_s de $\pm 5\%$

En augmentant la valeur de V_{gs} de 4.8V à 5.6V on remarque : une légère différence pour la majorité des éléments intrinsèques (en général une augmentation). Néanmoins, pour la conductance g_d , on remarque une baisse d'effet pour tous les éléments extrinsèques à part l'inductance de drain L_d .

R_i BF	R_i HF
-0.01	-2.85
-0.02	-2.85
+0.06	+2.85
-0.02	+2.85
+0.02	+2.85
-0.07	+2.85

Tableau IV.35 : Variation des éléments intrinsèques pour la fréquence 2.7GHz en changeant la valeur de la résistance R_g de $\pm 5\%$

R_s	C_{gs}	C_{gd}	C_{ds}	g_m	g_d	R_i BF	R_i HF
+5%	+0.24	-0.32	+0.49	+0.24	-0.71	-2.5	-2.5
-5%	-0.24	+0.34	-0.49	-0.24	+0.7	+3.57	+3.57

Tableau IV.36 : Variation des éléments intrinsèques pour la fréquence 2.7GHz en changeant la valeur de la résistance R_s de $\pm 5\%$

En diminuant la valeur de V_{ds} à partir de 26V à 0.5V pour $V_{gs}=5.6V$ on remarque que :

1. L'influence de l'inductance du drain L_d sur les éléments intrinsèques augmente.
2. La conductance intrinsèque g_d diminue pour tous les éléments extrinsèques à part pour l'inductance extrinsèque L_d , il y a une augmentation.
3. L'influence des éléments extrinsèques sur les éléments intrinsèques C_{gs} , C_{ds} , C_{gd} et g_m a pratiquement le même ordre de grandeur pour les deux points de fonctionnement à part le C_{gd} pour L_s qui a diminué d'environ 17% à environ 2.5%.
4. La résistance intrinsèque R_i diminue pour tous les éléments extrinsèques dans toute la gamme de fréquence à part pour l'inductance L_d et la résistance R_d elle augmente.

A partir de tous les résultats qu'on a obtenus pour la sensibilité des éléments intrinsèques aux éléments extrinsèques, on peut résumer que :

1. L'influence des éléments extrinsèques sur les éléments intrinsèques diffère d'un point de fonctionnement à l'autre. Donc, selon l'application du transistor LDMOS, et par conséquent le point de fonctionnement, on doit établir une étude spécifique de sensibilité.
2. A part la résistance R_i , les éléments intrinsèques ne sont pas influencés par les éléments extrinsèques pour les basses fréquences, ils commencent à changer progressivement en augmentant la fréquence pour atteindre un maximum pour la fréquence 2.7GHz (pour notre gamme de fréquence utilisée).
3. L'influence des résistances extrinsèques R_g , R_d et R_s sur les éléments intrinsèques est négligeable par rapport à l'influence des inductances extrinsèques L_g , L_d , L_s .
4. L'influence des résistances extrinsèques sur les éléments intrinsèques est symétrique, les variations des éléments intrinsèques obtenues ont pratiquement la même valeur avec des signes opposés pour les deux variations des résistances

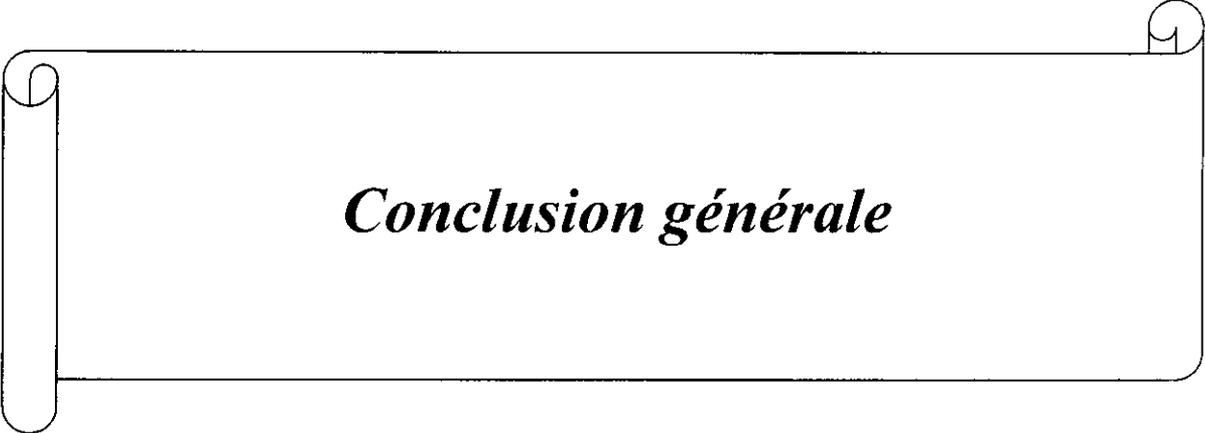
4. L'influence des résistances extrinsèques sur les éléments intrinsèques est symétrique, les variations des éléments intrinsèques obtenues ont pratiquement la même valeur avec des signes opposés pour les deux variations des résistances extrinsèques (positive ou négative), par contre pour les inductances extrinsèques, l'influence n'est pas vraiment symétrique. Ainsi, l'influence d'une inductance extrinsèque pour une variation négative est plus grande par rapport à une variation positive.
5. La conductance g_d est l'élément intrinsèque le plus sensible par rapport aux éléments extrinsèques dans le régime de saturation, au contraire, dans le régime linéaire elle n'est pas significativement affectée.
6. En saturation, l'inductance L_g est l'élément qui influe le plus sur les éléments intrinsèques, vient après l'inductance L_s , par contre, dans le cas du régime linéaire c'est l'inductance L_d qui influe le plus. Par conséquent leur détermination doit être la plus précise possible lors de la caractérisation du transistor **LDMOS**.
7. La résistance R_g est l'élément qui influe le moins sur les éléments intrinsèques, aussi bien pour le régime de saturation qu'au régime linéaire. On a donc, une certaine tolérance sur sa détermination lors de la caractérisation.
8. L'erreur des éléments intrinsèques est pratiquement proportionnelle à l'erreur lors de l'extraction des éléments extrinsèques.
9. En commettant une erreur positive sur les éléments extrinsèques, les éléments intrinsèques influencés diminuent, et inversement, pour une erreur négative les éléments intrinsèques influencés augmentent sauf dans quelques cas déjà cités dans le paragraphe §II.1.
10. L'influence des éléments extrinsèques sur les éléments intrinsèques C_{gs} , C_{ds} , C_{gd} et g_m est pratiquement du même ordre de grandeur pour tous les régimes de fonctionnement. Néanmoins, en régime linéaire l'effet de l'inductance L_d sur les éléments intrinsèques est remarquablement élevé par rapport au régime de saturation.

III. Conclusion

Dans ce chapitre nous avons étudié la sensibilité des éléments intrinsèques par rapport à l'extraction des éléments extrinsèques dans la gamme de fréquence utilisée de ce travail.

avons ensuite, visualisé les courbes des éléments intrinsèques pour savoir lequel est le plus sensibles par rapport à cette erreur.

Enfin, pour savoir quel est l'effet sur les éléments intrinsèques par rapport à l'amplitude de l'erreur commise sur les éléments extrinsèques, nous avons augmenté cette erreur de $\pm 5\%$ à $\pm 10\%$.



Conclusion générale

Le transistor **MOSFET** est aujourd'hui le composant le plus utilisé en microélectronique. Alors qu'il sert principalement pour la conception de circuit numérique, de nombreux efforts sont portés sur la fabrication de circuits **RF** en technologie **MOS** à cause de son faible cout et de ses performances excellentes. D'ailleurs, depuis 2003, l'**ITRS** (**I**nternational **T**echnology **R**oadmap for **S**emiconductors) s'intéresse ainsi à l'évolution des technologies **RF** pour les communications sans fil. Pour ces raisons, une nouvelle génération de composant semi-conducteur est apparue sur la scène de l'amplification de puissance : le **LDMOS** (**L**aterally **D**iffused **M**etal-**O**xide **S**emiconductor) dédié à la radiotéléphonie mobile et utilisé dans les étages de sortie des amplificateurs des stations de base.

Cependant, la conception de circuits doit être appuyée par des modèles des composants robustes et rapides à extraire. Les modèles existant dans les simulateurs pour les transistors **MOS** sont principalement basés sur la physique des composants et destinés aux applications numériques, l'utilisation de tels modèles est quasi impossible à cause de leur complexité et surtout du temps requis pour l'extraction des paramètres. Pour remédier à cela, il s'est avéré nécessaire de passer par l'élaboration complète d'un modèle empirique destiné aux applications **RF**.

L'objet de notre étude est la modélisation et la caractérisation des transistors **LDMOS** dans le domaine des **RF**.

Dans une première tâche de ce travail, nous avons développé un modèle électrique basés sur schéma équivalent. Nous avons choisi un schéma équivalent largement utilisé dans la littérature [14, 5, 31]. C'est un schéma qui comprend une partie boitier, une partie extrinsèque et une partie intrinsèque. Nous avons expliqué les techniques d'extraction des éléments électriques, basées sur des mesures hyperfréquences de paramètres **S**.

Après l'implantation du modèle dans le logiciel **ADS**, nous avons comparé les paramètres **S** mesurés et ceux simulés pour valider notre modèle pour différents points de polarisation. Les résultats obtenus confirment la validité de ce dernier.

Un très bon accord entre la simulation et la mesure a été obtenue, ce qui indique que :

- le schéma équivalent utilisé est très convenable pour ce genre de transistors.
- la technique utilisée pour l'extraction des éléments du schéma équivalent est assez précise et rapide.

Dans la deuxième tâche de ce travail, nous avons étudiée l'effet des éléments extrinsèques sur les éléments intrinsèques. En effet, nous avons appliqué une erreur de $\pm 5\%$ sur les éléments extrinsèques pour un point de fonctionnement donné et nous avons observé la sensibilité des éléments intrinsèques par rapport à cette erreur. Cette étude a pour objectif de développer un modèle plus précis. Ensuite, nous avons augmenté l'erreur sur les éléments extrinsèques jusqu'à $\pm 10\%$, pour savoir quel est l'effet de l'amplitude de l'erreur commise sur les éléments intrinsèques. Enfin, pour généraliser notre étude de sensibilité, nous avons répété la même procédure précédente pour plusieurs points de polarisations dans les différents régimes de fonctionnement.

D'après les résultats de cette tâche, nous constatons que :

- L'influence des éléments extrinsèques sur les éléments intrinsèques dépend en général du point de polarisation.
- Tous les éléments intrinsèques ne sont pas influencés par les éléments extrinsèques pour les basses fréquences, est commencent à changer progressivement en augmentant la fréquence, sauf la résistance R_i qui change de valeur pour toute la gamme de fréquence utilisée dans ce travail.
- La variation des éléments intrinsèques est pratiquement proportionnelle à l'erreur lors de l'extraction des éléments extrinsèques.
- L'influence des résistances extrinsèques sur les éléments intrinsèques est négligeable par rapport à l'influence des inductances extrinsèques.
- La conductance g_d est l'élément intrinsèque le plus sensible, surtout dans le régime de saturation.
- L'inductance L_g est l'élément extrinsèque qui influe le plus sur les éléments intrinsèques pour le régime de saturation, par contre, dans le cas du régime linéaire, c'est l'inductance L_d qui influe le plus.
- La résistance R_g est l'élément extrinsèque qui influe le moins sur les éléments intrinsèques, pour tous les régimes de fonctionnement.
- L'influence des éléments extrinsèques sur les capacités intrinsèques et la transconductance g_m est pratiquement du même ordre de grandeur pour tous les régimes de fonctionnement. Néanmoins, en régime linéaire l'effet de l'inductance L_d est remarquablement élevé par rapport au régime de saturation.

- En commettant une erreur positive sur les éléments extrinsèques, les éléments intrinsèques influencés diminuent, et inversement, pour une erreur négative les éléments intrinsèques influencés augmentent sauf dans quelques cas.

Enfin, pour une éventuelle poursuite de ce travail, nous proposons les perspectives suivantes :

- Etudier l'influence de l'extraction des éléments du boîtier sur les éléments extrinsèques.
- Appliquer cette étude de sensibilité sur les résultats de mesure au lieu de ceux de simulation. ?
- Développer un modèle non linéaire à base de ce schéma équivalent.
- Essayer d'utiliser cette technique de modélisation pour d'autres types de transistors.

- [1] **Dorothee MULLER** « Optimisation des potentialités d'un transistor **LDMOS** pour l'intégration d'amplificateur de puissance **RF** sur silicium » Thèse de doctorat, Université de Limoges, le 12 Octobre 2006.
- [2] **Charles TEYSSANDIER** « Contribution à la modélisation non-linéaire de transistors de puissance **HEMT** Pseudomorphiques sur substrat **AsGa** : Analyse des effets parasites » Thèse de doctorat, Université de Limoges, le 6 Mars 2008.
- [3] International Technology Roadmap for Semiconductors, 2003 Edition, Radio Frequency and Analog/Mixed-Signal Technologies for Wireless Communications. ?
- [4] **Emmanuel BOUHANA** « Analyse du comportement petit signal du transistor **MOS** : contribution à une nouvelle approche d'extraction et de modélisation pour des applications **RF** » Thèse de doctorat, Université des Sciences et Technologies de Lille, le 29 octobre 2007.
- [5] **Halima. TEBBOUCHE** et **Nacera. NOUAR** « Modélisation et caractérisation des transistors **LDMOS** dans le domaine des **RF** à base de schéma équivalent », Mémoire de Master en optoélectronique et électronique, université Mohammed Seddik Ben Yahia de Jijel, 2016.
- [6] **Saâdia HNIKI** « Contribution à la modélisation des dispositifs **MOS** haute tension pour les circuits intégrés de puissance ("Smart Power") » Thèse de doctorat, Université Paul Sabatier de Toulouse III, 2010.
- [7] **Abdelazziz KEBIB** « Etude et simulations d'un transistor **MOS** vertical » Mémoire de Magister en Microélectronique, Université Abou-Bekr Belkaïd-Tlemcen, 2013.
- [8] **Site de Recherche :**
https://fr.wikipedia.org/wiki/Transistor_à_effet_de_champ_à_grille_métal-oxyde.

- [9] **Fayçal DJEFFAL** « Modélisation et simulation prédictive du transistor **MOSFET** fortement submicronique. Application à la conception des dispositifs intégrés » Thèse de doctorat, Sciences en Electronique Université de Batna, 2006.
- [10] **S.M. SZE** Physics of Semiconductor Devices (2nd Edition). Taipei: **John Wiley & sons**, 1981.
- [11] **Billel SMAANI** « Etablissement de modèles compacts de transistors **MOS** multi grilles nanométriques en vue de leur application pour la conception de circuits » Thèse de doctorat, Université frères Mentouri, Constantine, 2015.
- [12] **Nicolas BREIL**, « Contribution à l'Etude de Techniques de Siliciuration Avancées pour les Technologies **CMOS** Décanométriques », Thèse de Doctorat de l'Université des Sciences et Technologies de Lille, France, Mai 2009.
- [13] **F. MORANCHO**, et al "*Physique et modélisation des composants et des circuits intégrés de puissance*", Lavoisier 2007.
- [14] **Mohammed TAMOUM** « Caractérisation Fine et Modélisation Non-Linéaire des Transistors **MOSFET** » Thèse de doctorat, Université Ferhat Abbas, Sétif, 2013.
- [15] **Abdelghafour GALADI** « Étude des propriétés physiques et nouvelle modélisation **SPICE** des transistors **FLIMOS** de puissance » Thèse de doctorat, Université de Toulouse, 2008.
- [16] Juin J. **LIU** & **Frank SCHWIERZ**, « **RF MOSFET** : Recent Advances, Current Status and Future Trends », Solid-State Electronics, Vol. 47, pp. 1881-1895, 2003.
- [17] **Guillaume CALLET** « Caractérisation et Modélisation de Transistors **HEMT AlGaN/GaN** et **InAlN/GaN** pour l'Amplification de puissance en **RF** » Thèse de doctorat, Université de Limoges, 2011.

- [18] **Michaël GUYONNET** « Modélisation Electrothermique Non Linéaire de Transistors de Puissance **LDMOS** : Application à la Détermination de Règles d'Echelle » Thèse de doctorat, Université de Limoges, 2005.
- [19] **Ayaad GHANNAM** « Conception et intégration 'above IC' d'inductances à fort coefficient de sur tension pour applications de puissances **RF** » Thèse de doctorat, Université Toulouse III-Paul Sabatier, 2010.
- [20] **Mahdi Ghasemi SHIRVAN & Morteza FATHIPOUR**, « A Compact Model for the Ion Implanted Channel **LDMOS** Transistor », Solid State Sciences, Vol. 14, pp. 471-475, 2012.
- [21] **Alexandre SILIGARIS** « Modélisation grand signal de **MOSFET** en hyperfréquences : application à l'étude des non linéarités des filtres **SOI** » Thèse de doctorat, Université des Sciences et Technologies de Lille, le 13 Décembre 2004.
- [22] **Christophe PAVAGEAU** « utilisation de la technologie **CMOS SOI 130 nm** pour des applications en gamme de fréquence millimétriques » Thèse de doctorat, Université des sciences et technologies de Lille, 2005.
- [23] **Tony GASSELING** « Caractérisation non linéaire avancée de transistors de puissance pour la validation de leur modèle **CAO** » Thèse de doctorat, Université Limoges, 2003.
- [24] **Yahia BENHAMIDA** « Etude des caractéristiques physiques et électriques d'un **MOSFET** nanométrique » Mémoire en Microélectronique, Université Abou-Bakr Belkaïd-Tlemcen, 2012.
- [25] **Moez BALTI** « Extraction des paramètres intrinsèque des transistors à effet de champ en tenant compte des phénomènes de propagation » Thèse de doctorat, Université de Cergy-Pontoise, 2005.
- [26] **Jerry C. WHITAKER**, « The Electronics Handbook », **CRC Press**, Taylor and Francis Group **LLC**, 2005.

-
- [27] **Mohammed TAMOUM, Rachid ALLAM & Farid DJAHLI**, « Accurate Large-Signal Characterization of **LD MOSFET** Transistor in Package », *Microwave and Optical Technology Letters*, Vol. 53, No. 3, March 2011.
- [28] **Mohammed LAREDJ** « Modélisation électrothermique de transistor en technologie **GaN** » Thèse de doctorat, école de technologie supérieure Université du Québec, le 25 Mars 2011.
- [29] **Florent GAMAND** « Amplificateurs de puissance et convertisseurs **DC/DC** à base de **GaN** pour des applications hyperfréquence » Thèse de doctorat, Université des Sciences et Technologies de Lille, le 16 Octobre 2013.
- [30] **Gilles DAMBRINE, Alain CAPPY, Frederic HELIODORE & Edouard PLAYEZ**, « A New Method for Determining the **FET** Small-Signal Equivalent Circuit », *IEEE Tran. on MTT*, Vol. 36, No. 7, pp. 1151-1159, July 1988.

Résumé

Dans ce projet, notre but est de modéliser, dans le domaine des radiofréquences le transistor **LDMOS**. Pour cela, nous avons utilisé la modélisation phénoménologique en se basant sur un schéma équivalent que nous avons choisi. Pour extraire les éléments de ce dernier, nous avons utilisé la méthode d'épluchage. Ensuite, nous avons implanté le modèle dans le simulateur **ADS**. Pour le valider, nous avons comparé les résultats de la mesure avec ceux de la simulation, nous avons obtenu un bon accord. L'extraction des éléments du modèle petit signal est rapide et précise. Enfin, nous avons étudié la sensibilité des éléments intrinsèques par rapport à l'extraction des éléments extrinsèques, par conséquent, nous avons appliqué une erreur de $\pm 5\%$ ou $\pm 10\%$ sur les éléments extrinsèques à tour de rôle et cela pour plusieurs points de polarisation.

Abstract

In this project, our aim is to model the **LDMOS** transistor in the radiofrequency domain. For this, we used the phenomenological modeling based on an equivalent circuit that we chose. To extract its elements, we used the deembedding method. Then, we implant the model into the **ADS** simulator. To validate it, we compared the results of the measurement with those of the simulation, we obtained a good agreement. The extraction of the elements of the small signal model is fast and precise. Finally, we have studied the sensitivity of the intrinsic elements with respect to the extraction of the extrinsic elements, there fore, we applied an error of $\pm 5\%$ or to $\pm 10\%$ on the extrinsic elements in turn for several polarization points.



ملخص

في هذا المشروع هدفنا هو نمذجة الترانزستور **LDMOS** في مجال **RF**. لهذا استخدمنا نمذجة تجريبية واعتمدنا على دارة كهربائية مكافئة اخترناها. لاستخراج عناصر هذه الأخيرة، استخدمنا طريقة التقشير. ثم ادخلنا النموذج في برنامج المحاكات **ADS**. لتقييم نموذجنا، قارنا نتائج القياس مع تلك المحاكات وحصلنا على نتائج مطابقة. استخراج عناصر هذا النموذج سريع ودقيق. أخيراً، درسنا حساسية العناصر الداخلية فيما يتعلق باستخراج العناصر الخارجية ولذلك قمنا بتطبيق خطأ $\pm 5\%$ أو $\pm 10\%$ على العناصر الخارجية الواحد تلو الآخر لعدة نقاط الاستقطاب.