

**REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
MINISTERE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA
RECHERCHE SCIENTIFIQUE**



**UNIVERSITE MOHAMED SEDDIK BEN YAHIA - JIJEL
FACULTE DES SCIENCES ET DE LA TECHNOLOGIE
DEPARTEMENT D'ELECTRONIQUE**

**Mémoire présenté pour l'obtention du diplôme de
Master II en Electronique**

**Option :
Microélectronique**

Thème

**Etude des dispositifs MOSFET UTBB SOI
28 nm avec un underlap grille-source/drain**

**Encadré par :
Mr. Chemseddine ZIGHA**

Réalisé par :

- **DJouhaina ALIOUANE**
- **Walid ZEBILA**

ANNEE UNIVERSITAIRE 2019/2020

Résumé/Abstract

Résumé

Ce travail étudie l'impact de l'underlap grille- source/drain (L_{UL}) sur les dispositifs UTBB FDSOI 28 nm à l'aide de simulations numériques bidimensionnelles (2D). On constate que l'underlap plus long produit un courant d'arrêt plus faible (I_{off}) mais au prix d'un courant passant plus faible (I_{on}), donc une transconductance plus faible (g_m). En termes d'impact l'underlap plus long montre 1) une influence plus forte sur les caractéristiques I_d-V_g 2) une amélioration du DIBL en raison d'un effet plus faible du potentiel de drain, par rapport à l'absence de l'underlap. De plus, la dépendance DIBL à l'égard de diverses structures à underlap plus courte par rapport à underlap plus long. Il est démontré que pour obtenir un bon contrôle des effets de canal court (SCE) et des résultats numériques optimaux, les structures à adopter dans la conception des dispositifs, il faut qu'il y ait un compromis entre I_{off} et I_{on} , ainsi que sur le DIBL.

Mots clés: MOSFET UTBB FDSOI, Underlap, Caractéristiques I_d-V_g , Abaissement de la barrière induite par le drain (DIBL).

Abstract

This work investigates the impact of gate source/drain underlap (L_{UL}) on the digital of 28 nm UTBB FDSOI devices using two-dimensional (2D) numerical simulations. It is found for longer underlap produces lower off-current (I_{off}) but at a cost of lower on-current (I_{on}), thus a lower transconductance (g_m). In terms of the impact of longer underlap shows 1) stronger influence on the I_d-V_g characteristics 2) an improvement in the DIBL as a result of lower effect of drain potential, compared with no-underlap. In addition, DIBL dependence on various structures at shorter underlap as compared to longer underlap. It is shown that to achieve good Short Channel Effects (SCEs) control and optimal digital results, structures to be adopted in the device design, as there is a trade-off between I_{off} and I_{on} , as well as on the DIBL.

Keywords: UTBB FDSOI MOSFETs, Underlap, I_d-V_g characteristics, Drain-Induced Barrier Lowering (DIBL).

Remerciements

Au terme de ce travail, nous remercions DIEU tout puissant de nous avoir
Offert l'opportunité de franchir ce stade du savoir et de nous avoir donné le
Courage et la patience de réaliser ce travail.

Un spécial remerciement pour Monsieur : Chemseddine ZIGHA qui a proposé ce
sujet de recherche et a encadré.

Nous tenons aussi à présenter nos remerciements aux membres de jury qui ont
accepté de juger notre modeste travail.

Et nous n'oublierons pas tous les personnes qui nous ont aidés pour finaliser ce
mémoire.

Dédicaces



Dédicace

Je dédie ce modeste travail à :

Celle qui m'a mis au monde : ma mère

Celui qui m'a donné son nom : mon père

Mon chers frère wassim

Et ma chère sœur khouloud

Ma grande mère et ma chère cousine meriem (rabiyyarhamham)

Mes adorables cousines Hadjer et Selma

Je le dédie aussi à :

Toute la famille Aliouane et la famille Zitouni

Tous mes amis

Et à toute la promotion d'électronique 2019-2020

Djouhaina



Dédicaces



Dédicace

Je dédie ce modeste travail à ceux
qui me sont les plus chers au monde mes parents,
mes sœurs, et mes frères

Je le dédie aussi à :

Toute ma famille

Tous mes enseignants

Tous mes amis

Tous ceux qui me connaissent.

Walid



Introduction générale.....	1
Chapitre 1. Les Limites du Transistor MOS sur Silicium Massif	
1.1 Introduction	4
1.2 Evolution technologique.....	4
1.3 Rappels sur les propriétés des transistorsMOS.....	6
1.4 Principe de base et structure du transistor MOS.....	6
1.4.1 Tension de seuil et barrière de potentielSource-Drain	8
1.4.2 Les régimes de conduction du transistorMOS.....	12
1.4.3 Caractéristiques électriques idéales du transistor MOS	13
1.5 La réduction d'échelle et les effets associés.....	14
1.5.1 Enjeux et dilemmes régissant l'évolution des performances des MOSFET.....	14
1.5.2 La réduction d'échelle ou « scaling ».....	14
1.6 Les Effets canaux courts (SCE) :.....	15
1.6.1 DIBL (Drain Induced Barrier Lowering) :.....	15
1.6.2 Le partage de charge de déplétion (CSE) :.....	16
1.6.3 Effets canaux courts sur la tension de seuil.....	17
1.6.4 Le courant de Fuite et Le Compromis I_{ON} / I_{OFF}	18
1.7 Problèmes liés au Dopage.....	19
1.8 Phénomènes quantiques dans le canal	19
1.9 Le transistor MOS en RF	19
1.10 Conclusion	20
1.11 Références bibliographiques.....	21
Chapitre 2. Les Défis de la Technologie Planaire FDSOI	
2.1 Introduction	23
2.2 Le transistor MOS fabriqué en technologie planaire FDSOI	24
2.2.1 Améliorations apportées par le film mince de silicium non dopé et le BOX	25
2.2.2 Spécificités de la technologie planaire FDSOI basée sur un BOX mince.....	28
2.3 Avantages de la technologie FDSOI	32
2.4 Inconvénients de la technologie SOI.....	33
2.5 Effets physique	34
2.5.1 Effet canal court	34
2.5.2 Effet kink.....	35
2.5.3 Effet de latch-up.....	35
2.6 Points d'amélioration et perspectives industrielles	36
2.6.1 Réduction de la variabilité de l'épaisseur du film de silicium non dopé.....	36

2.7	Conclusion	37
2.8	Références bibliographiques.....	38
Chapitre 3. Logiciel de simulation Atlas-Silvaco		
3.1	Introduction	41
3.2	Présentation du paquet des programmes SILVACO	41
3.3	Présentation d'Atlas	44
3.4	Principe de la simulation numérique	45
3.5	L'ordre des commandes	45
3.6	Différents étapes de simulation	47
3.6.1	La spécification de la structure.....	48
3.6.2	La spécification du modèle et matérielle.....	53
3.6.3	Les méthodes numériques	53
3.6.4	Les solutions.....	54
3.7	Références bibliographiques.....	55
Chapitre 4. Simulation de l'architecture underlap		
4.1	Introduction	56
4.2	Simulation.....	57
4.2.1	Méthodologie de simulation.....	57
4.2.2	Structure du dispositif simulé.....	57
4.3	Résultats et discussion	59
4.3.1	L'effet de la variation de l'épaisseur de l'oxyde sur les caractéristiques I_d-V_g	59
4.3.2	L'impact de l'underlap grille-source/drain sur le courant de drain	60
4.3.3	La mise en évidence des courants I_{on} et I_{off} de la structure.....	63
4.3.4	L'effet de l'underlap sur la transconductance (g_m).....	64
4.3.5	L'extraction du courant de fuite (leakage)	64
4.3.6	L'extraction du DIBL (Drain-Induced Barrier Lowering)	67
4.4	Conclusion.....	68
4.5	Références bibliographiques.....	69
Conclusion générale.....		70

Liste des Figures

Chapitre 1. Les Limites du Transistor MOS sur Silicium Massif

Figure. 1. 1 : illustration de la loi de Moore : course vers la miniaturisation de la longueur de canal	5
Figure. 1. 2 : évolution des transistors au cours des années en fonction du nœud technologie.....	5
Figure. 1. 3 : Le % de la production mondiale de circuit intégrés (1980-2005) [2].....	6
Figure. 1. 4 : effet de champ dans un transistor mos [2]	7
Figure. 1. 5 : architecture d'un transistor nmos [8].....	8
Figure. 1. 6 : diagramme d'énergie d'une structure mos [12]	9
Figure. 1. 7 : modification de la barrière de potentiel source-drain en fonction de la polarisation de grille V_{gs} (a) régime d'accumulation (état bloqué), (b) régime d'inversion (état passant).[9].....	9
Figure. 1. 8 : diagramme bandes d'énergie du transistor nmos dans le régime: (a) accumulation, (b) de bandes plates, (c) de desertion, (d) d'inversion faible et (e) d'inversion forte [14]	11
Figure. 1. 9 : coupe de mosfet représentative de son fonctionnement : (a) accumulation, (b) déplétion, (c) inversion (activation du canal)[14].....	11
Figure. 1. 10 : illustration des trois régimes de fonctionnement d'un transistor nmos [17].....	13
Figure. 1. 11: caractéristiques idéales d'un transistor mos (a) graphique $I_{ds}=f(V_{gs})$. (b) graphique $I_{ds}=f(V_{ds})$. La ligne $V_{dsat} = V_{gs} - V_{th}$ sépare le regime ohmique du régime saturé [17].....	13
Figure. 1. 12 : profil du potentiel de surface pour un transistor n-mos a canal long et court[20].	15
Figure. 1. 13 : influence de l'effet du DIBL sur la caractéristique $I_d - V_g$ du transistor mos[20].....	16
Figure. 1. 14: influence de l'effet du partage de charge sur la caractéristique du courant du transistor mos $V_d = 1V$ [20].....	16
Figure. 1. 15 : extension des zones de déplétion dans le substrat induisant le phénomène de perçage[20]... ..	17
Figure. 1. 16 : géométrie des zones de déplétion liées à la grille et aux zones source/drain[20].....	17
Figure. 1. 17: I_{on}/ I_{off} du transistor nmosfet sur substrat massif. Pour des longueurs de grille inférieures à 20-30nm, résultats obtenus par différentes firmes de conception[20].....	18

Chapitre 2. Les Défis de la Technologie Planaire FDSOI

Figure. 2. 1: vue en coupe schématique d'un transistor n-mos (gauche) et d'un transistor p-mos (droite) fabriqués en technologie planaire FDSOI.	24
Figure. 2. 2: évolution du DIBL fonction de la longueur de grille de transistors mos fabriqués en technologie planaire sur silicium massif (noir) et FDSOI (rouge) et en technologie FINFET (bleu) [4].	26

Figure. 2. 3 : vue en coupe schématique d'un transistor n-mos fabrique en technologie planaire sur silicium massif (gauche) et en technologie planaire FDSOI BOX épais (droite) montrant les différentes contributions des courants de fuite.....	27
Figure. 2. 4: (a) vue en coupe d'un transistor n-mos fabrique en technologie planaire FDSOI BOX épais dans le nœud technologique 45 nm [12].....	28
Figure. 2. 5 : vue en coupe schématique d'un transistor n-mos (gauche) et d'un transistor p-mos (droite) fabriques en technologie planaire FDSOI BOX mince.	28
Figure. 2. 6 : vue en coupe schématique d'un transistor n-mos (gauche) et d'un transistor p-mos (droite) fabriques en technologie planaire FDSOI BOX mince	299
Figure. 2. 7: (a) vue en coupe tem d'un transistor mos fabrique en technologie planaire FDSOI BOX mince avec BP dans le nœud technologique 45 nm [19-15].	30
Figure. 2. 8 : variabilité de la tension de seuil (σ_{v_t}) du mos fabriques en technologie planaire FDSOI BOX mince sans (rouge) et (noir) dans le nœud technologique 22 nm [20].	30
Figure. 2. 9 : (a) évolution de la tension de seuil en fonction de la polarisation du BP d'un transistor mos fabrique en technologie planaire FDSOI BOX épais (100 nm) et box mince (10 nm) et d'un transistor mos fabrique en technologie planaire sur silicium mass massif [14].	31
Figure. 2. 10 : vue en coupe TEM d'un STI sans (a) et avec (b) amélioration de son isolation électrique (introduction d'une couche verticale de nitrure) [21]. (c) évolution du courant de jonction entre le caisson des transistors n-mos (caisson-p) et celui des transistors p-mos (caisson-n) d'un oscillateur en anneau fabrique en technologie planaire FDSOI sans (gris) et avec (noir) amélioration de l'isolation électrique des STI en fonction de la différence de polarisation[21].....	31
Figure. 2. 11 : vue en coupe schématique d'un transistor n-mos (gauche) et d'un transistor p-mos (droite) fabriques en technologie planaire FDSOI BOX mince avec BP montrant les différentes contributions des courants de fuite.	32
Figure. 2.12 : mécanisme d'ionisation par impact	35
Figure. 2.13 : vue en coupe d'un inverseur CMOS dont les transistors sont électriquement isolés entre eux, ce qui immunise le circuit contre le phénomène de Latch-up.	36
Figure. 2. 14: schéma de principe du procédé de fabrication smart-cut des plaques de silicium pour la fabrication de circuits intégrés en technologie planaire FDSOI [29] [30].....	377

Chapitre 3. Logiciel de simulation Atlas-Silvaco

Figure. 3.1 : organigramme de la structure vwf.	42
Figure. 3. 2 : entrées et sorties d'atlas.....	44
Figure. 3. 3 : transistor FDSOI.....	48
Figure. 3. 4 : maillage a deux dimensions (x,y).	49
Figure. 3.5: définition des regions.....	50
Figure. 3.6 : definition des électrodes	51
Figure. 3.7 : définition de dopage.....	52
Figure. 3.8: la caractéristique courant-tension sous tonyplot.	54

Chapitre 4. Simulation de l'architecture underlap

Figure. 4.1: le dispositif FDSOI avec les capacités parasites (a) overlap (b) underlap.....	56
Figure. 4.2 : dispositifs FDSOI utilisés dans les simulations (a) $T_{ox}=1nm$ (b) $T_{ox}=2nm$	58
Figure. 4.3: caractéristique I_d-V_g pour différentes valeurs de T_{ox}	59
Figure. 4.4: caractéristique I_d-V_g pour différentes valeurs de T_{ox}	59
Figure. 4.5 : structures fdsoi montrant l'underlap (a) $L_{UL}=0nm$ (b) $L_{UL}=5nm$ (c) $L_{UL}=10nm$	61
Figure. 4. 6: caractéristiques du courant de drain pour $V_d=1V$ montrant l'impact de l'underlap sur le dispositif fdsoi (a) I_d-V_g (b) I_d-V_g	62
Figure. 4. 7: influence de l'underlap sur les courants ion et I_{off} pour $V_d=1V$	63
Figure. 4.8: transconductance, G_m en fonction de l'underlap (L_{UL})	64
Figure. 4.9 : le courant de fuite en fonction des différentes longueurs d'underlap	65
Figure. 4. 10: structures FDSOI montrant le dopage pour différentes longueurs de l'underlap (L_{UL})...	66
Figure. 4.11 : illustration de l'effet duDIBL sur les caractéristiques I_d-V_g a) $L_{UL}=0nm$ b) $L_{UL}=10nm$	68

Liste des Tableaux

Chapitre 2. Les Défis de la Technologie Planaire FDSOI

Tableau 2.1. : Pente sous le seuil (SS) de transistors MOS sur silicium massif (noir) et FDSOI (rouge) fabriqués dans les nœuds technologiques 32 nm, 28 nm et 22 nm.....**25**

Tableau 2.2. : Courants de fuite (I_{OFF} , $GIDL$ et J_G) de transistors MOS fabriqués. En technologies planaires sur silicium massif (noir) et FDSOI BOX épais (rouge) dans les nœuds technologiques 45 nm, 40 nm, 32 nm, 28 nm, et 22nm.....**26**

Chapitre 3. Logiciel de simulation Atlas-Silvaco

Tableau 3.1. : Ordre des groupes des commandes dans un programme Atlas (les commandes fondamentales afférentes).....**46**

Chapitre 4. Simulation de l'architecture underlap

Tableau 4.1. : Paramètres de conception..... **58**

Glossaire et Symboles

B

BULK	Substrat de silicium massif
BOX	Buried Oxide,(Oxyde Enterré)
BC	Bande de conduction
BV	Bande de valence

C

CVD	Chemical vapor deposition (déposition de vapeur chimique)
C_{OV}	Capacité de recouvrement (overlap)
C_{BOX}	Capacité de l'oxyde enterré
C_{DEP}	Capacité de désertion entre la grille et le substrat
C_{SI}	Capacité du silicium
C_{OX}	Capacité d'oxyde de grille
C_{GRIL}	Capacité de la grille
CSE	Le partage de charge de déplétion
CMOS	Transistors Métal-Oxyde-Semi-conducteur

D

DIBL	Abaissement de la barrière du au drain (<i>Drain Induced Barrier Lowering</i>)
DIVSB	Drain induced virtual substrate biasing

E

E_C	Energie de la bande de conduction
E_V	Energie de la bande de valence
E_0	Champ critique
E_{FM}	Niveaux de Fermi du méta
E_F	Energie du niveau de Fermi
EOT	Epaisseur de diélectrique équivalente à du SiO ₂
E_i	Niveau de Fermi intrinsèque

F

FINFET	Fin (shaped) Field Effect Transistor
FDSOI	Fully depleted silicon on insulator

G

GIDL	Courant de fuite de drain induit par polarisation de la grille
GND	masse d'alimentation
G_P	Plan de masse (<i>Ground Plane</i>)
G_M	Transconductance d'un transistor

H	High-k	Diélectrique de grille ayant une haute permittivité
I	I_{SUB}	Courant sous le seuil
	I_{DS}	Courant entre source et drain d'un transistor
	I_{Dsat}	Courant de saturation du drain
	I_{ON}	Courant de saturation à l'état passant
	I_D	Courant de drain
	I_{OFF}	Courant de drain à l'état bloqué OFF
K	K	Constante de Boltzmann
L	L_{UL}	Longueur underlap
	L_{eff}	Longueur effective du canal de conduction
	L_G	Longueur de grille
M	MOSFET	Transistor Metal-Oxyde-Semiconductor à effet de champ
N	NA	Concentration de dopants de type accepteurs d'électrons
	ND	Concentration de dopants de type donneurs d'électrons
	NMOS	Transistor MOS a canal n
P	PDSOI	Transistor partiellement déserté sur silicium sur isolant
	P	La puissance statique
	P_S	La puissance statique dissipée
	PMOS	Transistor MOS a canal p
Q	Q	Charge élémentaire
	Q_m	Charge de déplétion dans le canal
R	RF	Radio fréquence
S	SCE	Short-Channel Effects (Effect canaux courts)
	SRH	Shockley-read-HAL
	STI	Shallow Trench Isolation
	SOI	Silicon On Insulator (Silicium sur isolant)
	SS	Pente sous le seuil
T	T_{BOX}	Epaisseur de l'oxyde enterré
	T_0	Temps de commutation
	T_{OX}	Epaisseur géométrique électrique de l'oxyde de grille
	T_{CAD}	Conception assisté par ordinateur
	T_{SI}	Epaisseur du film de silicium

U

UTBB	Film de silicium et oxyde enterré ultra-minces
UTBOX	Oxyde enterré ultra-mince
ULSI	Ultra Large Scale Integration

V

V_{BS}	Tension substrat source
V_{TH}	Tension de seuil du transistor
V_{DS}	Tension entre le drain et la source
V_D	Tension appliquée sur le drain
V_B	Tension appliquée sur le substrat
V_{GS}	Tension appliquée sur la grille
V_{FB}	Tension de bande plate
V_{Dsat}	Tension entre le drain et la source à partir de laquelle a lieu la saturation du courant
V_P	Tension de pincement
V_{DD}	Tension d'alimentation
VWF	Virtual Wafer Fabrication
VLSI	Very Large Scalle Integration

W

W_{EFF}	Largeur effective du canal de conduction
W_S	Largeur de la zone active du transistor

X

X_I	Direction selon l'axe x source-drain
X_S	Profondeur de diffusion des dopants dans la jonction source
μ_{eff}	Mobilité effective des porteurs
Φ_s	Potentiel de surface global
μ	Mobilité électronique
H	Constante de blank
Φ_d	Hauteur de barrière entre la source et le canal.
Φ_m	Travail de sortie de la grille
Φ_f	Potentiel de fermi
$\Delta\Phi$	Différence des travaux de sortie entre la grille et le silicium
Φ_{ms}	Différence de travail de sortie entre la grille et le canal
ϵ_{Si}	Constante diélectrique du silicium
ϵ_{ox}	Constante diélectrique de l'oxyde
ψ_S	Potentiel de surface à l'interface diélectrique/silicium
$\psi_{S,TH}$	Potentiel de surface à l'interface diélectrique/silicium, au seuil de conduction
μ_0	Mobilité des porteurs à champ faible
τ	Le délai intrinsèque de transistor

Introduction générale

A l'heure où la microélectronique ne s'est jamais autant interrogé qu'au jour d'aujourd'hui sur son avenir et sur les frontières de la miniaturisation qu'elle n'a cessé de repousser depuis une quarantaine d'années, les micro et nanotechnologies sont aujourd'hui présentes dans tous les domaines. Les circuits électroniques ont acquis une valeur d'une importance considérable dans le domaine technique et industriel mais aussi, de part de leurs poids, dans l'économie mondiale [1].

Actuellement, le transistor MOSFET est la base de la conception des circuits intégrés et a mené la technologie CMOS au rang incontesté de technologie dominante de l'industrie du semiconducteur. Au fil des années, la complexité des circuits intégrés a augmenté de façon continue, principalement grâce aux performances accrues de nouvelles générations de transistors MOSFET.

Au cours de cette dernière décennie, la réduction des taille des transistors MOSFETs a fait apparaitre des effets indésirables et qui consistent au partage de charge entre la grille et les régions de source et drain (short-channel effects), l'abaissement de la barrière de potentiel induit par le drain (DIBL), les effets quantiques, la fluctuation du nombre de dopants et courants de fuite accrus. Pour contrer ses effets, la technologie cherche de nouvelles architectures permettant d'améliorer des performances des composants électroniques. Les solutions technologiques permettant de minimiser ou même d'éliminer ces effets indésirables et gênants coutent malheureusement chères ayant pour conséquence la fin de la technologie MOS bulk qui a malheureusement atteint ses limites ceci a alors mené les concepteurs à s'orienter vers d'autres architectures de MOSFETs basées sur la technologie SOI [2].

Cette technologie est une alternative prometteuse au silicium brut dans la réalisation de transistors opérant à de hautes fréquences. En effet, malgré son coût de développement supérieur de 10 % par rapport aux technologies classiques sur substrat massif, le gain en performance est évalué entre 20 et 35 % [3].

La technologie SOI compte plusieurs procédés industriels qui ont été développés pour réaliser un film de silicium sur une couche isolante. On parle surtout de FDSOI ou le film de silicium (zone active) est plus fin que la zone de désertion. Ces substrats sont réalisés par collage de plaques selon la technologie Smart Cut. Initialement développé pour des applications spatiales pour sa résistance aux rayonnements ionisants, le FDSOI apparaît comme un candidat sérieux pour remplacer les substrats en silicium massif classiques, notamment grâce à sa faible variabilité due à un film non dopé. De plus, un des avantages principaux des substrats FDSOI est

l'amélioration du contrôle électrostatique de la grille sur le canal de par la présence d'un oxyde enterré [2].

Ce manuscrit s'articulera autour de quatre chapitres :

Dans le premier chapitre, on va expliquer brièvement le transistor MOSFET ainsi que les problèmes engendrés par sa miniaturisation. Nous évoquerons ensuite les solutions technologiques possibles pour répondre à ces problèmes.

Le second chapitre est consacré à la présentation de la technologie FDSOI, les détails de cette architecture, les procédés de fabrication, les avantages et les inconvénients.

Le troisième chapitre est principalement réservé pour la présentation du logiciel TCAD Silvaco utilisé au cours de cette étude, ses modules et outils de simulation, nous décrirons ensuite les procédés technologiques nécessaires à la réalisation de notre structure FDSOI utilisant l'outil de simulation « ATLAS ».

Le quatrième et dernier chapitre a été consacré à la présentation des résultats de simulation que nous avons obtenus par le biais du logiciel SILVACO-TCAD avec lequel nous avons tout d'abord conçu notre transistor FDSOI avec underlap et simulé ses caractéristiques électriques. Nous avons par la suite pu examiner l'effet de l'underlap sur les performances de certains paramètres de cette structure telle que les caractéristiques électriques du dispositif, soit sur son courant de drain ou sa tension de seuil. Pour finir nous avons pu mettre en évidence l'effet DIBL qui est un des effets canaux courts et qui se manifeste dans les MOSFETs de petites dimensions.

Référence bibliographie

- [1] Diagne, B. (2007). Etude et modélisation compacte d'un transistor MOS SOI double-grille dédié à la conception (Doctoral dissertation).
- [2] Khaouani, M. Etude et conception d'un transistor nanométrique a grille enrobante GAA MOSFETs (Doctoral dissertation).
- [3] https://fr.wikipedia.org/wiki/Silicium_sur_isolant

CHAPITRE

LES LIMITES DU TRANSISTOR MOS SUR
SILICIUM MASSIF

1

Chapitre 1. Les Limites du Transistor MOS sur Silicium Massif

1.1 Introduction

Le silicium fut un choix très avisé car c'est l'élément le plus abondant de la croûte terrestre, après l'oxygène. De plus son oxyde est non seulement un très bon isolant électrique mais il s'est aussi établi comme étant parfaitement adapté pour former des couches dites de passivation protégeant les circuits, accroissant remarquablement leur fiabilité. Les transistors MOSFET sur silicium, plus simples et moins onéreux que leurs rivaux les transistors bipolaires, ont connu leur envol dans les années 70-80 grâce à la technologie CMOS (Complementary MOS) inventée en 1968 qui consomme très peu d'énergie. Actuellement, le transistor MOSFET est la base de la conception des circuits intégrés VLSI et ULSI et a mené la technologie CMOS au rang incontesté de technologie dominante de l'industrie du semi-conducteur. Au fil des années, la complexité des circuits intégrés a augmenté de façon continue, principalement grâce aux performances accrues des nouvelles générations de transistors MOSFET [1].

Au cours de ce premier chapitre, le transistor MOSFET est présenté. On s'intéresse alors à son fonctionnement, vu que cet élément est considéré comme le dispositif de base de la micro-électronique. Il est cependant à noter que son développement et tout particulièrement la diminution de ses grandeurs géométriques au fil des années a laissé malheureusement apparaître certains phénomènes parasites non négligeables. La présentation de ces phénomènes parasites dits effets canaux courts feront.

1.2 Evolution technologique

La course à l'intégration et à la miniaturisation est lancée, et ne s'arrêtera plus. L'accroissement de la densité des transistors, c'est-à-dire le nombre de transistors que l'on peut placer sur une puce électronique, s'est fait de façon exponentielle, par un doublement tous les 18 mois. Ce rythme avait été remarqué dès 1965 par Gordon Moore (d'où le nom de la loi de Moore) [2]. Moore prédit aussi que le nombre de composants par circuit intégré ou puce électronique allait augmenter au même rythme pendant les prochaines années. Un exemple illustrant cette loi est donné sur la Figure 1.1.

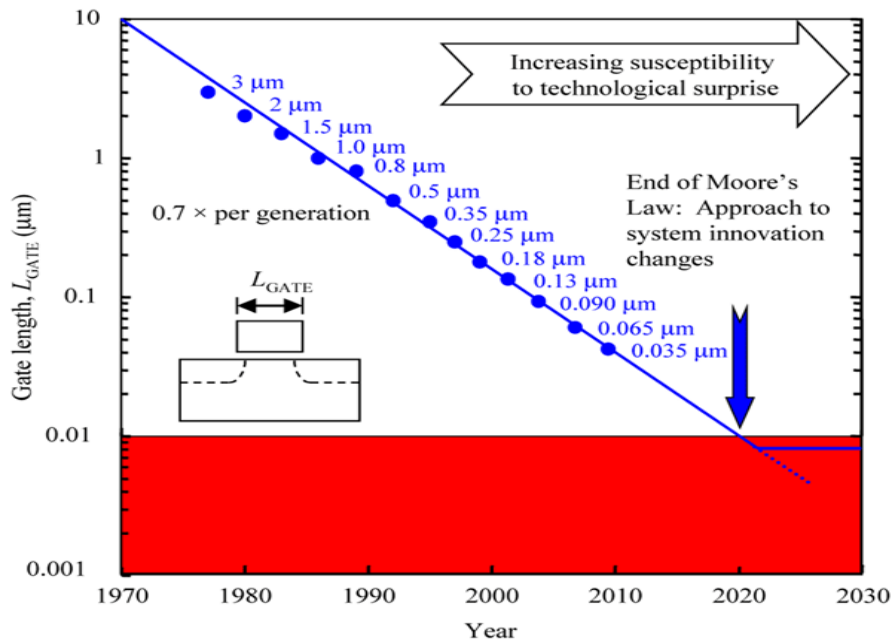


Figure. 1.1 : Illustration de la Loi de Moore :
Course vers la miniaturisation de la longueur de canal

En 2003, la microélectronique est passée à l'échelle nanométrique en descendant sous la barre des 100 nm de la longueur de grille du transistor (nœud de 90 nm). Depuis 2005, la résolution des circuits intégrés est de 65 nm et au début de l'année 2007, elle est passée à 45 nm pour des microprocesseurs très rapides. La taille des composants continue de décroître pour atteindre les 32 nm fin 2009 et 22 nm fin 2011 (figure 1.2). Les concepteurs prévoient vers l'an 2020 avoir des nœuds sub-10 nm

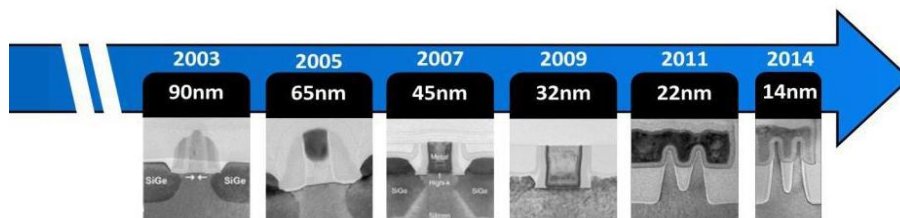


Figure. 1.2 : Evolution des transistors au cours des années en fonction du nœud technologique

Néanmoins, la réduction de la taille des transistors ne suffit plus pour augmenter à elle seule les performances des transistors marquant ainsi la fin de l'ère du «scaling». L'enjeu pour les transistors nanométriques est de réduire les effets parasites liés à la miniaturisation afin d'augmenter la vitesse de commutation d'une porte logique. Autrement dit, ceci passe par une diminution du courant de fuite (I_{OFF}) et un accroissement du courant débité par le transistor (I_{ON}). Voilà donc les deux principaux paramètres à optimiser.

Plusieurs solutions trouvées depuis quelques années pour continuer d'augmenter les performances des transistors MOSFET consistent à la conception de nouvelles architectures MOSFET et ou à l'introduction de nouveaux matériaux [2].

1.3 Rappels sur les propriétés des transistors MOS

Le transistor MOS est, de loin, le dispositif le plus répandu dans la production actuelle de composants semi-conducteurs, car il est le composant de base de la technologie CMOS (Complementary MOS), qui, à elle seule, englobe plus de 80 % (figure 1.3) de la production mondiale de circuits intégrés.

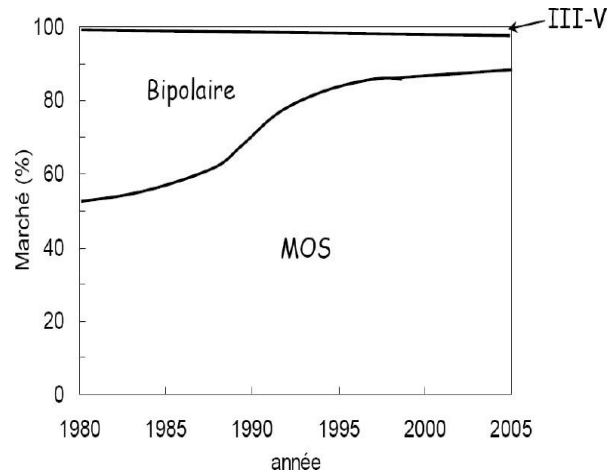


Figure. 1. 3: le % de la production mondiale de circuits intégrés (1980-2005)[2]

Le transistor MOSFET se caractérise par le fait que la grille, par l'effet de champ électrique, contrôle à travers l'oxyde de grille la densité de porteurs dans le canal du dispositif et ainsi l'intensité du courant dans le canal. Le canal est relié de part et d'autre à deux régions fortement dopées entre lesquelles est appliquée une tension donnant lieu à la circulation du courant [3,2].

1.4 Principe de base et structure du transistor MOS

Le principe du transistor MOS consiste à moduler la densité de porteurs du canal en jouant sur la polarisation de grille (V_{gs}). Celle-ci permet, par le biais du champ électrique ainsi créé, d'attirer une quantité de porteurs à la surface du semi-conducteur. Une couche conductrice se forme alors à ce niveau et permet la libre circulation d'un courant (I_{ds}), sous réserve de l'application d'un champ électrique (i.e. d'une tension V_{ds}). Cette couche conductrice est appelée « couche d'inversion » ou parfois « canal »[4-5].

La figure 1.4 illustre l'effet de champ dans un transistor MOS schématisé :

- l'une des électrodes (grille G) commande l'intensité du champ électrique et par conséquent la densité de charges électriques mobiles;
- l'autre (canal) possède deux contacts (dits de source S et de drain D) à ses extrémités, entre lesquels est appliquée une différence de potentiel.

Le canal conduit plus ou moins de courant en fonction de son niveau de remplissage en charges mobiles. De ce fait, le transistor MOS peut aussi être considéré comme une résistance modulable électro statiquement et reliant deux contacts (source et drain).

En résumé, un transistor MOS (TMOS) peut être considéré comme une capacité plane, à la différence près que les charges d'une des faces sont mises en mouvement latéral. Dans cette structure, la tension de grille (V_g) commande la quantité de charges et la tension de drain (V_d) les met en mouvement.

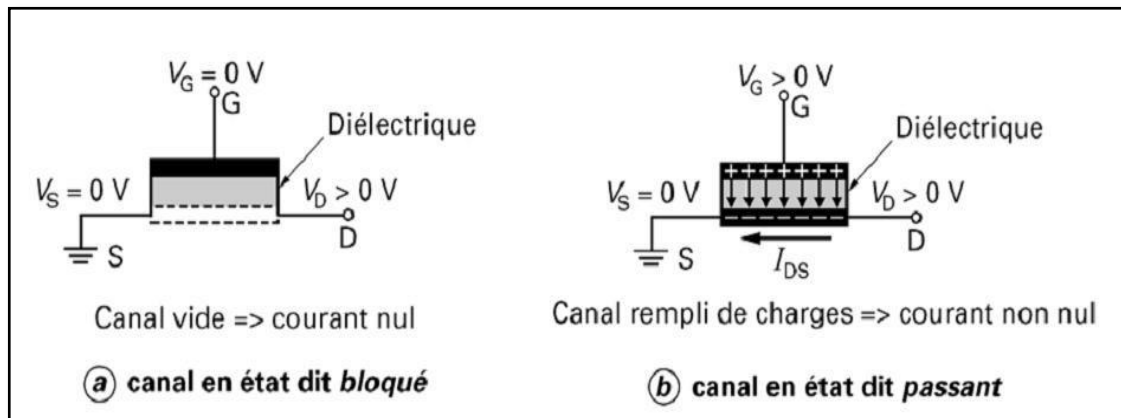


Figure. 1. 4 : Effet de champ dans un transistor MOS [2]

Le transistor MOS moderne contient une grille G en silicium polycristallin (plus rarement en d'autres matériaux, par exemple, en métal) [5-6], séparée du substrat en silicium monocristallin par une couche mince de diélectrique, le plus souvent SiO₂. Les régions de source et drain font partie intégrante du substrat, dont ils diffèrent par leur type de conduction. Suivant le type des porteurs assurant le passage du courant, on peut parler de transistors MOS à canal N (ou n-MOS, conduction par électrons) et de transistors à canal P (ou PMOS, conduction par trous).

La figure 1.5 présente l'architecture d'un transistor MOS sur silicium de type N. L'architecture classique est constituée de quatre terminaux qui permettent d'analyser le comportement électrique du transistor : la grille (V_g), la source (V_s), le drain (V_d) et le contact substrat (V_b).

La structure du transistor étant identique selon sa largeur, on le représente communément dans le plan (x,y) [7]. La figure 1.5..b donne un exemple plus détaillé.

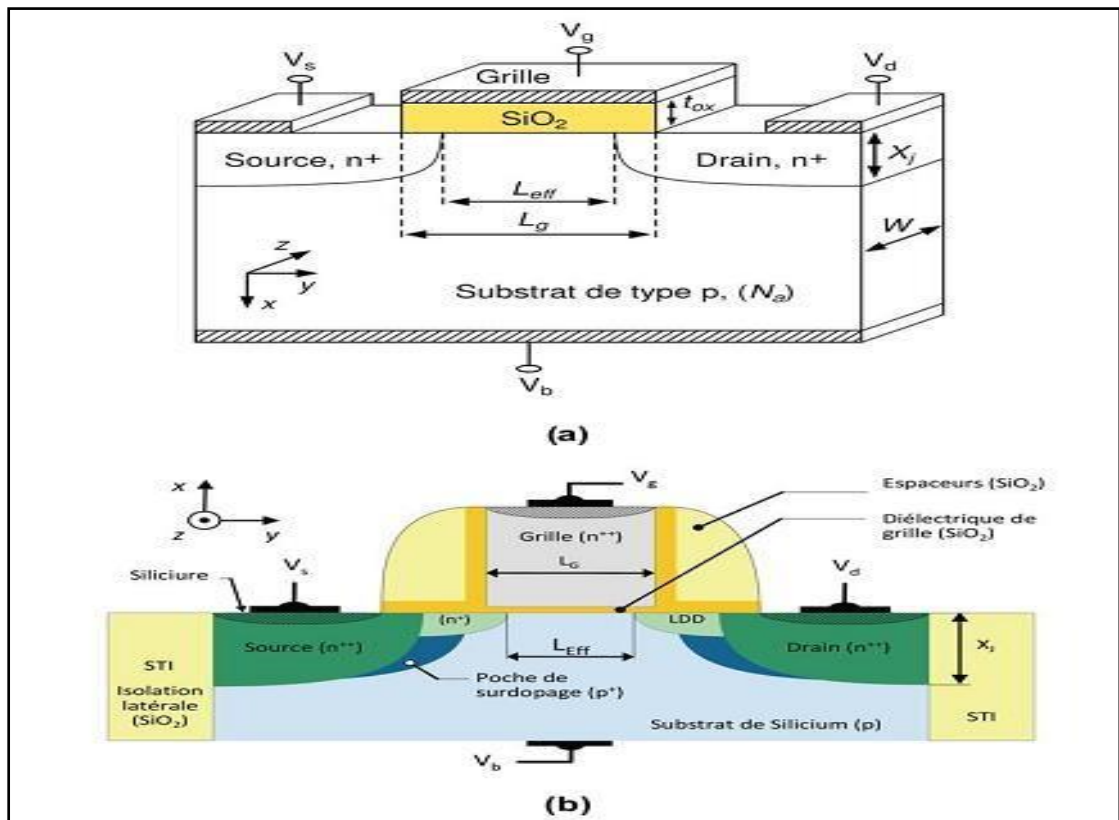


Figure. 1. 5: Architecture d'un transistor NMOS [8]

Enfin, dans le MOSFET, il existe deux modes de fonctionnement [9-10] :

- à enrichissement qui correspond à une conduction par canal d'inversion induit.
- à appauvrissement qui correspond à une conduction par porteurs majoritaires (canal enterré préexistant physiquement que l'on bloque par désertion).

Nous considérerons par la suite le cas d'un transistor n-MOS à enrichissement, où la conduction est assurée par les électrons, porteurs minoritaires du substrat.

1.4.1 Tension de seuil et barrière de potentiel Source-Drain

Le diagramme de bandes du transistor MOS idéal en condition de bandes plates est donné sur la figure 1.4 pour un substrat dopé P. Il reprend l'ensemble des notations utilisées pour caractériser l'empilement grille/canal [11].

On a : E_c , E_v , E_i : sont respectivement le niveau de conduction, de valence et intrinsèque.

E_0 : Energie minimale d'un électron dans le vide.

Φ_f : Potentiel de la jonction.

$q\Phi_m = E_0 - E_{fm}$: Travail de sortie du métal.

$q\Phi_s = E_0 - E_{fs}$: Travail de sortie du semi-conducteur.

$q\chi_s = E_0 - E_c$: Affinité électronique du semi-conducteur.

$q\chi_i = E_0 - E_{ci}$: Affinité électronique de l'isolant.

$q\Phi_f = E_i - E_{fs}$: le niveau de fermi intrinsèque par rapport au niveau de fermi extrinsèque.

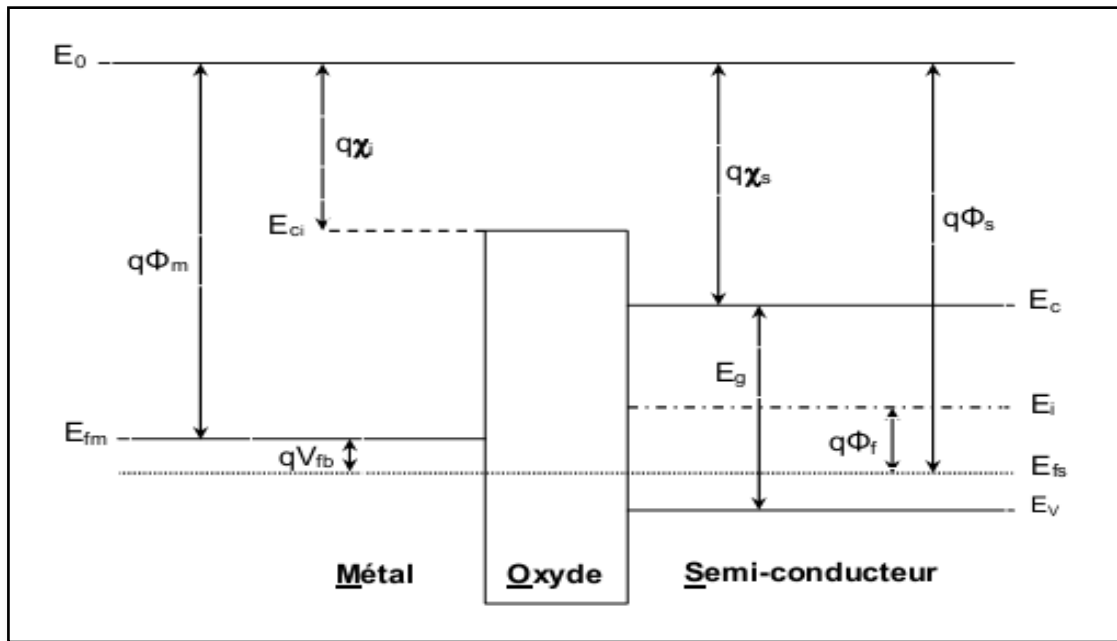


Figure. 1. 6: Diagramme d'énergie d'une structure MOS [12]

D'après la figure 1.6, Le potentiel Φ_f définissant le niveau de fermi $E_{fs} = E_i - q\Phi_f$ dans le volume du semi- conducteur. La tension de bandes plates $V_{fb} = \Phi_m - \Phi_s$ est la tension de grille qu'il faut appliquer pour que le potentiel Ψ_s à l'interface semi-conducteur/isolant (c.-à-d. la courbure de bande entre la surface et le volume du semi-conducteur) soit nul.

A cause de la nature différente des dopants du transistor, une barrière d'énergie potentielle, de hauteur Φ_d , apparaît entre le canal et les régions source et drain (correspondant à la barrière de potentiel d'une jonction N+P). Cette barrière empêche le passage des porteurs entre la source et le drain si aucune polarisation n'est appliquée sur le dispositif (figure 1.7).

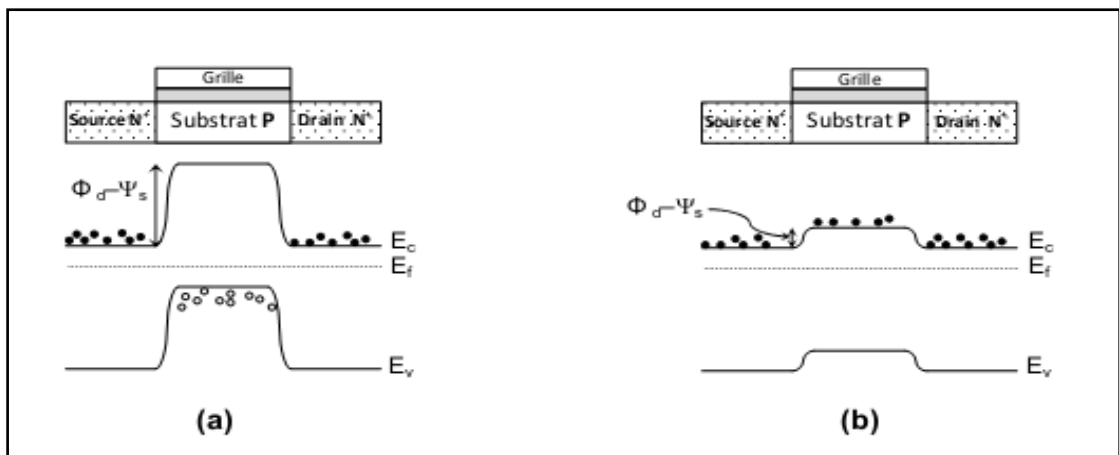


Figure. 1. 7: Modification de la barrière de potentiel source-drain en fonction de la polarisation de grille V_{gs} (a) régime d'accumulation (état bloqué),(b) régime d'inversion (état passant).[9]

La tension de grille V_{gs} module la hauteur de cette barrière [8] et les différents régimes de fonctionnement du transistor nMOS sont donc définis selon les valeurs de Ψ_s [5,11] :

- $\Psi_s < 0$ soit $V_{gs} < V_{fb}$: régime d'accumulation (figure 1.8a)

Les porteurs majoritaires du substrat sont attirés à l'interface SiO_2/Si , la capacité est en accumulation. La barrière côté source pour les électrons vaut alors $\Phi_d - \Psi_s$ à la surface du semi-conducteur, le transistor est à l'état bloqué.

- $\Psi_s = 0$, $V_{gs} = V_{fb}$: condition de bandes plates (figure 1.8b)

Les bandes d'énergie sont plates et aucune charge n'est accumulée aux deux interfaces de l'oxyde. Les concentrations de porteurs majoritaires et minoritaires sont constantes dans toute la profondeur du silicium. La tension électrique à appliquer entre la grille et le substrat pour obtenir cette configuration est appelée tension de bandes plates V_{fb} .

- $0 < \Psi_s < \Phi_f$, $V_{fb} < V_{gs} < V_{mg}$: régime de déplétion ou de désertion (figure 1.8c)

Les porteurs majoritaires sont repoussés de la surface du semi-conducteur et une zone désertée en porteurs se crée. Le transistor ne conduit pas. V_{mg} étant la tension V_{gs} pour laquelle $\Psi_s = \Phi_f$ à la source.

- $\Phi_f < \Psi_s < 2\Phi_f$, $V_{mg} < V_{gs} < V_{th}$: régime d'inversion faible (figure 1.8d)

La condition $\Psi_s = \Phi_f$ correspond au seuil de l'inversion faible : en surface les concentrations de porteurs majoritaires et minoritaires sont égales à n_i , la concentration intrinsèque de porteurs.

- $2\Phi_f < \Psi_s$ soit $V_{gs} > V_{th}$: régime d'inversion forte (figure 1.8e)

Lorsque V_{gs} est grande, la surface du semi-conducteur est amenée en régime d'inversion : un canal d'inversion est créé entre la source et le drain. On parle d'inversion forte lorsque la population de porteurs est localement inversée. La concentration des porteurs minoritaires en surface devient supérieure à la concentration des majoritaires dans le volume. De nombreux porteurs libres sont présents dans le canal, la barrière $\Phi_d - \Psi_s$ côté source pour les électrons à la surface du semi-conducteur devient faible et le transistor conduit (figure 1.7). La tension à appliquer pour amener ce régime s'appelle la tension de seuil V_{th} (threshold voltage). Elle est définie comme la tension de grille V_{gs} telle que la condition $\Psi_s = 2\Phi_f$ soit remplie [13]. Q_{dep} étant la charge de déplétion dans le substrat, et C_{ox} la capacité correspondant à l'épaisseur physique de l'oxyde de grille SiO_2 ($C_{ox} = \epsilon_{ox}/t_{\text{SiO}_2}$). La zone de déplétion augmente jusqu'au régime de forte inversion où un accroissement de la tension de grille induit alors une augmentation des porteurs minoritaires plutôt qu'une plus forte déplétion.

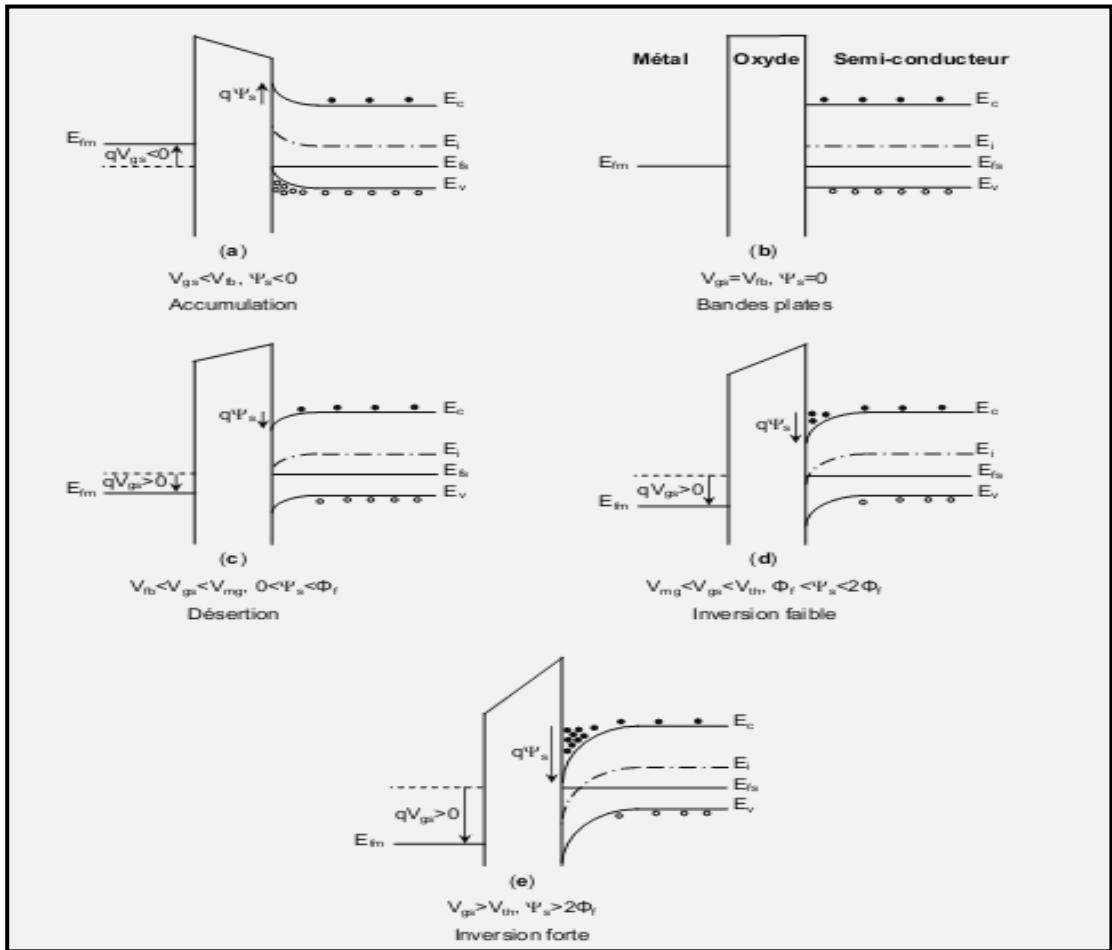


Figure. 1. 8: Diagramme bandes d'énergie du transistor NMOS dans le régime: (a) accumulation, (b) de bandes plates, (c) de désertion, (d) d'inversion faible et (e) d'inversion forte [14]

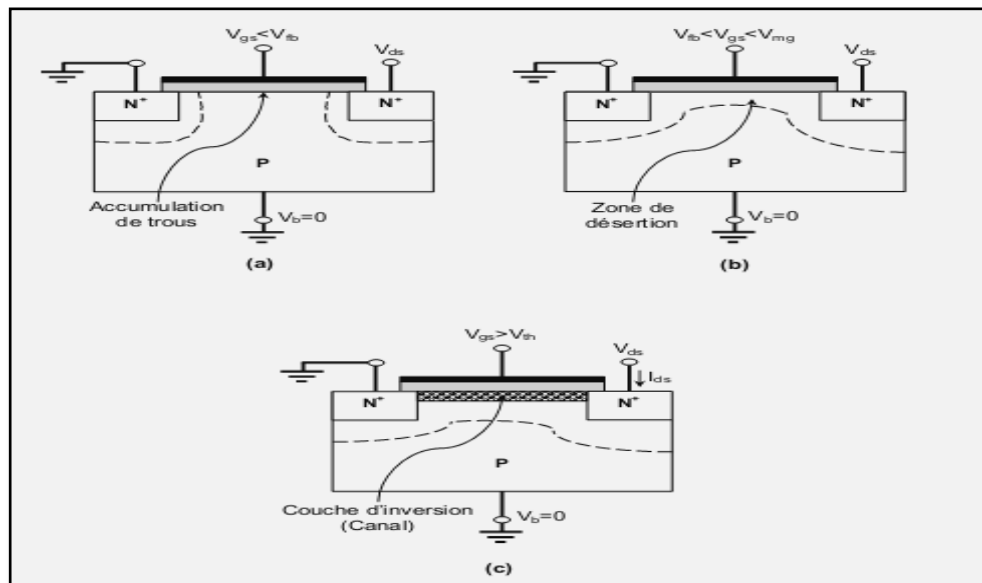


Figure. 1. 9: Coupe de MOSFET représentative de son fonctionnement : (a) Accumulation, (b) Déplétion, et (c) Inversion (activation du canal) [14]

La figure 1.9 présente une coupe du transistor MOS dans les régimes d'accumulation, de déplétion et d'inversion respectivement.

1.4.2 Les régimes de conduction du transistor MOS

Le courant délivré par le transistor est gouverné par trois facteurs :

- La charge dans le canal (qui dépend de la tension de grille V_{gs}),
- La tension de drain V_{ds} qui permet le déplacement des porteurs de la source au drain,
- La mobilité des porteurs (μ_{eff}) qui quantifie la vitesse acquise par les porteurs sous l'action d'un champ électrique.

En fonction des polarisations V_{gs} et V_{ds} il est donc possible de définir deux régimes de conduction distincts : le régime linéaire (ou ohmique) et le régime de saturation (figure 1.10). Le régime linéaire se caractérise par une dépendance linéaire du courant en fonction de V_{ds} tandis que le régime de saturation caractérise un état dans lequel le courant n'évolue plus avec V_{ds} , car le canal est dit pincé $V_p = V_{dsat} \approx V_{gs} - V_{th}$. Entre ces deux régimes, le courant délivré dépend à la fois de V_{ds} et de V_{gs} : c'est la zone de raccordement.

Enfin, pour résumer le fonctionnement du transistor MOS nous pouvons dire que [15-16] :

- ✓ Pour $V_{gs} < V_{th}$, le canal n'est pas formé. Idéalement, le courant dans cette zone est nul.
- ✓ Pour $V_{gs} > V_{th}$, le canal est formé, le transistor peut conduire du courant. Selon V_{ds} on a différents régimes. On note $V_{dsat} \approx V_{gs} - V_{th}$.
- ✓ Pour $V_{ds} \ll V_{dsat}$, le transistor est en régime linéaire, le courant I_{ds} est proportionnel à V_{ds} .
- ✓ Pour $V_{ds} \approx V_{dsat}$, la densité de charge du canal s'annule au drain : on dit que le canal est **pincé**. Le courant ne peut plus augmenter proportionnellement à la tension V_{ds} .
- ✓ Pour $V_{ds} > V_{dsat}$, le courant reste constant et vaut I_{dsa} . La tension aux bornes du canal vaut V_{dsat} et le point de pincement se déplace vers la source lorsque la tension V_{ds} est augmentée. Le transistor est en régime **saturé**.

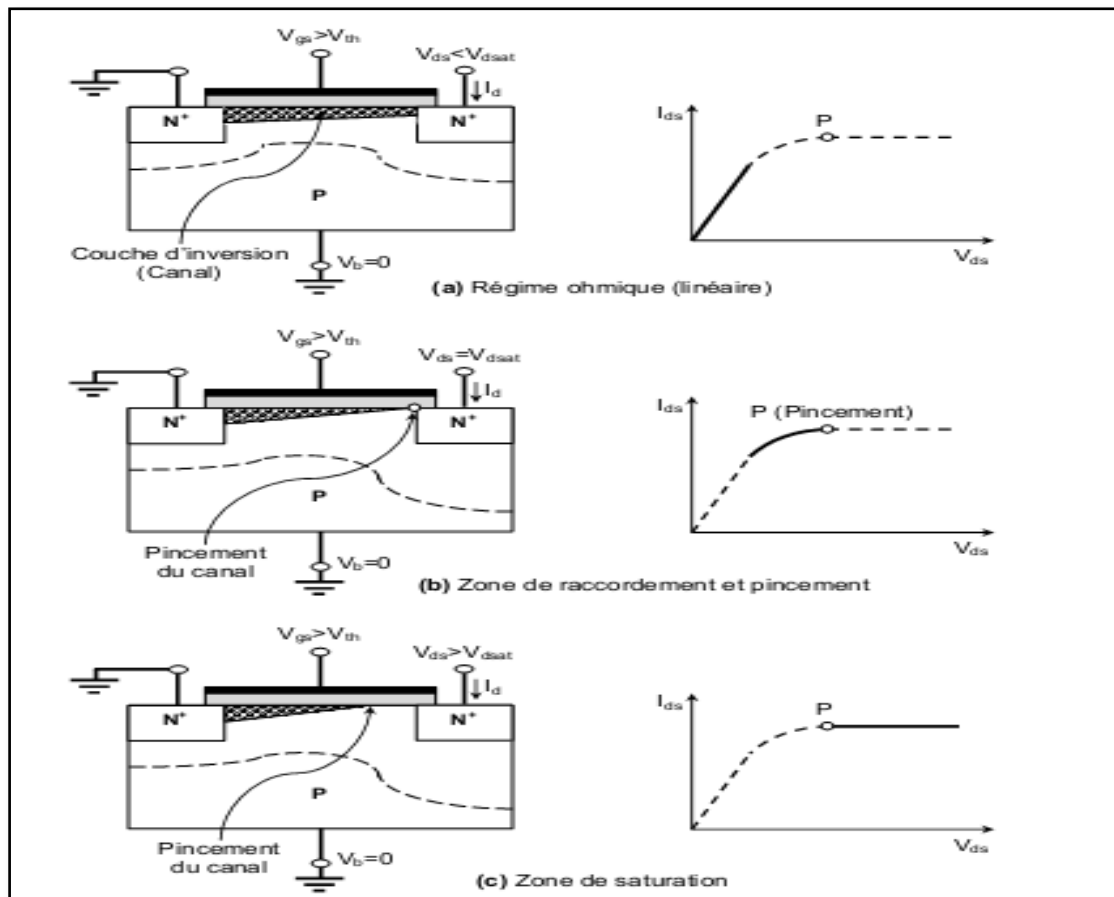


Figure. 1. 10: Illustration des trois régimes de fonctionnement d'un transistor NMOS [17]

1.4.3 Caractéristiques électriques idéales du transistor MOS

Les transistors MOS sont caractérisés électriquement en utilisant les graphiques $I_{ds} = f(V_{gs})$ et $I_{ds} = f(V_{ds})$. Ces caractéristiques sont schématisées de manière idéale en figure 1.11 [16], ce qui nous permet de relier les différents régimes de la capacité MOS définis dans le paragraphe précédent aux modes de fonctionnement du transistor MOSFET[17].

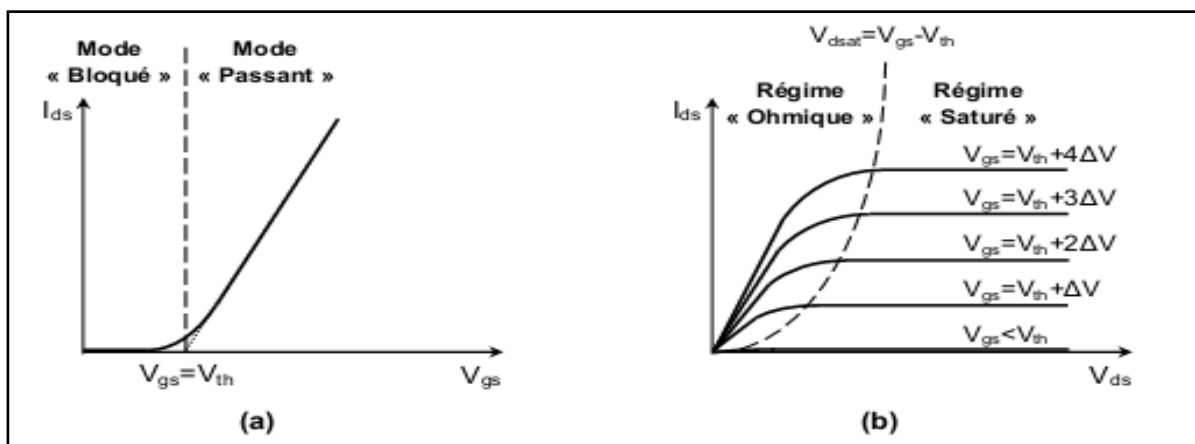


Figure. 1. 11: Caractéristiques idéales d'un transistor MOS (a) Graphique $I_{ds}=f(V_{gs})$.(b) Graphique $I_{ds}=f(V_{ds})$. La ligne $V_{dsat} = V_{gs} - V_{th}$ sépare le régime ohmique du régime saturé [17]

1.5 La réduction d'échelle et les effets associés

1.5.1 Enjeux et dilemmes régissant l'évolution des performances des MOSFET

L'évolution de la technologie actuelle est liée à la conception des transistors dans les meilleures échelles possibles, ceci est dû aux exigences du marché ; rapidité, faible dissipation d'énergie et grande densité d'intégration. La taille des transistors a été réduite et atteint actuellement et même moins d'un micromètre grâce aux nouveaux processus de fabrication, notons la lithographie qui permet d'imprimer des grilles à des dimensions extrêmement petites, ainsi des isolants parfaits même en telles dimensions. Actuellement les processeurs de hautes performances sont menus de transistors à des longueurs de grille moins de 100 nanomètres avec un oxyde de moins de 2 nm d'épaisseur.

1.5.2 La réduction d'échelle ou « scaling »

Les caractéristiques électriques du transistor MOSFET peuvent être principalement décrites par deux paramètres, le courant de saturation I_{ON} , et le courant de fuite I_{OFF} , un faible courant de fuite va permettre de limiter la consommation et la puissance statique dissipée ($P_s = V_{DD} \cdot I_{OFF}$) dans un circuit. D'un autre côté la fréquence de fonctionnement d'un circuit va être gouvernée par : la résistance et la capacité des lignes d'interconnexions et le délai intrinsèque du transistor τ_t donné par :

$$\tau_t = \left(\frac{C_{grille} \cdot V_{DD}}{I_{ON}} \right) \quad (1.1)$$

Dans un dispositif Transistor (il n'y a pas des interconnexions), on note l'intérêt d'avoir un courant I_{ON} élevé pour obtenir une fréquence de commutation élevée mais ce n'est pas une condition suffisante. Le courant $I_{Dsat} = I_{ON}$ s'exprime par :

$$I_{DSAT} = \mu_{eff} \cdot C_{ox} \cdot \left(\frac{W_{eff}}{2L_g} \right) \cdot v_{dsat} \quad \text{avec } I_{Dsat} = (V_G - V_T) \quad (1.2)$$

On remarque que si le courant augmente par augmentation de C_{grille} (par la réduction de l'épaisseur de l'oxyde ou une augmentation de la largeur W_{eff}) le délai va rester constant. La réduction de la longueur de grille L_g permet en revanche d'améliorer I_{ON} et τ_t . C'est sur ce principe simple qu'est basée la loi de Moore [2], elle prévoit et impose au marché des semi-conducteurs à travers des spécifications de l'International Technology roadmap for Semiconductor (ITRS) [18].

1.6 Les Effets canaux courts (SCE) :

De manière générale, les effets canaux courts notes SCE (*Short Channel Effects*) constituent tous des effets parasites qui ont une influence sur les caractéristiques du MOSFET tels que ; la tension de seuil V_{th} . Deux effets parasites sont prédominants lorsque l'on atteint des dimensions très faibles : le partage de charge CSE (*Charge Sharing ou Roll-off*) et le DIBL (*Drain Induced Barrier Lowering*) [19].

1.6.1 DIBL (Drain Induced Barrier Lowering):

Le phénomène de DIBL (ou abaissement de la barrière de potentiel du drain) concerne le potentiel de surface, il est pris en compte lorsque le transistor fonctionne en régime sous seuil ou faible inversion, en effet la distribution du potentiel de surface dans le canal dépend à la fois du champ transversal qui est contrôlé par la tension de la grille et le champ longitudinal qui contrôlé par la tension du drain. Quand la tension de drain augmente, la couche de déplétion s'étend de plus en plus dans le canal vers la source, il se produit alors un abaissement de la barrière source-canal (figure 1.12).

L'abaissement de la barrière à la source permet l'injection d'électrons dans le canal (en surface) et ceci indépendamment de la tension de grille. La grille perd donc le contrôle du courant de drain sous le seuil. Cet effet est d'autant plus marqué lorsque la tension de drain augmente et lorsque la longueur de canal diminue (figure 1.12) [19].

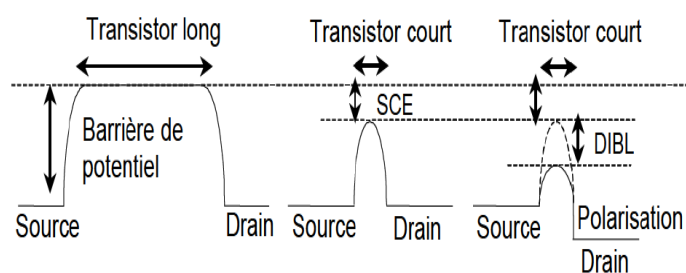


Figure. 1. 12: Profil du potentiel de surface pour un transistor n-MOS à canal long et court [20].

L'effet DIBL est habituellement mesuré par le décalage de la couche de transfert en régime sous seuil ΔV_{Th} divisé par ΔV_{DS} entre deux courbes résultant de deux tensions de drain différentes. Ce résultat s'observe sur la caractéristique I_D-V_G en échelle logarithmique tracée à la figure 1.13.

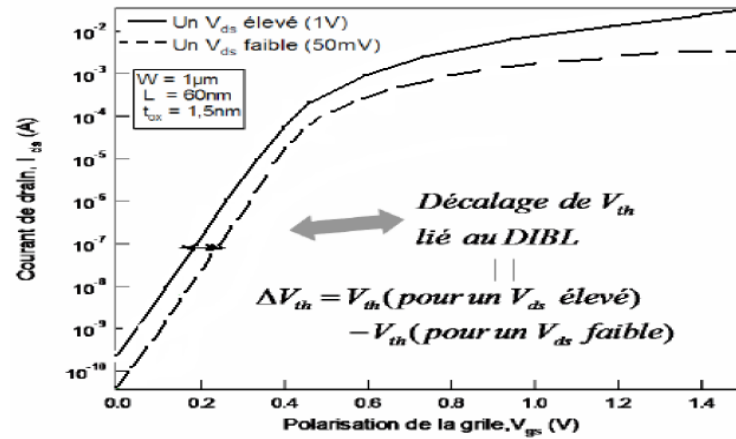


Figure. 1. 13: Influence de l'effet du DIBL sur la caractéristique $I_D - V_G$ du transistor MOS[20].

1.6.2 Le partage de charge de déplétion (CSE) :

L'effet de partage de charge (CSE) apparaît lorsqu'une partie significative du canal n'est plus contrôlée par la grille à cause de l'influence des jonctions de source et de drain. Quand V_{DS} augmente, la quantité de charge contrôlée par la grille diminue en dessous de sa valeur obtenue pour $V_{DS} = 0V$. Cet effet se traduit par une diminution de la tension de seuil et par une augmentation de la pente sous le seuil SS ainsi que du courant. Ce résultat s'observe bien sur la caractéristique $I_D - V_G$ en échelle logarithmique de la figure suivante :

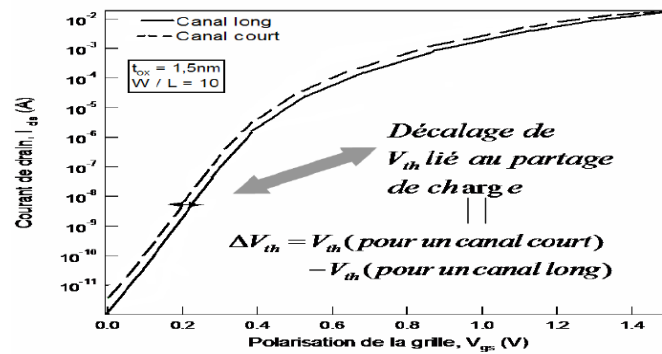


Figure. 1. 14: Influence de l'effet du partage de charge sur la caractéristique du courant du transistor MOS $V_D = 1V$ [20]

En plus de cet effet canal court, on assiste à un effet canal étroit. La région de déplétion effective créée par la tension de grille sous l'oxyde de grille s'étend latéralement. Cependant, contrairement à l'effet du canal court, cet effet dû au canal étroit conduit à une diminution de la valeur du courant et, ainsi, à une augmentation de la tension de seuil [21].

a. Perçage (Punch-through) :

Le courant de drain en régime sous le seuil peut aussi bénéficier d'un passage entre la source et le drain plus en profondeur dans le substrat. Le contrôle de la grille est moins efficace lorsque le courant est localisé en profondeur dans le substrat. L'intensité du courant de punch-through dépend principalement de la distribution du potentiel sous le canal et par conséquent des zones de déplétion. Si la surface de déplétion à proximité du drain s'étend trop profondément en direction de la source (figure 1.15), la barrière de potentiel à la source décroît et des porteurs sont injectés de la source vers le drain en volume. Le phénomène de perçage dépend donc fortement de la tension de drain appliquée et de la profondeur des jonctions [20].

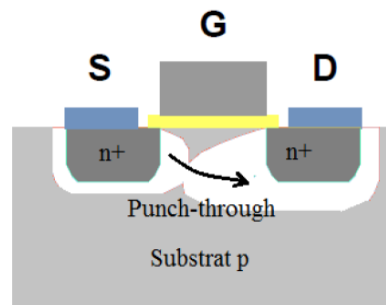


Figure. 1. 15 : Extension des zones de déplétion dans le substrat induisant le phénomène de perçage [20].

1.6.3 Effets canaux courts sur la tension de seuil

Quand la longueur du canal devient proche du micron, les effets canaux courts côté source et drain jouent un rôle non négligeable. La figure 16 montre la répartition de la charge de déplétion dans un MOS à canal court. La zone de charge d'espace est créée par un champ qui possède une composante longitudinale associée à la capacité MOS grille-canal et une composante longitudinale associée à la capacité de transition de la jonction n+ p du contact ohmique.

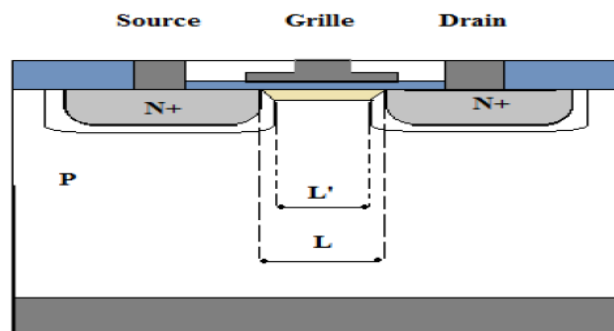


Figure. 1. 16 : Géométrie des zones de déplétion liées à la grille et aux zones source/drain[20].

Un modèle simple, développé plus-tard, permet de déterminer graphiquement les relations qui établissent le partage de la charge de déplétion entre grille, source et drain. La zone de

distribution de la charge de déplétion du canal Q'_D est représentée par le trapèze jaune de la Figure 1.16 de surface :

$$S' = W_s \cdot \frac{(L+L')}{2}. \quad (1.3)$$

Cette surface est inférieure à celle utilisée en première approximation pour les canaux longs ($S=W_s \cdot L$). Un facteur correctif, purement géométrique, s'écrit:

$$K = \frac{Q_{sc}}{Q'_{sc}} = \frac{(L+L')}{2L} = 1 - \frac{\Delta L}{L} \quad (1.4)$$

La tension de seuil résultant de cette correction s'écrit ainsi :

$$V_T = \varphi_{ms} - \frac{kQ_{dep}}{C_{ox}} + 2\varphi \quad (1.5)$$

Si la longueur de canal diminue, la charge de déplétion contrôlée par la source et le drain prend de plus en plus d'importance par rapport à celle contrôlée par la grille. Cette diminution de charge de déplétion va entraîner une diminution de la tension de seuil [20].

1.6.4 Le courant de Fuite I_{OFF} et Le Compromis I_{ON}/I_{OFF}

Il est déterminé comme courant du drain I_{DS} pour $V_{GS}=0$ et $V_{DS} = V_{DD}$ c'est l'une des plus importantes caractérisations des transistors MOSFET, c'est un paramètre lié directement aux effets canaux court de manière que la puissance dissipée lors son fonctionnement $P_S = I_{OFF} \cdot V_{DD}$. Actuellement et lors l'intégration des milliers de transistor sur la même puce il est recommandé qu'en plus de I_{ON} , le courant I_{OFF} doit être optimisé, et il devient un paramètre crucial qui détermine l'échelle d'intégration.

Le phénomène est largement remarquable pour des longueurs de grille inférieures à 20nm. Les performances actuelles sont ainsi très éloignées des spécifications du nœud technologique 45nm, il faut d'ici là réussir à augmenter le courant I_{ON} . Il est ainsi nécessaire d'envisager l'introduction de nouvelles architectures et de nouveaux matériaux [20].

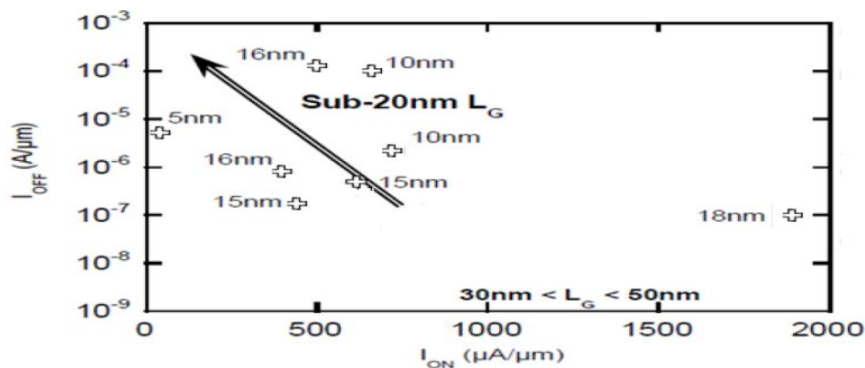


Figure. 1. 17: I_{ON}/I_{OFF} du transistor n MOSFET sur substrat massif. Pour des longueurs de grille inférieures à 20-30nm, résultats obtenus par différentes firmes de conception des SC [20]

1.7 Problèmes liés au Dopage

Une autre difficulté sérieuse dans la mise au point des nano MOS réside dans la réalisation des différents dopages (canal et caissons) nécessaires pour contrer les effets canaux courts. La réalisation de profils de dopage complexes (dopage rétrograde, halos et poches, caractère abrupt du profil de dopage entre caissons source-drain fortement dopés et canal faiblement dopé) dans des dispositifs de plus en plus petits révèle technologiquement des difficultés croissantes, notamment si l'on désire une parfaite reproductibilité d'un transistor à un autre sans aucune dispersion des caractéristiques.

Le nombre d'impuretés dans le canal participant à l'élaboration du courant est de plus en plus faible de par la réduction croissante des dimensions du canal (à titre d'illustration, pour un substrat dopé à 10^{18} *atomes / cm³*, un canal mesurant $20 \times 20 \times 20$ *nm³* ne comporte en moyenne que 8 impuretés). Il en résulte une distribution microscopique aléatoire des dopants ayant des effets non négligeables sur la tension de seuil. Ces fluctuations de performances de plus en plus grandes vont aboutir, à terme, à des problèmes de plus en plus difficiles à surmonter dans les technologies MOSFET et, par voie de conséquence, dans l'élaboration des circuits intégrés [20].

1.8 Phénomènes quantiques dans le canal

Les nano MOS se caractérisent par l'apparition de phénomènes de nature quantique jusqu'alors inexistantes ou tout du moins négligeables. Ainsi, outre le passage des électrons par effet tunnel à travers la grille, il existe aussi une quantification des niveaux d'énergie dans le canal de conduction. De par l'augmentation du dopage de canal dans les transistors, le puits de potentiel de confinement dans lequel circulent les porteurs devient de plus en plus étroit, augmentant ainsi l'écart entre les différents niveaux d'énergie. Cet effet modifie notamment la position du maximum de densité des porteurs qui se trouve décalée de l'interface entre l'oxyde et le semi-conducteur. Il en découle une capacité MOS effective plus faible que celle prévue théoriquement et par conséquent une sous-estimation de la tension de seuil V_{th} par surestimation de l'efficacité de la grille [20].

1.9 Le transistor MOS en RF

L'amélioration des performances et de l'intégration des technologies CMOS a permis le progrès des circuits numériques, grâce à la réduction des dimensions du transistor. Cette diminution de la longueur de grille s'accompagne d'une augmentation de la fréquence de transition du dispositif [22-23]. Elle reflète donc les performances dynamiques du transistor et permet d'estimer la gamme de fréquence dans laquelle le dispositif peut être utilisé.

La fréquence de transition augmente de façon inversement proportionnelle à la longueur de grille du transistor [23]. La réduction des dimensions permet dès lors d'envisager une utilisation du transistor MOS pour des applications radiofréquences [24].

Ces applications RF sont principalement les communications sans fil : wifi, Bluetooth, réseaux sans fil, GSM, GPS. Les dispositifs sont donc utilisés pour des circuits figurant dans la chaîne de réception ou d'émission de telles applications : amplificateur faible bruit, convertisseurs analogique-numérique et numérique-analogique [25].

Les performances de rapidité du transistor MOS sont moindres que celles des composants réalisés en technologies III-V ou bipolaire, mais il possède par ailleurs de nombreux avantages:

- ✓ il n'a pas besoin d'une polarisation négative et positive comme les MESFETs;
- ✓ ses performances sont généralement suffisantes pour les applications énumérées plus haut, dont la fréquence de fonctionnement est inférieure à 10GHz;
- ✓ il présente l'intérêt d'une excellente intégration;
- ✓ il revient moins cher à fabriquer.

1.10 Conclusion

Dans ce chapitre nous avons présenté une introduction sur la technologie des transistors MOS ainsi que les principes de fonctionnement et les problèmes liés à la miniaturisation des transistors. Pour remédier à ces problèmes de la miniaturisation, dans le prochain chapitre nous présenterons la technologie silicium sur isolant, cette dernière est considérée comme une solution prometteuse qui consiste à l'utilisation de films minces de silicium pour contrôler les effets canaux courts dans les dispositifs de faible longueur de grille.

1.11 Références bibliographiques

- [1] Hisamoto, D., Kaga, T., Kawamoto, Y., & Takeda, E. (1989, December). A fully depleted lean-channel transistor (DELTA)-a novel vertical ultra thin SOI MOSFET. In International Technical Digest on Electron Devices Meeting (pp. 833-836). IEEE.
- [2] GORDON Moore “progress in digital integrated électronic”, international Electron Device Meeting (IEDM) techn.Digest, 11-13-1975
- [3] Huang, X., Lee, W. C., Kuo, C., Hisamoto, D., Chang, L., Kedzierski, J., ...& Subramanian, V. (1999, December). Sub 50-nm finfet: Pmos. In International Electron Devices Meeting 1999. Technical Digest (Cat. No. 99CH36318) (pp. 67-70). IEEE..
- [4] Colinge, J. P. (Ed.). (2008). FinFETs and other multi-gate transistors (Vol. 73). New York: Springer. [5] K.K. Young, “Short-channel effect in fully depleted SOI MOSFETs”, IEEE Transactions on Electron Devices, Vol. 36, N° 2, 1989, p. 399-402.
- [6] Choi, Y. K., Asano, K., Lindert, N., Subramanian, V., King, T. J., Bokor, J., & Hu, C. (1999, December). Ultra-thin body SOI MOSFET for deep-sub-tenth micron era. In International Electron Devices Meeting 1999. Technical Digest (Cat. No. 99CH36318) (pp. 919-921). IEEE.
- [7] Poiroux, T., Andrieu, F., Weber, O., Fenouillet-Béranger, C., Buj-Dufournet, C., Perreau, P., ... & Faynot, O. (2011). Ultrathin Body Silicon on Insulator Transistors for 22 nm Node and Beyond. In Semiconductor-on-insulator materials for nanoelectronics applications (pp. 155-168). Springer, Berlin, Heidelberg.
- [8] Kinget, P., & Steyaert, M. (1996, May). Impact of transistor mismatch on the speed-accuracy-power trade-off of analog CMOS circuits. In Proceedings of Custom Integrated Circuits Conference (pp. 333-336). IEEE.
- [9] Pelgrom, M. J., Tuinhout, H. P., & Vertregt, M. (1998, December). Transistor matching in analog CMOS applications. In International electron devices meeting 1998. technical digest (Cat. No. 98CH36217) (pp. 915-918). IEEE.
- [10] Burnett, D., Erington, K., Subramanian, C., & Baker, K. (1994, June). Implications of fundamental threshold voltage variations for high-density SRAM and logic circuits. In Proceedings of 1994 VLSI Technology Symposium (pp. 15-16). IEEE.
- [11] Bowman, K. A., Tang, X., Eble, J. C., & Menldl, J. D. (2000). Impact of extrinsic and intrinsic parameter fluctuations on CMOS circuit performance. IEEE Journal of Solid-State Circuits, 35(8), 1186-1193.
- [12] Weber, O. (2005). Etude, fabrication et propriétés de transport de transistors CMOS associant un diélectrique haute permittivité et un canal de conduction haute mobilité. These de Doctorat, Institut National des Sciences Appliquées de Lyon..

- [13] Malavasi, E., Zanella, S., Uscherson, J., Misheloff, M., &Guardiani, C. (2001, June). Impact analysis of process variability on digital circuits with performance limited yield. In 2001 6th International Workshop on Statistical Methodology (Cat. No. 01TH8550) (pp. 60-63). IEEE.
- [14] Bhavnagarwala, A., Kapoor, A., &Meindl, J. (2000, September). Fluctuation limits on scaling of CMOS SRAMs. In 30th European Solid-State Device Research Conference (pp. 472-475).IEEE.
- [15] Stolk, P. A., Tuinhout, H. P., Duffy, R., Augendre, E., Bellefroid, L. P., Bolt, M. J. B., ... &Ponomarev, Y. V. (2001, December). CMOS device optimization for mixed-signal technologies.In International Electron Devices Meeting.Technical Digest (Cat. No. 01CH37224) (pp. 10-2). IEEE.
- [16] Arora, N. (2007). Mosfet modeling for VLSI simulation: theory and practice. World Scientific.
- [17] Kaghouché, B. Etude par TCAD-SILVACO d'une structure MOS pour la réalisation de capteurs ISFET.
- [18] Sheng S. Li, "Semiconductor Physical electronics second edition", Springer, pp.582-583, 2006.
- [19] Enrico GILI 'Fabrication of vertical Mosfet with reduced parasitics and suppression of short channel effects'
- [20] KEBIB, A. (2013). Etude et simulations d'un transistor MOS vertical (Doctoral dissertation).
- [21] Schultze, J. W. (2002). Electrochemical microsystem technologies: principles. In Electrochemical Microsystem Technologies (pp. 21-49).CRC Press.
- [22] Schwierz, F., &Liou, J. J. (2007). RF transistors: Recent developments and roadmap toward terahertz applications. Solid-State Electronics, 51(8), 1079-1091.
- [23] Gruner, D., Sorge, R., Bengtsson, O., Al Tanany, A., &Boeck, G. (2010). Analysis, design, and evaluation of LDMOS FETs for RF power applications up to 6 GHz. IEEE transactions on microwave theory and techniques, 58(12), 4022-4030.
- [24] Kwon, I., & Lee, K. (2007). An accurate behavioral model for RF MOSFET linearity analysis. IEEE microwave and wireless components letters, 17(12), 897-899..
- [25] Bennett, H. S., Brederlow, R., Costa, J. C., Cottrell, P. E., Huang, W. M., Immorlica, A. A., ... & Zhao, B. (2005). Device and technology evolution for Si-based RF integrated circuits. IEEE Transactions on Electron Devices, 52(7), 1235-1258.

CHAPITRE

LES DEFIS DE LA TECHNOLOGIE
PLANAIRE FDSOI

2

Chapitre 2.**Les Défis de la Technologie Planaire FDSOI****2.1 Introduction**

Pour franchir la barrière du nœud technologique 32 nm, le transistor MOS sur silicium massif doit surmonter de nombreux problèmes. Tout d'abord, celui de l'augmentation des courants de fuite, et de manière générale de la consommation statique. Puis, celui de l'augmentation de la variabilité de la tension de seuil. Ce qui a pour conséquence de limiter fortement la tension minimale d'alimentation des circuits ($\sim 0,8$ V), et donc la réduction de la consommation statique. Enfin, le problème de l'augmentation de la complexité et du coût du procédé de fabrication. A cela s'ajoute aussi le faible gain en performance apporté par la simple loi de réduction d'échelle.

Pour remédier à la plupart de ces problèmes, la société Intel a annoncé officiellement le 4 mai 2011 qu'elle utiliserait des transistors FinFET pour la fabrication de ses prochains micro-processeurs dans le nœud technologique 22 nm [1]. D'autres sociétés, comme STMicroelectronics, parient plutôt sur l'utilisation des transistors FDSOI (*Fully Depleted SOI* en anglais) pour la fabrication de circuits alliant basse consommation et hautes performances (smartphones, tablettes numériques, ...).

Le principal avantage de ces transistors à film mince de silicium non dopé est d'avoir un bien meilleur contrôle électrostatique du canal par la grille, réduisant ainsi les courants sous le seuil et les effets canaux courts (V_T roll-off, DIBL, ...). De cette amélioration résulte aussi un courant effectif plus élevé (à même courant de fuite) que celui des transistors MOS sur silicium massif lors de la transition des portes logiques, et donc un gain supérieur en vitesse. L'utilisation d'un film mince de silicium non dopé permet aussi de générer beaucoup moins de variations au niveau de la tension de seuil. D'un point de vue électrostatique, les transistors FinFET sont supérieurs aux transistors FDSOI. Néanmoins, ils restent bien plus difficiles à fabriquer [2]. Ainsi, l'utilisation d'un procédé de fabrication planaire pour la réalisation de transistors FDSOI permet de limiter le temps de développement technologique. De plus, le fait que l'architecture des transistors FDSOI soit très proche de celle des transistors sur silicium massif permet d'envisager un portage des circuits beaucoup plus facile et rapide.

Ce chapitre a deux objectifs. Le premier est de présenter les atouts de la technologie planaire FDSOI qui permettront de pallier aux problèmes rencontrés par le transistor MOS sur silicium massif dans les nœuds sub-32 nm. Le deuxième est de lister les points à améliorer et les défis

restant à relever en vue de son utilisation pour la fabrication de circuits à basse consommation et à basse tension d'alimentation.

2.2 Le transistor MOS fabriqué en technologie planaire FDSOI

Le transistor MOS fabriqué en technologie planaire FDSOI repose sur un film mince de silicium non dopé ($N_{Si} \approx 10^{15} \text{ cm}^{-3}$) isolé du substrat par une couche d'oxyde de silicium, communément appelé BOX (*Buried Oxide* en anglais) (Figure 2.1.).

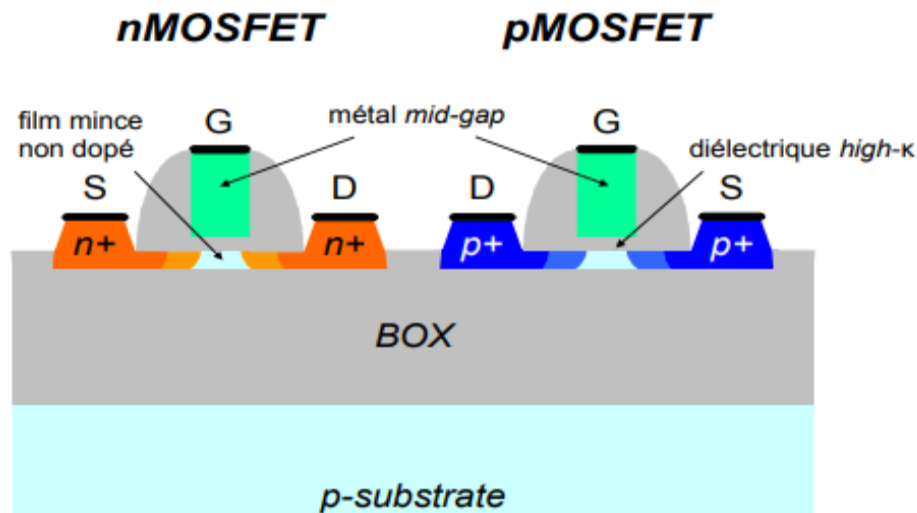


Figure. 2. 1: Vue en coupe schématique d'un transistor n-MOS (gauche) et d'un transistor p-MOS (droite) fabriqués en technologie planaire FDSOI [3].

Cette architecture a plusieurs avantages. Le premier avantage est l'amélioration du contrôle électrostatique du canal par la grille, minimisant ainsi les courants sous le seuil et les effets canaux courts. Le deuxième avantage est la diminution de la variabilité de la tension de seuil, permettant de ce fait la réduction de la tension minimale d'alimentation des circuits intégrés en mode *standby*. Enfin, le troisième avantage est la suppression des courants de jonction entre source/drain (S/D) et substrat et de l'effet *latch-up*. Ce qui rend la technologie planaire FDSOI plus robuste que celle sur silicium massif et moins sujette aux courants de fuite. En plus de tous ces avantages, il est aussi possible, avec un BOX suffisamment fin, de moduler la tension de seuil par modulation de la tension de polarisation du substrat. Ainsi, la technologie planaire FDSOI peut être déclinée en deux versions : celle basée sur un BOX épais et celle basée sur un BOX mince.

2.2.1 Améliorations apportées par le film mince de silicium non dopé et le BOX

Que ce soit dans sa version BOX épais ou BOX mince, la technologie planaire FDSOI apporte un certain nombre d'améliorations par rapport à la technologie planaire sur silicium massif. Parmi elles, trois sont significatives. La première d'entre elles concerne le contrôle électrostatique du canal par la grille. La première conséquence de cette amélioration est la diminution de la pente sous le seuil, communément appelé SS (*Subthreshold Slope* en anglais). Ce paramètre reflète la capacité de la grille à contrôler la création du canal, et dans le cas de la technologie planaire FDSOI à contrôler le film mince de silicium non dopé. Sa valeur minimale théorique est de 60 mV/dec. Ce qui veut dire qu'une augmentation de 60 mV de la tension de grille dans le régime sous le seuil entraîne une augmentation d'une décade du courant sous le seuil (I_{sub}).

Le but est donc de maintenir une pente sous le seuil la plus proche possible de cette valeur idéal. Pour diminuer sa valeur, et donc renforcer le contrôle de la grille avant sur la grille arrière, il faut soit diminuer l'épaisseur équivalente de l'oxyde de grille avant (EOT, pour *Equivalent Oxide Thickness* en anglais) soit augmenter celle du BOX (T_{BOX}). Le Tableau 2.1. Montre des valeurs de pentes sous le seuil nettement améliorées avec des transistors MOS FDSOI fabriqués dans les nœuds technologiques avancés.

Références	Nœud technologique	SS (mV/dec)	
		silicium massif	FDSOI
[Andrieu]	22 nm	-	75
[Liu]		-	80
[Cheng]		-	80
[Arnaud 2]	28 nm	87	-
[Arnaud 1]	32 nm	87	-
[Nataranjan]		98	-

Tableau 2.1. : Pente sous le seuil (SS) de transistors MOS sur silicium massif (noir) et FDSOI (rouge) fabriqués dans les nœuds technologiques 32 nm, 28 nm et 22 nm [3].

La deuxième conséquence de l'augmentation du contrôle électrostatique du canal par la grille est la réduction des effets canaux courts, et notamment du DIBL (Figure 2.2.).

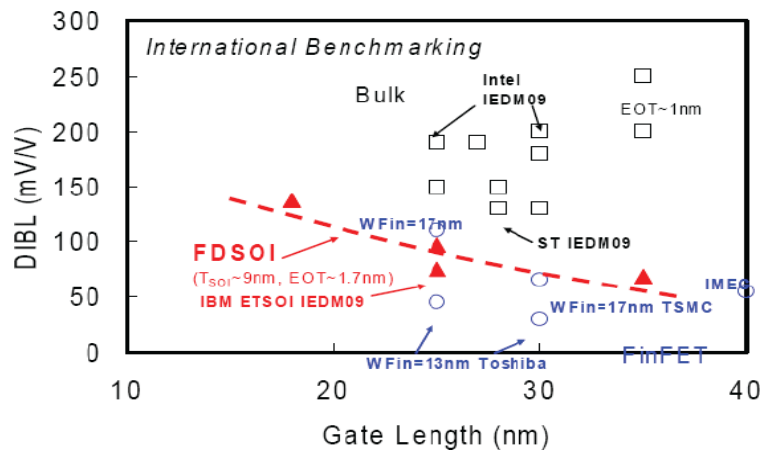


Figure. 2. 2: Evolution du DIBL en fonction de la longueur de grille de transistors MOS fabriqués en technologie planaire sur silicium massif (noir) et FDSOI (rouge) et en technologie FinFET (bleu) [4]

Cet affaiblissement entraîne une moins forte diminution de la tension de seuil lors de la réduction de la longueur de grille comme décrit par l'équation suivante :

$$V_T^{court} = V_T^{long} - SCE - DIBL \quad (2.1)$$

La diminution des effets canaux courts, associée à celle de la pente sous le seuil, permet de diminuer sensiblement le courant sous le seuil.

De plus, le non dopage du film mince de silicium limite aussi le courant GIDL. Ce courant est donc très faible dans cette technologie, et avoisine ainsi les quelques pA/μm [5] [6] [8]. De plus, le fait d'isoler complètement les S/D du substrat par le BOX permet de supprimer totalement le courant de fuite des jonctions S/D-substrat. Ainsi, la technologie planaire FDSOI permet de minimiser grandement les courants de fuite préjudiciables dans les nœuds technologiques sub-65 nm, comme le montre la Figure 2.3 et le Tableau 2.2.

Références	Nœud technologique (nm)	L _G (nm)	V _{DD} (V)	I _{OFF} (pA/μm)	GIDL (pA/μm)	J _G (A/cm ²)
[Cheng]	22	25	0,9	300	15/5	0,05
[Arnaud 2]	28	30	1	450	NC	0,65/0,2
[Tomimatsu]	28	28	1	200	NC	0,06
[Majumdar]	32	30	1	100	NC	NC
[Fenouillet]	32	25	1	100	NC	NC
[Jan]	45	45	1,1	1000	NC	NC
[Aime]	45	45	1,1	1000	NC	0,001

Tableau 2.2. : Courants de fuite (I_{OFF}, GIDL et J_G) de transistors MOS fabriqués en technologies planaires sur silicium massif (noir) et FDSOI BOX épais (rouge) dans les nœuds technologiques 45 nm, 40 nm, 32 nm, 28 nm, et 22 nm [3].

La deuxième amélioration majeure apportée par la technologie planaire FDSOI est la suppression de la fluctuation aléatoire de dopants dans le canal (RDF) qui est la plus importante source de variabilité de la tension de seuil en technologie planaire sur silicium massif [9].

Ainsi, à même longueur de grille, les transistors MOS FDSOI possèdent un coefficient de variabilité de la tension de seuil (ΔV_T), aussi appelé coefficient de pelgrom, deux à trois fois plus faible que celui des transistors MOS sur silicium massif.

Ainsi, la technologie planaire FDSOI permet de diminuer plus fortement la tension minimale d'alimentation des circuits critiques, comme les circuits SRAM ($\sim 0,5$ V) [7] [10].

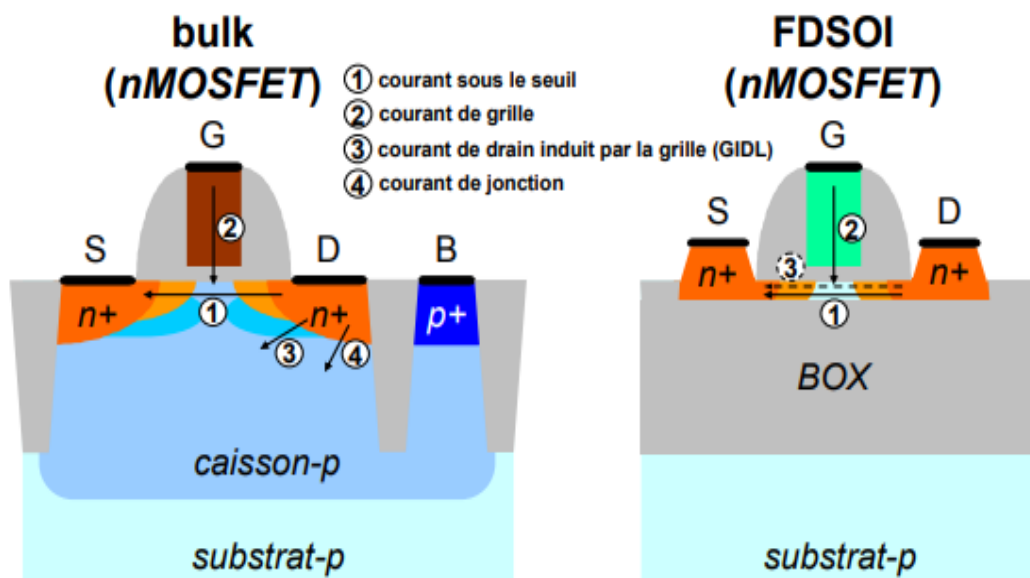


Figure. 2. 3: Vue en coupe schématique d'un transistor n-MOS fabriqué en technologie planaire sur silicium massif (gauche) et en technologie planaire FDSOI BOX épais (droite) montrant les différentes contributions des courants de fuite. [3]

La troisième amélioration majeure apportée par la technologie planaire FDSOI est l'utilisation d'un seul type de grille métallique avec un travail de sortie proche du *mid-gap* du silicium (4,61 eV). Ce qui a pour intérêt de réduire la complexité du procédé de fabrication mais aussi son coût grâce à la suppression d'un masque critique. La Figure 2.4. (a) montre une vue en coupe TEM d'un transistor n-MOS fabriqué en technologie planaire FDSOI BOX épais.

Son procédé de fabrication est significativement simplifié par rapport à la technologie planaire sur silicium massif grâce notamment à la suppression de plusieurs étapes d'implantation dans le substrat[11].

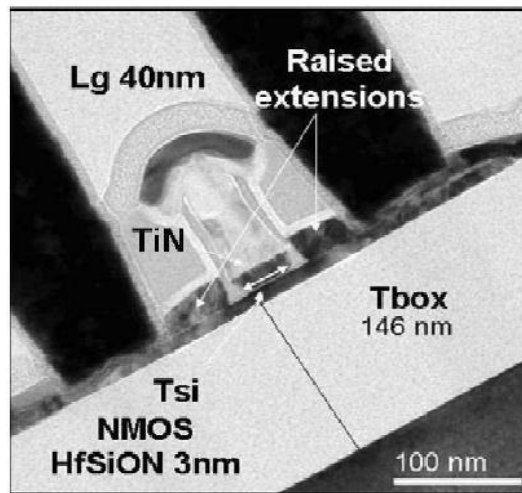


Figure.2. 4: Vue en coupe TEM d'un transistor n-MOS fabriqué en technologie planaire FDSOI BOX épais dans le nœud technologique 45 nm [12].

2.2.2 Spécificités de la technologie planaire FDSOI basée sur un BOX mince

La version BOX mince de la technologie planaire FDSOI possède les mêmes particularités en termes de courants de fuite et de variabilité de la tension de seuil que la version BOX épais. La seule différence fondamentale réside dans la possibilité d'ajuster la tension de seuil par polarisation de la tension du substrat. Ce qui implique une modulation du courant de fonctionnement (I_{ON}) et du courant de fuite (I_{OFF}). Néanmoins, le partage du substrat par tous les transistors MOS d'une même plaque contraint leur grille arrière (substrat) à être polarisée avec une tension (V_B) commune (Figure 2.5).

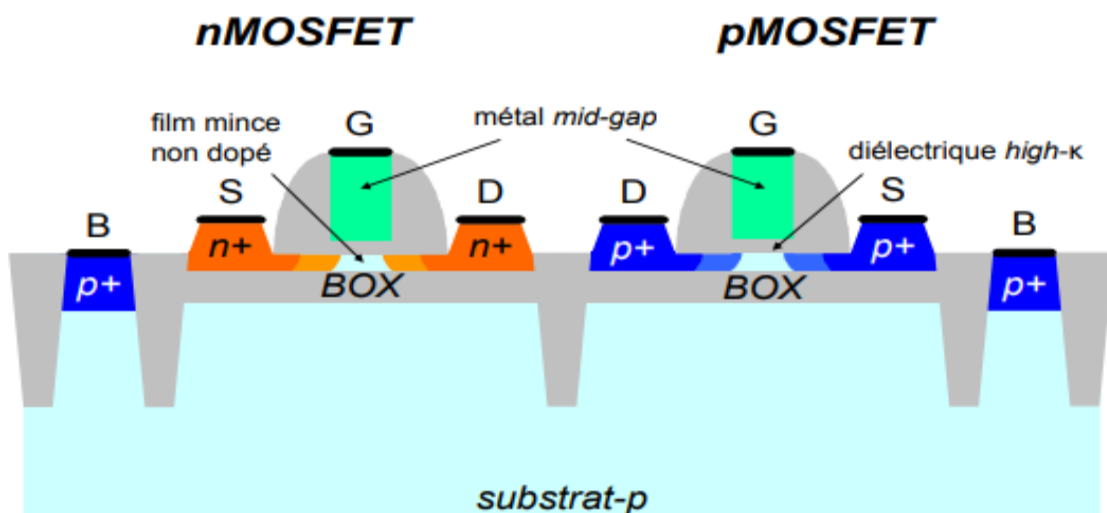


Figure. 2. 5: Vue en coupe schématique d'un transistor n-MOS (gauche) et d'un transistor p-MOS (droite) fabriqués en technologie planaire FDSOI BOX mince [3]

Dans un circuit CMOS fabriqué en technologie planaire sur silicium massif, la polarisation de la face arrière des transistors n-MOS se fait via des caissons de type p connectés à la masse

(GND) alors que celle de la face arrière des transistors p-MOS se fait via des caissons de type n connectés à la tension d'alimentation (V_{DD}). Dans le cas d'un circuit CMOS fabriqué en technologie planaire FDSOI BOX mince, la polarisation de la grille arrière des transistors n-MOS et p-MOS se fait via le substrat commun connecté soit à GND soit à V_{DD} . Ce qui signifie que, dans le premier cas ($V_B = GND$), les transistors n-MOS sont polarisés comme les transistors n-MOS sur silicium massif alors que les transistors p-MOS sont polarisés en mode direct ($V_{BS} < 0$). De la même manière, dans le deuxième cas ($V_B = V_{DD}$), les transistors p-MOS sont polarisés comme les transistors p-MOS sur silicium massif alors que les transistors n-MOS sont polarisés en mode direct. Dans les deux cas, la tension de seuil des transistors est dissymétrique. Le seul moyen pour retrouver une symétrie serait de polariser le substrat à $V_{DD}/2$. Néanmoins, cela ne change rien au fait qu'il n'est pas possible de séparer la tension de polarisation de la grille arrière des transistors n-MOS de celle des transistors p-MOS. Autre spécificité de cette structure, il s'agit du comportement du substrat à l'interface avec le BOX.

Il existe une autre architecture de transistors MOS fabriqués en technologie planaire FDSOI BOX mince permettant de moduler la tension de seuil par polarisation de la grille arrière (Figure 2.6) [13-16].

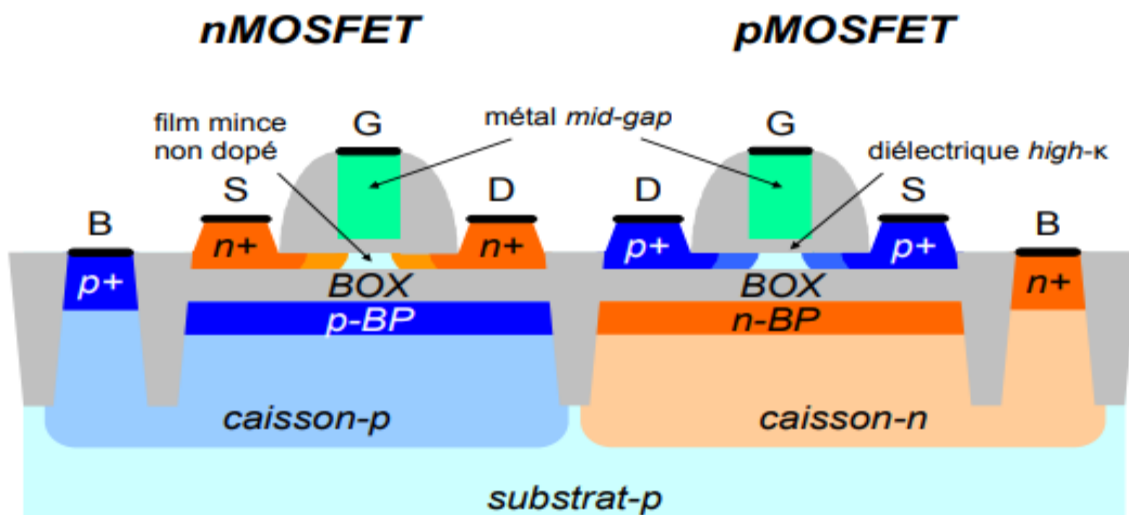


Figure. 2. 6: Vue en coupe schématique d'un transistor n-MOS (gauche) et d'un transistor p-MOS (droite) fabriqués en technologie planaire FDSOI BOX mince avec BP [3].

Cela consiste à implanter une couche de silicium de type p fortement dopé sous le BOX des transistors n-MOS et une couche de silicium de type n fortement dopé sous le BOX des transistors p-MOS. Ces couches, communément appelées GP (*Ground Plane* en anglais) ou BP (*Back Plane* en anglais), permettent, grâce à leur fort niveau de dopage ($N_{BP} \approx 10^{18} \text{ cm}^{-3}$), de limiter la déplétion du substrat à l'interface avec le BOX [17-18].

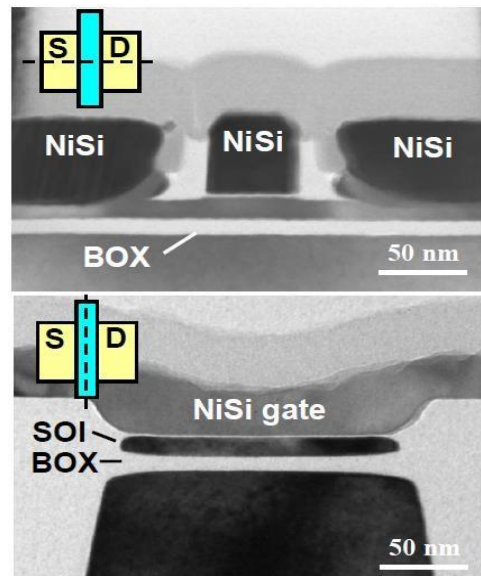


Figure. 2. 7: Vue en coupe TEM d'un transistor MOS fabriqué en technologie planaire FDSOI BOX mince avec BP dans le nœud technologique 45 nm [19-15].

L'utilisation de cette architecture de transistors rajoute trois étapes supplémentaires : l'implantation des BP, l'implantation des caissons et la création des prises caissons. Ces étapes supplémentaires n'ont que très peu d'impact sur la variabilité de la tension de seuil (Figure 2.8).

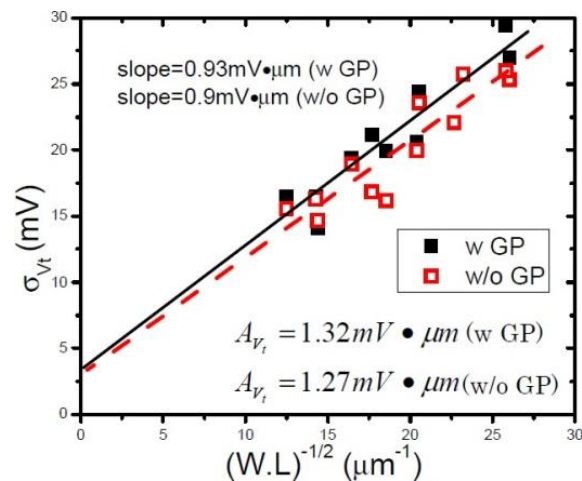


Figure. 2. 8: Variabilité de la tension de seuil (σ_{VT}) du MOS fabriqués en technologie planaire FDSOI BOX mince sans (rouge) et avec (noir) BP dans le nœud technologique 22 nm [20].

En effet, l'implantation des BP et des caissons est optimisée en terme d'énergie et de type de dopants de façon à ne pas laisser d'impuretés dans le film mince de silicium non dopé. Au niveau du comportement électrique des transistors, ces BP vont jouer le rôle d'une grille arrière de type opposé aux S/D, à l'instar des transistors MOS double grille asymétriques. Ainsi, plus l'épaisseur du BOX sera proche de celle de l'oxyde de grille, et plus le coefficient de modulation de la tension de seuil sera élevé.

De cette manière, la tension de seuil des transistors, I_{ON} et I_{OFF} , peuvent être modulés donc efficacement (Figure 2.9).

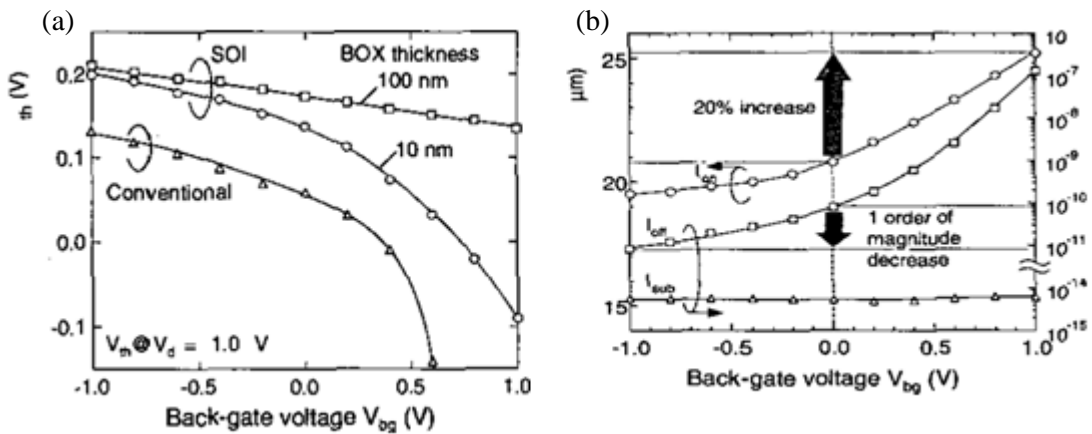


Figure. 2. 9 : (a) Evolution de la tension de seuil en fonction de la polarisation du BP d’un transistor MOS fabriqué en technologie planaire FDSOI BOX épais (100 nm) et BOX mince (10 nm) et d’un transistor MOS fabriqué en technologie planaire sur silicium massif [14].
 (b) Evolution des courants I_{ON} et I_{OFF} en fonction de la polarisation du BP d’un transistor MOS fabriqué en technologie planaire FDSOI BOX mince (10 nm)[14].

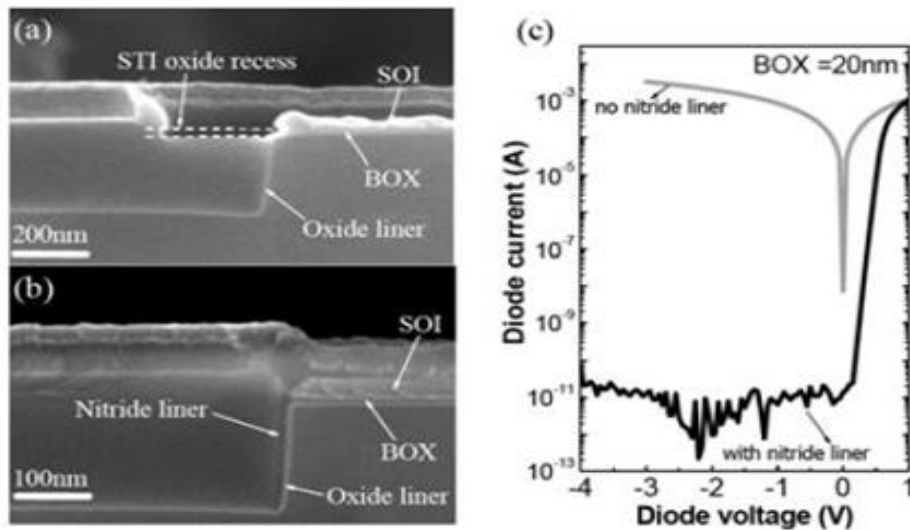


Figure. 2. 10 : Vue en coupe TEM d’un STI sans (a) et avec (b) amélioration de son isolation électrique (introduction d’une couche verticale de nitrure) [21]. (c) Evolution du courant de jonction entre le caisson des transistors n-MOS (caisson-p) et celui des transistors p-MOS (caisson-n) d’un oscillateur en anneau fabriqué en technologie planaire FDSOI sans (gris) et avec (noir) amélioration de l’isolation électrique des STI en fonction de la différence de polarisation [21].

La limitation de cette architecture vient de la limitation en excursion de la polarisation de la grille arrière en mode direct (FBB). En effet, pour éviter de polariser en direct la jonction caisson-p/caisson-n, et ainsi créer un fort courant de fuite (Figure 2.10.c et Figure 2.11).

La polarisation du BP de type p ne doit pas dépasser celle du BP de type n lorsque les transistors n-MOS et p-MOS sont en mode FBB.

Ce qui veut dire que pour garder une tension de seuil équilibrée entre transistors n-MOS et p-MOS, l'excursion de la polarisation de leur BP en mode FBB ne doit pas dépasser $V_{DD} / 2$.

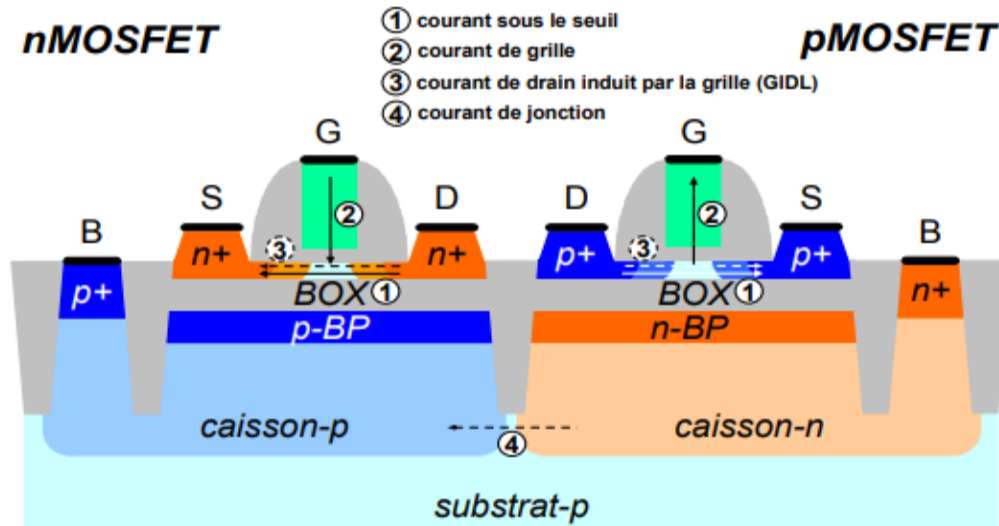


Figure. 2. 11: Vue en coupe schématique d'un transistor n-MOS (gauche) et d'un transistor p-MOS (droite) fabriqués en technologie planaire FDSOI BOX mince avec BP montrant les différentes contributions des courants de fuite. [3]

2.3 Avantages de la technologie FDSOI

Voici maintenant quelques avantages de l'usage de plaquettes SOI par rapport au bulk traditionnel dans développement de composant CMOS [25,22] :

- Basse tension d'opération avec la même performance de sortie comparée avec la technologie bulk qui doit opérer à une plus haute tension de fonctionnement, ceci mène à une basse consommation (autour de 40-50% moins).
- Elimination des capacités de jonction (capacité parasite source-substrat et drain-substrat, qui correspondent à la capacité d'une jonction polarisée en inverse pour le MOSFET bulk, ne sont en réalité pour le SOI qu'une capacité d'oxyde C_{Box} .) et l'effet de corps conduisant à une amélioration de la performance de 30% par rapport au bulk, tel l'état de commutation.
- Réduction dans l'influence des radiations tel le taux d'erreur-logicielle qui affecte le stockage en mémoire des données.
- Réduction du courant de fuite, ce qui amène à une meilleure application numérique pour une consommation réduite.
- En plus d'une simplification dans les procédés de fabrication due au nombre réduit de masques, l'isolation verticale et horizontale résulte dans une plus grande densité des composants réalisés

sur une même plaquette de même dimension comparée avec la technologie bulk.

- Une meilleure gamme de température d'opération.
- Une diminution des effets canaux courts à la réduction du composant.
- Elimination du latch-up, un phénomène parasite dû au déclenchement du thyristor parasite lié à la proximité des zones N+ et P+ de transistors n-MOS e tp-MOS voisins, ainsi que du claquage entre ces deux zones.
- Amélioration du contrôle de la grille sur la charge de déplétion, le rapport entre la charge de déplétion contrôlée par la grille et le drain (ou la source) est beaucoup plus important pour le transistor SOI, par comparaison au transistor MOS bulk, avec des dimensions identiques (L, W, t_{ox} , X_j), ce phénomène est d'autant plus marqué que la longueur du canal diminue.
- Amélioration de la pente sous le seuil, contrairement au transistor MOS bulk où la capacité C_{dep} ne peut être négligée d'où un facteur de substrat $n > 1$, le film du transistor SOI sur film mince, est déserté en entier avant que la tension n'atteigne la tension de seuil, C_{Si} qui désigne la capacité du film de silicium entièrement déserté est donc ramenée à une constante, d'où le facteur de substrat défini comme:

$$n = \left(1 + \frac{C_{Si}}{C_{OX1}}\right) - \frac{\frac{C_{Si}}{C_{OX2}} - \frac{C_{Si}}{C_{OX1}}}{1 + \frac{C_{Si}}{C_{OX2}}} \quad (2.2)$$

Où C_{OX1} et C_{OX2} , représentent les capacités d'oxyde situées respectivement dans la partie supérieure et la partie inférieure du film de silicium[26 23].

2.4 Inconvénients de la technologie SOI

La technologie SOI n'offre pas que des avantages, aussi présente-elle quelques inconvénients plus ou moins important, on peut en citer :

- L'auto-échauffement des composants dû à l'importance de la résistance thermique de l'isolant qui ne permet pas d'évacuer assez rapidement la chaleur, ceci peut mener à une diminution de la mobilité effective des porteurs et donc une diminution de la conductance de drain et une dégradation du courant[27-24].
- Augmentation du courant et apparition de bruit en saturation par effet kink, et possibilité de création d'effet de mémoire de la tension de seuil des transistors partiellement désertés.
- Un coût de plaquette élevé, qui peut varier entre 5 et 10% de plus que les substrats bulk, ce qui a pour conséquence une augmentation du coût de production qui peut être réduit dans le cas d'un

grand volume à moins de 4% [28-25].

- L'importance des effets canaux courts. La polarisation du drain peut induire des effets canaux courts par influence électrostatique à travers l'oxyde enterré. Cet effet néfaste devient conséquent surtout lorsque l'épaisseur d'oxyde est importante.

En général, la technologie SOI offre beaucoup d'avantages pour la fabrication CMOS. Il est d'ailleurs estimé que ce composant est un candidat susceptible de réussir l'intégration des dispositifs de dimensions longitudinales inférieures ou égales à 30nm [25 22].

2.5 Effets physique

2.5.1 Effet canal court

Pour les SOI entièrement et partiellement déplétion submicronique, le transistor latéral bipolaire parasite (source-canal-drain) peut être facilement polarisé en sens direct. L'ionisation par impact augmente le potentiel du canal ce qui induit une polarisation directe de la jonction source-canal. L'activation du transistor parasite bipolaire induit un courant en excès. Ce phénomène est renforcé dans le canal de type n pour les dispositifs canal court à haute température parce que la possibilité de collision ionique est plus importante dans un NMOS à haute température qu'un NMOS à basse température ou un PMOS quelle que soit sa température. Un effet canal court dans le transistor PD-SOI est la transformation de l'état de déplétion partielle à celui de déplétion entière. La région de déplétion latérale, gouvernée par les source/drain, ne couvre pas seulement une grande portion du corps ('body'), mais réduit aussi le dopage effectif dans le corps ; cela a pour incidence la déplétion entière par l'action de la grille.

De plus, le profil latéral du potentiel de l'interface arrière peut être fortement inhomogène :

De déplétion au milieu du canal à la faible inversion près du bout du canal. Cette faible inversion localisée explique la dégradation de la pente sous le seuil.

Les effets canaux courts résultant en un abaissement de la tension de seuil sont le recouvrement des zones de charge d'espace entre la grille et les source/drain et l'effet DIBL [26-23].

Les lignes de champ électrique du bas induisent une forte augmentation de potentiel dans l'oxyde enterré si la grille arrière est polarisée positivement: cet effet s'appelle l'effet DIVSB (Drain Induced Virtual Substrate Biasing) [27 24].

À cause du DIVSB et du couplage d'interface, la tension de seuil du canal avant et la pente de seuil se trouvent abaissées. C'est une des raisons pour laquelle sera élaborée la structure SOI à double grille [28-25].

2.5.2 Effet kink

Ce phénomène apparaît à fort champ électrique, il est dû à l'ionisation par impact qui crée des paires électrons-trous près du drain. Certaines de ces charges ne se recombinent pas et donnent lieu à des charges libres. Dans le cas d'un NMOS, les électrons vont suivre le courant de drain en revanche, les trous vont s'accumuler lentement dans le body/ zone neutre (Figure 2.12). Ce phénomène contribue à l'augmentation du potentiel dans le canal et par conséquent, induit une diminution de la tension de seuil et une augmentation du courant de drain. Les équations (2.3&2.4) permettent de calculer la variation de la tension de seuil V_{th} et le courant I_D engendrée.

$$\Delta I_D = g_b \Delta V_b \quad (2.3)$$

$$\Delta V_{th} = - \frac{C_{dep}}{C_{ox}} \Delta V_b \quad (2.4)$$

$$g_b = \frac{dI_D}{dV_b} = \frac{C_{dep}}{C_{ox}} g_m \quad (2.5)$$

Où g_b est la transconductance du body et g_m la transconductance face avant, V_b est l'auto polarisation face arrière et C_{dep} est la capacité de déplétion [29 26].

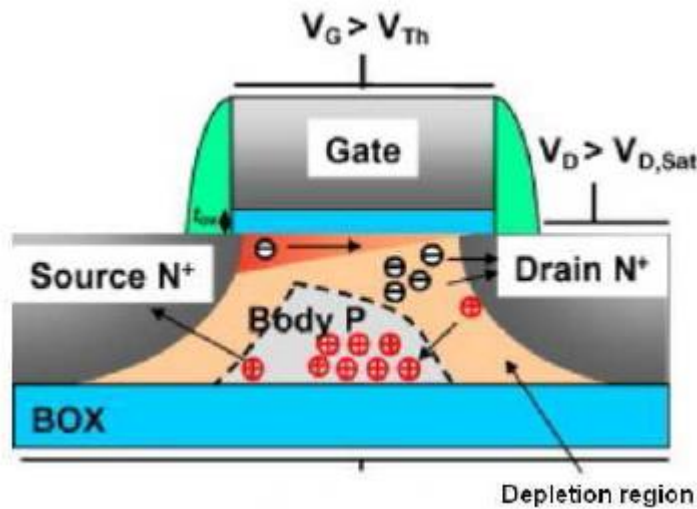


Figure. 2.4 : Mécanisme d'ionisation par impact

2.5.3 Effet de latch-up

Le phénomène de latch-up en technologie bulk, est un problème majeur dans les circuits drainant de forts courants. Il entraîne un effet destructif sur les dispositifs impliqués. En SOI, grâce au BOX et aux tranchées d'oxyde (STI pour Shallow Trench Isolation en anglais), les transistors MOS adjacents sont isolés électriquement les uns des autres. Par conséquent, les transistors bipolaires parasites, formés en bulk par juxtaposition des caissons de type opposés, sont supprimés. L'effet de latch-up est ainsi éliminé dans les technologies SOI (Figure. 2.13).

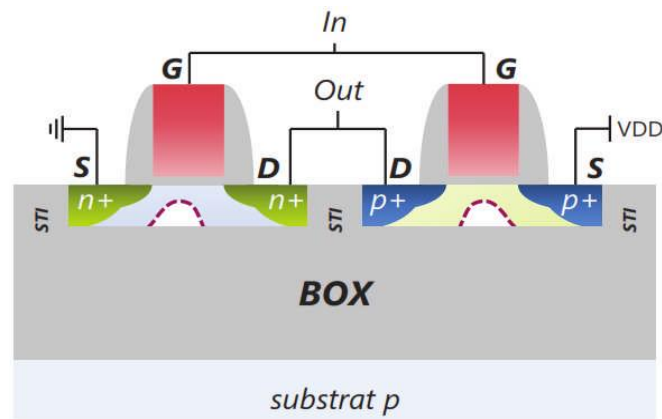


Figure. 2.5 : Vue en coupe d'un inverseur CMOS dont les transistors sont électriquement isolés entre eux, ce qui immunise le circuit contre le phénomène de latch-up.

En bulk, il est nécessaire de placer les n-MOS à des distances suffisantes des p-MOS. Chaque ensemble de p-MOS et de n-MOS doit aussi être individuellement entouré d'anneaux de contacts afin de polariser son caisson de façon à réduire la résistance d'accès. Grâce à l'oxyde enterré, les précautions prises pour supprimer cet effet en bulk

2.6 Points d'amélioration et perspectives industrielles

Malgré tous les avantages que peut apporter la technologie planaire FDSOI, notamment dans sa version BOX mince avec BP, elle n'est pas encore prête à remplacer la technologie planaire sur silicium massif. En effet, dans une perspective d'industrialisation, la technologie planaire FDSOI doit faire face à deux défis majeurs.

Premièrement, il faut que son procédé de fabrication soit suffisamment maîtrisé et que les plaques de silicium servant à sa fabrication soient de qualité et fournies en quantité suffisante avec un rendement permettant un coût le plus compétitif possible. Deuxièmement, il faut que sa plateforme de conception soit la plus compatible possible avec celles existant déjà en technologie planaire sur silicium massif. C'est seulement après avoir relevé ces deux défis que les circuits intégrés pourront tirer tous les bénéfices de la technologie planaire FDSOI.

2.6.1 Réduction de la variabilité de l'épaisseur du film de silicium non dopé

Le défi majeur des plaques de silicium servant à la fabrication des circuits intégrés en technologie planaire FDSOI est le contrôle de l'uniformité de la couche de silicium servant à la réalisation du film mince non dopé. En effet, il a été montré qu'une variation de 1 nm de l'épaisseur du film de silicium pouvait entraîner une variation de près de 25 mV de la tension de seuil ($\Delta V_T / \Delta T_{Si} \approx 25 \text{ mV/nm}$) [27]. La réduction de la variabilité de l'épaisseur de la couche de silicium est donc indispensable pour éviter que cela ne vienne dégrader la variabilité de la tension de seuil. L'objectif est donc d'atteindre une variation maximale de +/- 0,5 nm. A l'heure

actuelle, des plaques de silicium fabriquées par la société SOITEC utilisant le procédé Smart Cut [28] atteignent une variation de ± 1 nm sur une couche de silicium de 12 nm (Figure 2.15) [29-30].

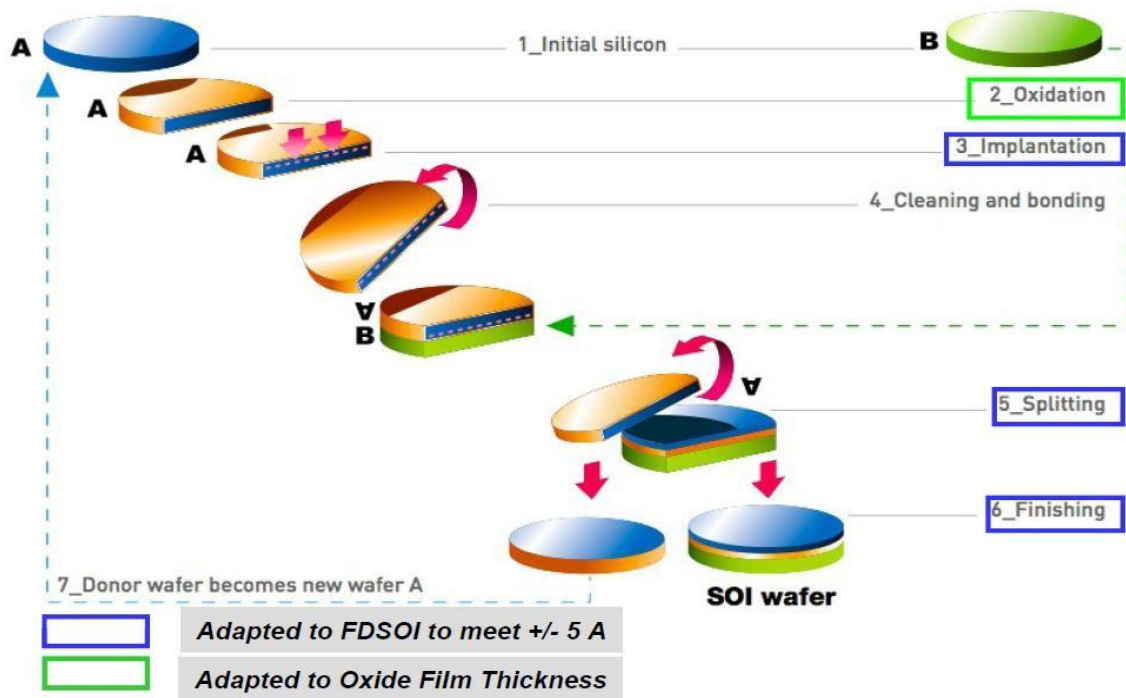


Figure. 2. 6: Schéma de principe du procédé de fabrication Smart Cut des plaques de silicium pour la fabrication de circuits intégrés en technologie planaire FDSOI [29] [30].

2.7 Conclusion

La technologie planaire FDSOI BOX mince avec BP semble être une bonne candidate à la succession de la technologie planaire sur silicium massif et une alternative intéressante à la technologie FinFET. En effet, grâce à son film mince de silicium non dopé combiné à une « pseudo » grille arrière lui permettant de moduler efficacement la tension de seuil des transistors, cette technologie semble être armée de solides atouts pour diminuer de façon efficace les courants de fuite et la variabilité de la tension de seuil. De plus, la relative simplicité de son procédé de fabrication devrait faire économiser le coût de masques critiques de la technologie planaire sur silicium massif et donc compenser le surcoût initial des plaques de silicium SOI.

2.8 Références bibliographiques

- [1] New York Times, *Intel Increases Transistors Speed by Building Upward*, May 4th2011
- [2] Chenming Hu, *New Sub-20nm Transistors – Why and How*, DAC, 2011, pp.460-463
- [3] Noël, J. P. (2011). *Optimisation de dispositifs FDSOI pour la gestion de la consommation et de la vitesse: application aux mémoires et fonctions logiques* (Doctoral dissertation).
- [4] O. Faynot et al., *Planar FDSOI technology for sub 22nm nodes*, VLSI-TSA, 2010, pp.ZS§ 26-27
- [5] K. Cheng et al., *Fully Depleted Extremely Thin SOI Technology Fabricated by a Novel Integration Scheme Featuring Implant-Free, Zero-Silicon-Loss, and Faceted Raised Source/Drain*, Symposium on VLSI Technology Digest of Technical Papers, 2009, pp.212-213
- [6] K. Cheng et al., *Extremely Thin SOI (ETSOI) CMOS with Record Low Variability for Low Power System-on-Chip Applications*, IEDM, 2009, pp.49-52
- [7] Jin Cai et al., *Will SOI Have a Life for the Low-Power Market ?*, IEEE International SOI Conference Proceedings, 2008, pp.15-16
- [8] Asen Asenov, *Simulation of Statistical Variability in Nano MOSFETs*, Symposium on VLSI Technology Digest of Technical Papers, pp. 86- 87
- [9] Q. Liu et al., *Impact of Back Bias on Ultra-Thin Body and BOX (UTBB) Devices*, Symposium on VLSI Technology Digest of Technical Papers, 2011, pp.160-161
- [10] Rapport d'ICKnowledge commandé par Soitec, 8 juillet 2011
http://www.icknowledge.com/misc_technology/SoitecReport20110709.pdf
- [11] C. Fenouillet-Beranger et al., *Fully Depleted SOI Technology using High-K and Single-Metal Gate for 32nm Node LSTP Applications featuring 0.179 μm^2 6T-SRAM bitcell*, IEDM, 2007, pp.267-270
- [12] Takashi Ishigaki et al., *Wide-Range Threshold Voltage Controllable Silicon on Thin Buried Oxide Integrated with Bulk Complementary Metal Oxide Semiconductor Featuring Fully Silicided NiSi Gate Electrode*, Japanese Journal of Applied Physics, vol. 47, no. 4, Avril 2008, pp.2585-2588
- [13] T. Ishigaki et al., *Silicon on Thin BOX (SOTB) CMOS for Ultralow Standby Power with Forward-biasing Performance Booster*, ESSDERC, 2008, pp. 198-201
- [14] R. Tsuchiya et al., *Silicon on Thin BOX: A New Paradigm of The CMOSFET for Low-Power and High-Performance Application Featuring Wide-Range Back-Bias Control*, IEDM, 2004, pp.631-634

- [15] Ryuta Tsuchiya et al., *Controllable Inverter Delay and Suppressing V_{th} Fluctuation Technology in Silicon on Thin BOX Featuring Dual Back-Gate Bias Architecture*, IEDM, 2007, pp.475-478
- [16] Y. Morita et al., *Smallest V_{th} Variability Achieved by Intrinsic Silicon on Thin BOX (SOTB) CMOS with Single Metal Gate*, Symposium on VLSI Technology Digest of Technical Papers, 2008, pp.166-167
- [17] Q. Liu et al., *Ultra-Thin-Body and BOX (UTBB) Fully Depleted (FD) Device Integration for 22nm Node and Beyond*, Symposium on VLSI Technology Digest of Technical Papers, 2010, pp.61-62
- [18] Jeng-Bang Yau et al., *FDSOI CMOS with Dual Backgate Control for Performance and Power Modulation*, VLSI-TSA, 2009, pp.84-85
- [19] Thomas Ernst, Sorin Cristolo veanu, *The Ground-Plane Concept for the Reduction of Short-Channel Effects in Fully-Depleted SOI Devices*, Electrochemical Society Proceedings, vol. 99-3, 1999, pp. 329-334
- [20] C.Fenouillet-Beranger, T.Skotnicki, S.Monfray, N.Carriere,F. Bœuf, *Requirements for ultra-thin-film devices and new materials on CMOS Roadmap*, IEEE International SOI Conference Proceedings, 2003, pp. 145-146
- [21] A. Khakifirooz et al., *Challenges and Opportunities of Extremely Thin SOI (ETSOI) CMOS Technology for Future Low Power and General Purpose System-on-Chip Applications*, VLSI-TSA, 2010, pp.110-111
- [22] J. Colinge, *Silicon-on-insulator technology: Materials to VLSI*, Kluwer Academic Publishers, Boston, USA, 3rd edition, 2004.
- [23] Fried, D. Comparison study of FinFETs: SOI vs. bulk, performance, manufacturing variability and cost'SOI industry consortium (2011).
- [24] Saint-Martin, J. (2005). Étude par simulation Monte Carlo d'architectures de MOSFET ultracourts à grille multiple sur SOI (Doctoral dissertation).
- [25] Comparison study of FinFETs: SOI vs. Bulk, Performance, Manufacturing Variability and Cost, SOI Industry Consortium.
- [26] I Hafez, G.Ghibardo and F.Balestra, "Analysis of kink effect in MOS transistor" Electron Devices, IEEE Transactions on pp. 818- 821, (1990).
- [27] Elasaad CHEBAKI « *Modélisation neuronale du transistor GAA MOASFET nanométrique* », Université de BATNA, Algérie, 2010.
- [28] M. Bruel, *Silicon on insulator material technology*, Electronics Letter, vol. 31, no. 14, July 1995, pp.1201-1202

- [29] W. Schwarzenbach et al., *Excellent Silicon Thickness Uniformity on Ultra-Thin SOI for controlling V_t variation of FDSOI*, ICICDT, 2011
- [30] Christophe Maleville, *Extending planar device roadmap beyond node20nm through ultra thin body technology*, VLSI-TSA, 2011
- [Andrieu] F. Andrieu et al., *Fully Depleted Silicon-On-Insulator with back bias and strain for Low Power and High Performance applications*, ICICDT, 2010, pp. 59-62
- [Liu] Q. Liu et al., *Ultra-Thin-Body and BOX (UTBB) Fully Depleted (FD) Device Integration for 22nm Node and Beyond*, Symposium on VLSI Technology Digest of Technical Papers, 2010, pp.61-62
- [Cheng] K. Cheng et al., *Extremely Thin SOI (ETSOI) CMOS with Record Low Variability for Low Power System-on-Chip Applications*, IEDM, 2009, pp.49-52
- [Arnaud 1] F. Arnaud et al., *32nm General Purpose Bulk CMOS technology for High Performance Applications at Low Voltage*, IEDM,2008
- [Arnaud 2] F. Arnaud et al., *Competitive and Cost Effective high-k based 28nm CMOS Technology for Low Power Applications*, IEDM, 2009, pp. 651-654
- [Natarajan] S. Natarajan et al., *A 32nm Logic Technology Featuring 2nd- Generation High-k + Metal-Gate Transistors, Enhanced Channel Strain and 0.171 μm^2 SRAM Cell Size in a 291Mb Array*, IEDM,2008
- [Tomimatsu] T. Tomimatsu et al., *Cost-Effective 28-nm LSTP CMOS using Gate- First Metal Gate/High-k Technology*, Symposium on VLSI Technology Digest of Technical Papers, 2009, pp.36-37
- [Majumdar] Amlan Majumdar et al., *High-Performance Undoped-Body 8-nm-Thin SOI Field-Effect Transistors*, IEEE Electron Device Letters, vol. 29, no. 5, May 2008, pp.515-517
- [Fenouillet] C. Fenouillet-Beranger et al., *Fully Depleted SOI Technology using High-K and Single-Metal Gate for 32nm Node LSTP Applications featuring 0.179 μm^2 6T-SRAM bitcell*, IEDM, 2007, pp.267-270
- [Watanabe] R. Watanabe et al., *A low power 40nm CMOS technology featuring extremely high density of logic (2100kGate/mm²) and SRAM (0.195 μm^2) for wide range of mobile applications with wireless system*, IEDM,2008
- [Jan] C.-H. Jan et al., *A 45nm Low Power System-On-Chip Technology with Dual Gate(Logic and I/O) High-k/Metal Gate Strained Silicon Transistors*, IEDM,2008
- [Aime] D. Aimé et al., *Fully-Depleted SOI CMOS Technology using W_xN metal gate and $HfSi_xO_yN_z$ high-k dielectric*, ESSDERC, 2007, pp. 255- 258

CHAPITRE

LOGICIEL DE SIMULATION ATLAS-
SILVACO

3

Chapitre 3.

Logiciel de simulation Atlas-Silvaco

3.1 Introduction

Les simulateurs TCAD (Technology Computer-Aided Design) permettent la modélisation du comportement physique et électrique d'un composant électronique, dans le but d'économiser le temps et le coût de développement, et ainsi de pouvoir envisager et optimiser des solutions pour améliorer les performances des dispositifs.

Dans ce chapitre, nous présenterons le logiciel de simulation TCAD-SILVACO (ATLAS), son principe de fonctionnement et son module de simulation pour le comportement électrique des composants. Ensuite, nous présentons une description des différentes étapes de simulation.

3.2 Présentation du paquet des programmes SILVACO

Sous SILVACO l'ensemble des outils de simulation et des outils interactifs permettant la conception et l'analyse de la plus part des dispositifs semi-conducteurs s'appelle VWF (Virtual WaferFab)[1]. Les composants de base de VWF sont (Figure3.1.):

1. *Les outils de simulation (VWF coretools)*. Ces outils simulent soit leurs processus de fabrication ou soit leurs comportements électriques. Les outils de simulation sont Athena, Atlas et SSuprem3.
2. *Les outils interactifs (VWF interactive tools)*. Ces outils sont désignés pour être utilisés en mode interactif dans la construction d'un seul fichier d'entrée. En étant basé sur une interface utilisateur qui est graphique (Graphical User Interface, GUI), le travail de construction du fichier d'entrée devient plus efficace. Les outils interactifs peuvent être utilisés soit en relation avec un ensemble de fichiers, ou comme des composants intégrés dans l'environnant « VWF automation tools».
3. *Les outils d'automatisation (VWF automation tools)*. Ces outils permettent à l'utilisateur d'exécuter sur une grande échelle des études expérimentales pour créer des résultats pour l'analyse statistique suivante. Ces outils automatiques se servent de : la technologie de base de données répartie et des méthodes de logiciels de transmissions d'inter processus.

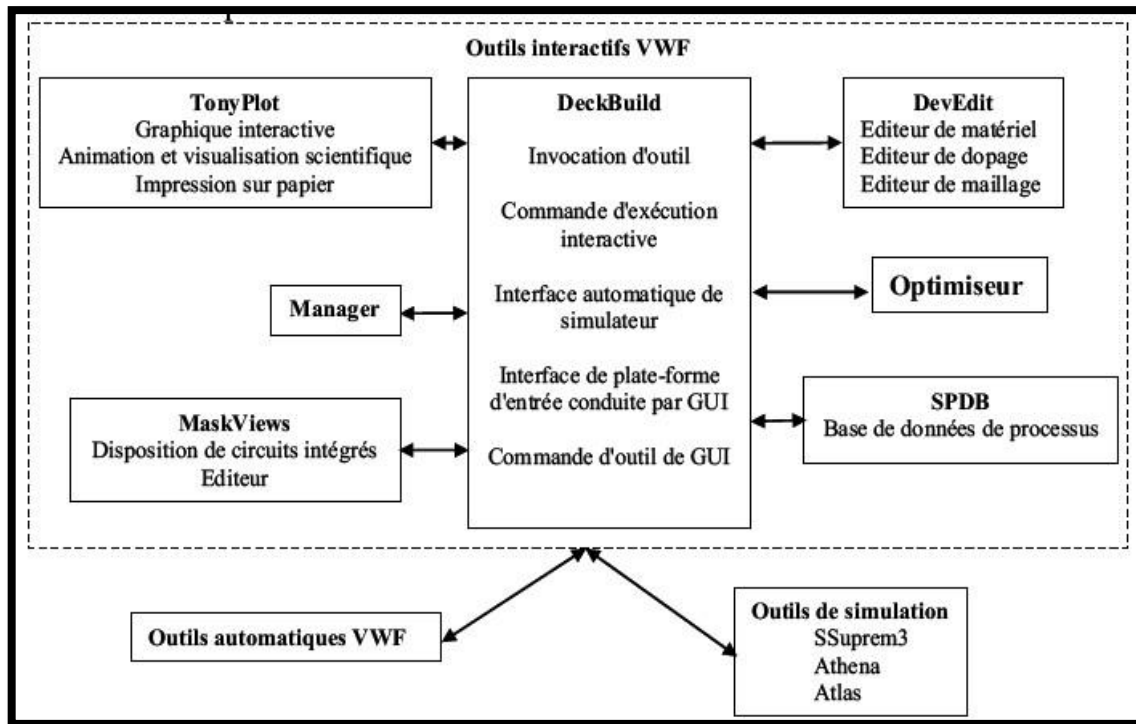


Figure.3.1 : Organigramme de la structure VWF.

Ainsi les modules de VWF sont les suivants :

a. Les outils interactifs VWF

- **TonyPlot**: outil de visualisation et d'analyse graphique 1D et 2D des résultats des simulations.
- **Manager**: outil de gestion des fichiers utilisés et créés par VWF.
- **MaskViews**: outil de dessin des masques (layouts).
- **DeckBuild**: environnement d'exécution interactif qui permet la simulation des processus et de dispositifs (mais principalement il est l'interface avec les outils de simulation)
- **DevEdit**: outil d'édition de structure, on peut créer des nouvelles structures ou même modifier des structures existantes, on peut définir des maillages ou raffiner les maillages existants
- **Optimiseur** : outil d'optimisation automatique.
- **SPDB** : (Semiconductor Process Data Base), c'est un produit séparé, ça n'est pas un outil interactif, mais il peut être utilisé avec DeckBuild. Il a été conçu pour stocker un grand nombre de profils de dopage mesurés expérimentalement ainsi que les données qui décrivent les conditions des expériences.

b. Les outils de simulation

- **SSuprem3** : simulateur de procédé 1D avec prolongements simples de simulations des dispositifs
- **Athena** : simulateur 2D de procédés technologiques qui permet de simuler les différentes étapes effectuées en Salles Blanches et ainsi d'obtenir la structure du dispositif (couches constitutives, dimensions, géométrie) avec les profils de dopage
- **Atlas** : simulateur 2D ou 3D de dispositifs semi-conducteurs qui permet d'obtenir leurs caractéristiques électriques (statiques ou dynamiques)

Le projet réalisé dans le cadre de ce travail de mémoire, a été basé principalement sur les interfaces graphiques « DevEdit » et « DeckBuild » et sur l'outil de simulation par éléments finis « Atlas ».

La structure créée sous DevEdit implique la définition des couches (dimensions, type de matériel (métal, semi-conducteur, isolant), si c'est le cas, le type de dopant et la forme du dopage (uniforme, gaussien, trapézoïdal, etc.) ainsi que le maillage (avec des pas fixes, adaptable d'une couche à l'autre et plus ou moins raffiné)). La structure ainsi créée est à travers « DeckBuild » importée sous « Atlas ». Mais « Atlas » met aussi à notre disposition un outil propre de définition de la structure qui simplifie beaucoup le travail du programmeur. Une difficulté rencontrée a été le fait que l'importation de la structure créée sous « DevEdit » n'est pas tout le temps parfaite, « Atlas » a une façon d'interpréter le maillage qui est légèrement différente. « DevEdit » a l'avantage de nous aider didactiquement et graphiquement pour réaliser nos structures en créant en final le code à exporter. Enfin une fois la simulation effectuée sous « Atlas », la visualisation des résultats se fait via le logiciel « TonyPlot ».

Par la suite nous allons développer la présentation de l'outil « Atlas » que nous avons utilisé principalement pour effectuer la simulation de notre structure.

3.3 Présentation d'Atlas

Le logiciel de simulation ATLAS est un simulateur de modélisation bidimensionnelle de composants semi-conducteurs. Il est capable de prédire les caractéristiques électriques de la plupart des composants semi-conducteurs en régime continu, transitoire ou fréquentiel.

En plus du comportement électrique, exemple $I(V)$, il fournit des informations sur la distribution interne des variables électrique telles que le courant ou la tension (lignes de champ).

Ceci est réalisé en résolvant numériquement les équations de Poisson et de continuité des électrons et des trous (à deux dimensions) en un nombre fini de points formant le maillage de la structure défini par l'utilisateur ou par le programme.

Ce simulateur est composé de deux parties :

- une partie de traitement numérique (méthode d'intégration, de discrétisation...),
- une partie formée des modèles physiques des composants semi-conducteurs les plus courants modèles de recombinaison (Shockley Read Hall), d'ionisation par impact (Pearson et Monte Carlo), ainsi que les modèles de mobilité, et les statistiques de Fermi-Dirac et Boltzmann.

ATLAS permet de simuler le comportement électrique d'un composant semi-conducteur créé et modélisé comme par exemple une diode ou un transistor. Le composant étudié est représenté comme une structure maillée où chaque nœud a des propriétés qui lui sont associés telles que le type de matériau, le type de dopage, la concentration du dopant, etc.

Ainsi, pour chaque nœud, la concentration de porteurs, le champ électrique, etc. peuvent être calculés. Les électrodes sont représentées par des surfaces sur lesquelles les conditions aux limites sont imposées, comme par exemple, les tensions appliquées.

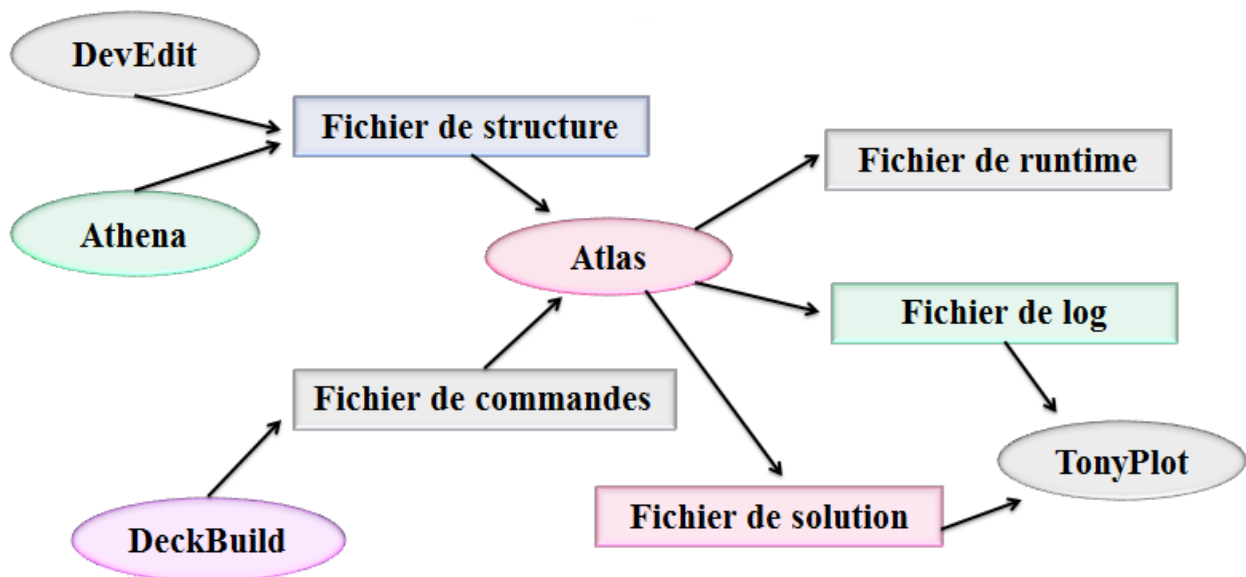


Fig. 3. 2 : Entrées et sorties d'Atlas.

Dans le schéma de la Figure 3.2 nous voyons les types d'informations qui circulent en entrée et en sortie « d'Atlas ». La plupart des simulations réalisées par « Atlas » utilisent deux fichiers d'entrée.

Le premier fichier est un fichier script contenant les commandes pour qu'Atlas s'exécute (représenté par « Fichier de commande »). Le second fichier est un « Fichier de structure » qui définit la structure qui va être simulée.

A la sortie « d'Atlas », nous avons trois types de fichiers.

- Le premier de ces fichiers est la sortie «Runtime» qui donne la progression, les erreurs et les messages d'avertissements pendant la simulation,
- Le deuxième type de fichier est le fichier « log » qui stocke toutes les valeurs de tensions et des courants provenant de l'analyse du dispositif simulé (c'est le fichier du comportement électrique).
- Le troisième fichier de sortie est le « Fichier de solution », ce fichier stocke les données 2D ou 3D concernant les valeurs des variables solutions dans le dispositif en un point donné (c'est le fichier physique, il contient la structure dans un état particulier). Les deux derniers fichiers sont traités par l'outil de visualisation « TonyPlot ».

3.4 Principe de la simulation numérique

L'étude de la plus part des dispositifs à semi-conducteurs est basée sur la résolution simultanée de l'équation de Poisson et de l'équation de continuité a pour problématique la détermination d'un grand nombre d'inconnues : le potentiel, les concentrations d'électrons et de trous, le champ électrique, les densités de courant, etc. Ces grandeurs physiques internes évoluent au sein du composant dans le temps et l'espace. Elles apparaissent sous une forme discrétisée, comme une suite d'éléments finies. Sous cette condition, les équations traitées dans ces simulateurs peuvent être résolues de façon dynamique en tout point.

3.5 L'ordre des commandes

Après la présentation de la chaîne progicielle TCAD de SILVACO, sa composition interne et le fonctionnement « d'Atlas » nous allons maintenant présenter l'ordre des commandes propres à la logique de programmation « d'Atlas ». Ainsi il existe cinq groupes de commandes, ces groupes doivent être organisés correctement (Figure 3.3). Si l'ordre n'est pas respecté, un message d'erreur apparaît et le programme ne s'exécute pas d'une façon correcte.

Par exemple, si les paramètres ou les modèles de matériaux ne sont pas placés dans l'ordre idoine, le simulateur ne les prend pas en compte [2,3].

Groupe	Commandes
Spécification de la structure	MESH REGION ELECTRODE DOPING
Spécification des modèles des matériaux	MATERIAL MODELS CONTACT INTERFACE
Spécification des solutions	LOG SOLVE SAVE LOAD
Analyse des résultats	EXTRACT TONY PLOT

Tableau. 3.1 : Ordre des groupes des commandes dans un programme Atlas (les commandes fondamentales afférentes).

Les commandes fondamentales sont :

- MESH: cette commande produit un maillage qui a été défini au par avant. L'élément de maille utilisé est le triangle.
- REGION : indique l'endroit des matériaux dans une maille précédemment définie. Chaque triangle doit être défini comme matériel.
- ELECTRODE : indique l'endroit et les noms des électrodes dans une maille bien définie.
- DOPING: indique analytiquement des profils de dopage déjà prédéfinis dans les fichiers dédiés.
- MATERIAL : associe des paramètres physiques aux matériaux dans la maille. (Il faut faire attention parce que le logiciel a des paramètres de matériau définis par défaut pour les semi-conducteurs standard)
- MODELS : indique les carreaux constitutifs du modèle, ils indiquent les inclusions de différents mécanismes physiques, de modèles ou des autres paramètres comme par exemple la température globale pour la simulation.
- CONTACT : indique les attributs physiques d'une électrode.
- INTERFACE : indique les paramètres d'interface aux frontières de semi- conducteur/isolant.

Tous les paramètres s'appliquent seulement aux nœuds de frontière exceptés la où ils sont déjà indiqués.

- **METHOD**: place les méthodes numériques à employer pour résoudre les équations et les paramètres liés à ces algorithmes.
- **LOG** : permet à toutes les caractéristiques finales de simulation d'être sauvées dans un fichier (ouvre un fichier de type log (log en minuscule veut dire le type de fichier, LOG en majuscule veut dire la commande dans le programme)). N'importe quel type de donnée, qu'elle soit C.C., transitoire ou C.A., générée par la commande SOLVE et sauvée après la commande LOG (donc les informations sauvées sont de type électrique et elles sont, par exemple, en fonction de la tension de polarisation ou de la source de lumière). Aussi n'importe quel paramètre spécifié par la commande PROBE est stocké dans le fichier de type log. Si dans le programme il y a plusieurs commandes LOG, chaque fois le fichier log qui a été ouvert avant est fermé et un nouveau fichier log est ouvert.
- **SOLVE** : ordonne à l'Atlas d'exécuter une solution pour un ou plusieurs points de polarisation.
- **LOAD** : charge des solutions précédentes à partir de fichiers en tant que conjectures initiales à d'autres points de polarisation.
- **SAVE** : sauve toutes les informations d'un point nœud du maillage dans un fichier de sortie (les fichiers de sortie sont de type structure). Les informations sauvées correspondent à un état électrique bien précis.
- **EXTRACT** : les commandes de ce type sont utilisées pour extraire les valeurs bien précises des paramètres des deux types des fichiers log ou structure.
- **TONYPLOT** : démarre le programme « TonyPlot » de post processus graphique des donnés.

3.6 Différents étapes de simulation

Pour mieux expliquer l'outil ATLAS de manière rapide et simple nous avons jugé dans notre cadre de travail d'illustrer le fonctionnement de cet outil par l'intermédiaire d'exemple concret [5,4].

Dans cet exemple nous allons simuler les caractéristiques courant-tension d'un transistor FDSOI.

La géométrie du composant étudié est donnée par la figure (3.3).

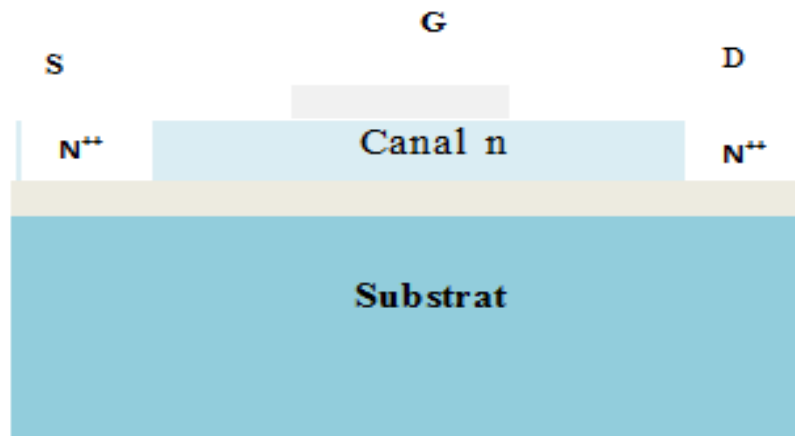


Figure.3. 3: Transistor FDSOI

3.6.1 La spécification de la structure

La spécification de la structure est effectuée en définissant le maillage, les régions, les électrodes et le niveau de dopage.

3.6.1.1 La spécification de maillage

Le maillage joue un rôle important pour l'obtention de bonnes simulations. Celui-ci doit être fait avec la plus grande attention pour garantir la fiabilité des résultats. La méthode numérique utilisée pour résoudre les équations physiques est la méthode des éléments finis.

Son principe de base est la discrétisation par éléments finis des équations à traiter. Les éléments qui définissent la maille élémentaire utilisée par le simulateur sont des prismes. Le choix de maillage doit être fait de façon à avoir un compromis entre la vitesse d'exécution et l'exactitude des résultats, tel qu'un maillage épais produit une rapide simulation, mais les résultats sont moins précis.

Tandis qu'un maillage fin produit un ralentissement de la simulation, mais des résultats plus précis. Donc le maillage fin est plus intéressant de point de vue résultat dans la simulation [1].

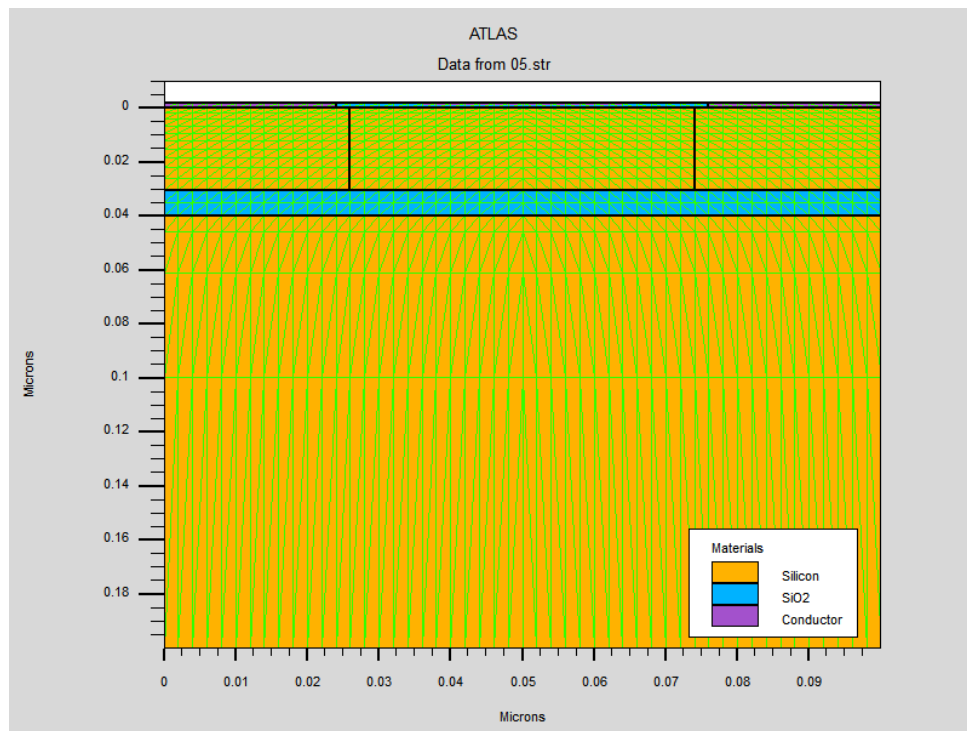


Figure. 3. 4: Maillage à deux dimensions (x,y).

Le format général de définition de maillage est:

X.MESH LOCATION=<VALUE>**SPACING=**<VALUE>

C'est une instruction qui définit le maillage proprement dit.

x.mesh définit le maillage dans la direction x.

x.mesh loc=0.00spac=0.5

x.mesh loc=3.00spac=0.2

Loc définit l'intervalle de maillage.

Spac définit la résolution du maillage.

Y.MESH LOCATION=<VALUE>**SPACING=**<VALUE>

y.mesh définit le maillage dans la direction Y.

3.6.1.2 La spécification des régions

Après avoir déterminé le maillage, il est maintenant nécessaire de définir les régions.

Le format pour définir les régions est comme suit :

REGION number=<integer><material_type><position parameters> En

peut avoir 200 régions différentes dans ATLAS.

Dans notre exemple il y'a quatre régions de silicium et deux régions d'oxyde qui occupent tout le maillage de la structure par exemple : region num=1silicon

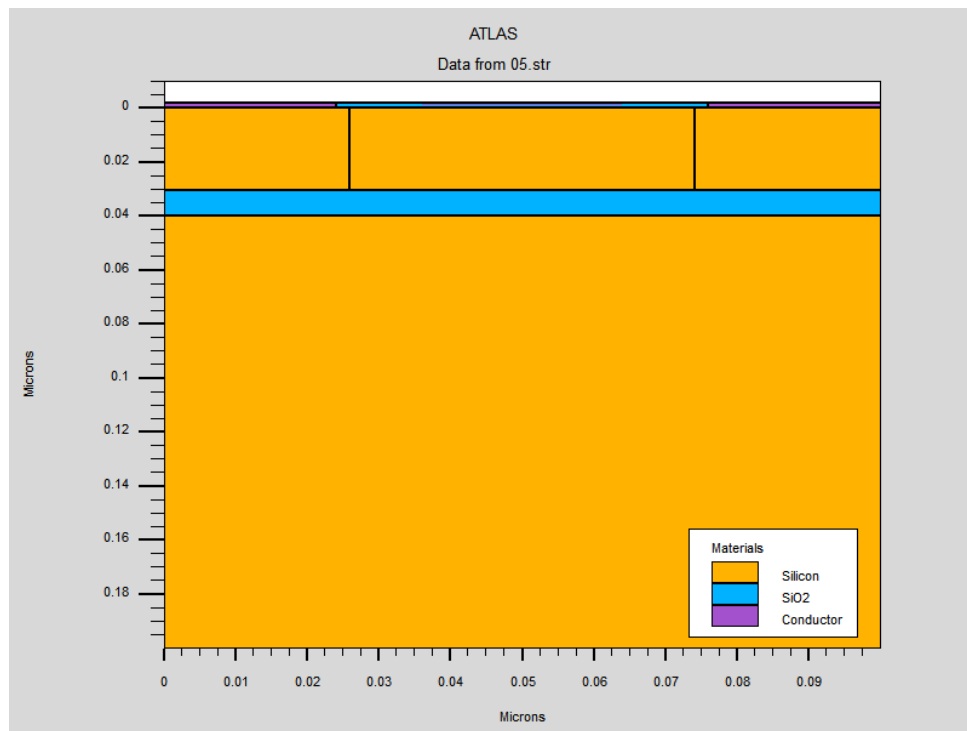


Figure. 3.5 :Définition des régions.

3.6.1.3 La spécification des électrodes

« Atlas » a une limite de 50 électrodes qui peuvent être définies. Le format de définition d'électrodes est comme suit:

ELECTRODE NAME=<electrode name><position_parameters>

Les instructions suivantes :

X.MIN : Spécifie le point de départ de l'électrode.

RIGHT : la position de l'électrode se situe à la droite de la structure (inverse : *LEFT*).

TOP : la position de l'électrode est en haut de la structure (inverse : *BOTTOM*).

Dans notre exemple en haut de la structure on a trois cathodes traduites par l'exemple de l'instruction suivantes :

electrode name=gate x.min=0.036 x.max=0.064 y.max=-0.002

La figure 3.6 montre la position de l'anode et la cathode par des valeurs de x et de y.

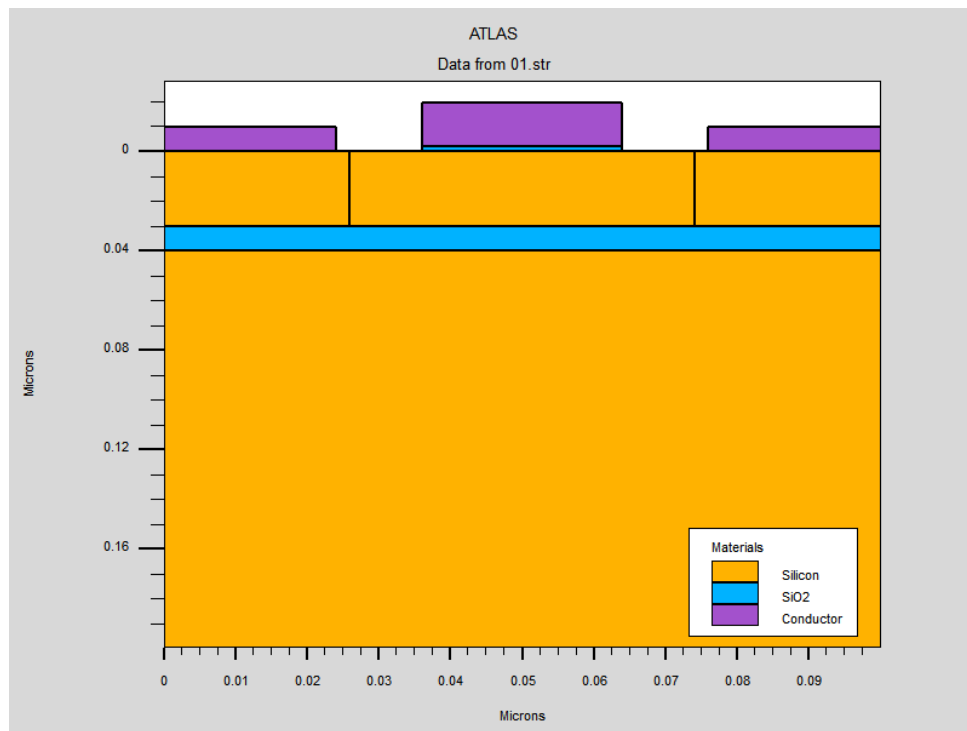


Figure. 3.6: Définition des électrodes

3.6.1.4 La spécification du dopage

Le dernier aspect de la spécification de la structure qui doit être défini est le dopage. Le format de la déclaration de dopage dans « Atlas » se présente comme suit:

DOPING <distribution_type><dopant_type><position_parameters>

Si on veut réaliser une distribution gaussienne de type p dans l'endroit spécifié, avec une jonction pn à $y=1 \mu\text{m}$, et d'une variance de 0.6 on introduit par exemple les instructions :

Doping gauss p.type conc=1e20x.max=0.025 y.max=0 junc=1 rat=0.6

Doping gauss p.type conc=1e20x.min=0.075 y.max=0 junc=1 rat=0.6

On peut aussi construire un dopage uniforme de type n⁺ et d'une valeur $1e20 / \text{cm}^3$.

Doping n.type conc=1e20 x.min=0 x.max=12 uniform

Une fois la structure définie on peut enregistrer ces informations dans un fichier de type.str. Ceci peut être accompli par l'instruction suivante : *save outf=05.str*

De la même manière on peut visualiser le schéma de la structure à l'aide de l'outil Tonyplot en utilisant l'instruction suivante **Tonyplot** 05.str

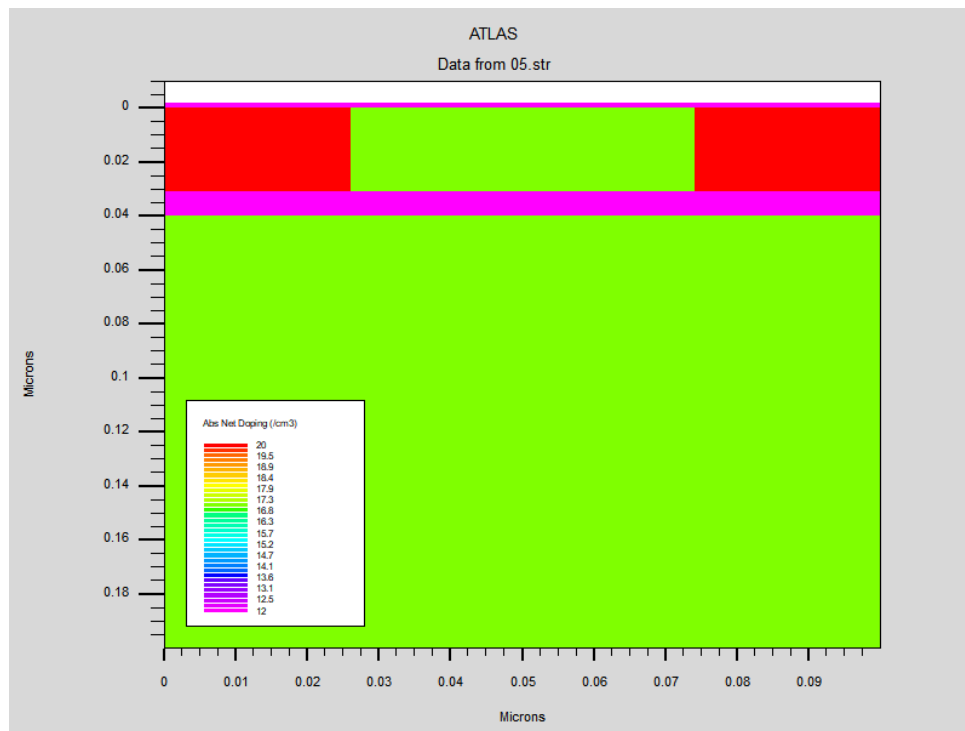


Figure. 3.7 : Définition de dopage

3.6.2 La spécification du modèle et matériel

Après la spécification du maillage et du dopage, on peut facilement modifier les caractéristiques des matériaux utilisés (électrodes, substrat) et changer leurs paramètres qu'ATLAS les prend par défaut et définir notre choix du modèle physique qui sera utilisé pendant la simulation. Ces actions sont accomplies par les instructions suivantes : CONTACT, MATERIAL et MODELS.

3.6.2.1 La spécification du matériel

Tous les matériaux sont classés selon leurs propriétés physiques comme par exemple:

- la conductivité (conducteurs, semi-conducteurs, isolants)
- l'affinité électronique
- l'énergie du gap
- la mobilité
- la densité des porteurs
- La vitesse de saturation,

etc...Par exemple:

L'énergie de gap du silicium (Si) à 300 K est : 1.12 eV peut s'écrire sous ATLAS par l'instruction suivante: **MATERIAL MATERIAL=Silicon EG300=1.12**

3.6.2.2 La spécification du modèle

Tous les modèles physiques sont spécifiés par les deux instructions **MODELS** et **IMPACT**.
Pour spécifier:

- La dépendance de la mobilité en fonction de la concentration des porteurs on introduit le modèle **CONMOB**,
- la dépendance de la mobilité du champ électrique par **FLDMOB**,
- Le facteur de génération recombinaison par **SRH**,
- La distribution Fermi Dirac par **FERMIDIRAC**
- Si la bande interdite devient étroite dans le cas d'un fort dopage par **BGN**
- D'autres modèles peuvent être introduits comme l'effet AUGER, Effet Tunnel etc..

Dans notre exemple :

```
MODELS CONMOBFLDMOB SRH FERMIDIRAC BGNAUGER
```

3.6.2.3 La spécification du contact

Si une électrode est en contact avec un semi-conducteur, par défaut, ATLAS le reconnaît comme un contact ohmique. Si l'instruction *Workfunction*, spécifiant le travail de sortie en eV, est ajoutée, le contact est considéré comme un contact Schottky, parfois on introduit le nom du métal comme *tungsten* pour le tungstène, l'instruction est donnée par:

```
CONTACT NAME=Anode WORKFUNCTION=4.97
```

3.6.3 Les méthodes numériques

Après la spécification complète de la structure (géométrie et physique) ATLAS commence à résoudre une série d'équations (équations de continuité, équation de Poisson, équations de diffusion) pour calculer les densités des porteurs, les potentiels et les courants.

Parmi les différentes méthodes numériques de résolution des systèmes d'équation, trois types de techniques sont utilisées dans « Silvaco-Atlas »:

- Méthode de Gummel
- Méthode de Newton
- Méthode des blocs

La solution est définie par l'instruction suivante :

```
METHOD GUMMEL NEWTON
```

3.6.4 Les solutions

Dans le cas d'un courant continu (DC), on donne une valeur initiale de la tension et la valeur finale avec le pas, l'instruction qui permet de trouver les solutions (courant, potentiel, porteurs, etc..) est donnée par :

Solve Vgate=0.05 Vstep=0.02 Vfinal=1.0 Name= gate

Dans notre exemple, si on veut récolter les caractéristiques électriques, on a besoin de l'instruction ***log*** (qui ne signifie pas le logarithme), qui enregistre ces caractéristiques dans un fichier nommé ***soiex02_1.log***.

Pour visualiser le fichier de données ainsi enregistrés, l'instruction ***Tonyplot***, est très bien adaptée pour ce ***log*** ***outfile=soiex02_1.log***.

Tonyplot soiex02_1.log

La fin du programme est marqué par l'instruction ***Quit***, les résultats obtenus seront affichés immédiatement sous ***Tonyplot***.

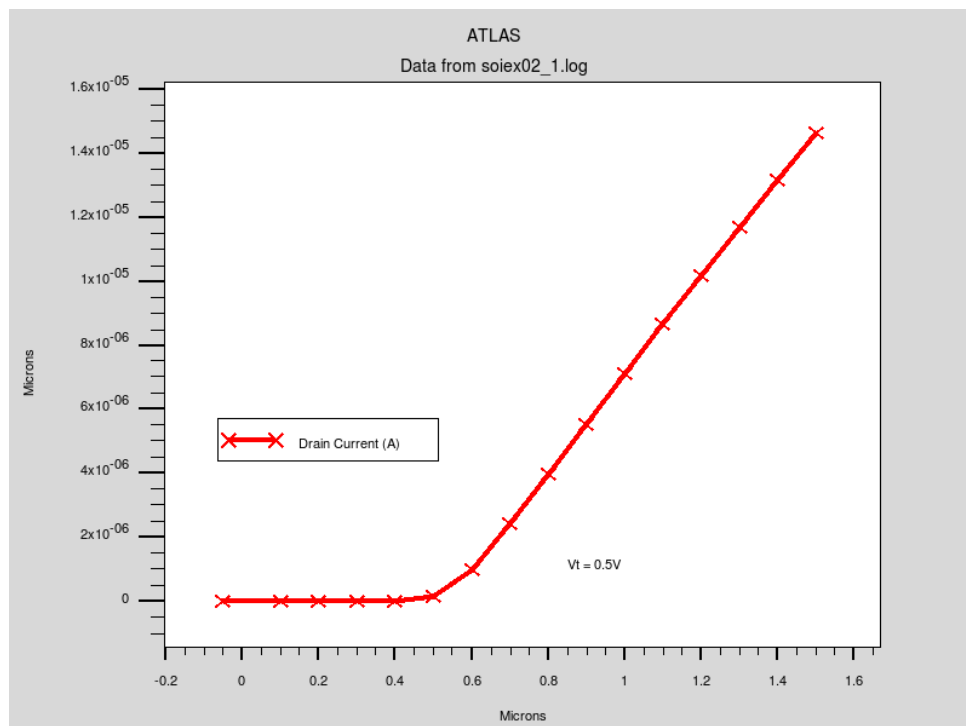


Figure. 3.8 :La caractéristique courant-tension sous Tonyplot.

3.7 Références bibliographiques

- [1] R. NEGRU, " Conception et modélisation de pixels de photodétection -photodiodes PIN en vue de leurs utilisation comme détecteurs de particules", Thèse de Docorat, Ecole Polytechnique, Plaiseau France, 2008.
- [2] Atlas user's manual, Silvaco international,2004.
- [3] Silvaco International, <http://www.silvaco.com>.
- [4] TCAD Tutorial and Examples, VolumeI, Silvaco international,1999.
- [5] F.Bourouba, "Modilisation et simulation des contacts metal-semiconducteur à barrier inhomogene" INHOMOGENE Mémoire de Magistère, Université de Sétif, 2010.

CHAPITRE

SIMULATION DE L'ARCHITECTURE
UNDERLAP

4

Chapitre 4.

Simulation de l'architecture underlap

4.1 Introduction

Dans les MOSFET conventionnels, un chevauchement (overlap) entre la grille et les régions Source / Drain est présent en raison de l'extension des profils grille-source / drain sous la grille. Ceci produit une capacité de chevauchement (overlap) (C_{OV}) (figure 4.1) et également une réduction de la longueur effective du canal (L_{eff}). Avec L_{eff} plus court, la grille perd sa capacité à contrôler entièrement le canal qui se traduit par les Effets à canal court (SCE). Pour éliminer les SCE, l'utilisation des MOSFET sans chevauchement, c'est-à-dire avec underlap [1] [2], est capable de supprimer les SCE en raison du champ électrique latéral agissant sur le canal. Donc l'underlap G-S / D fait référence à la distance entre le bord de la grille et le niveau de dopage S / D. Silicium sur isolant totalement désertée (FD-SOI), présente une structure de grille-underlap avec un faible dopage ou non dopé utilisée pour optimiser la résistance série. La mise en œuvre de l'underlap est plus faisable pour le FD-SOI par rapport au bulk, car le canal peut être maintenu non dopé [1] [3]. Ce travail explore en profondeur l'impact de l'underlap (L_{UL}) G-S / D sur les performances des dispositifs UTBB 28 nm. En terme d'influence sur les caractéristiques I_d - V_g et le DIBL (Drain-Induced Barrier Lowering). Les résultats peuvent être utiles pour fournir des informations sur les directives de conception pour UTBB SOI MOSFET non seulement pour 28 nm mais aussi pour des longueurs de grille bien plus courtes.

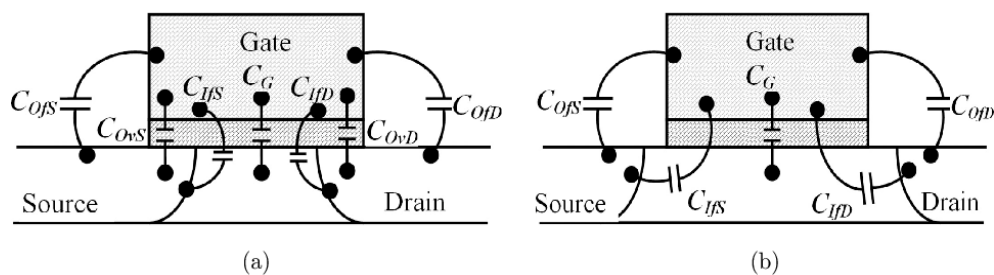


Figure. 4.1: Le dispositif FDSOI avec les capacités parasites (a) overlap (b) Underlap

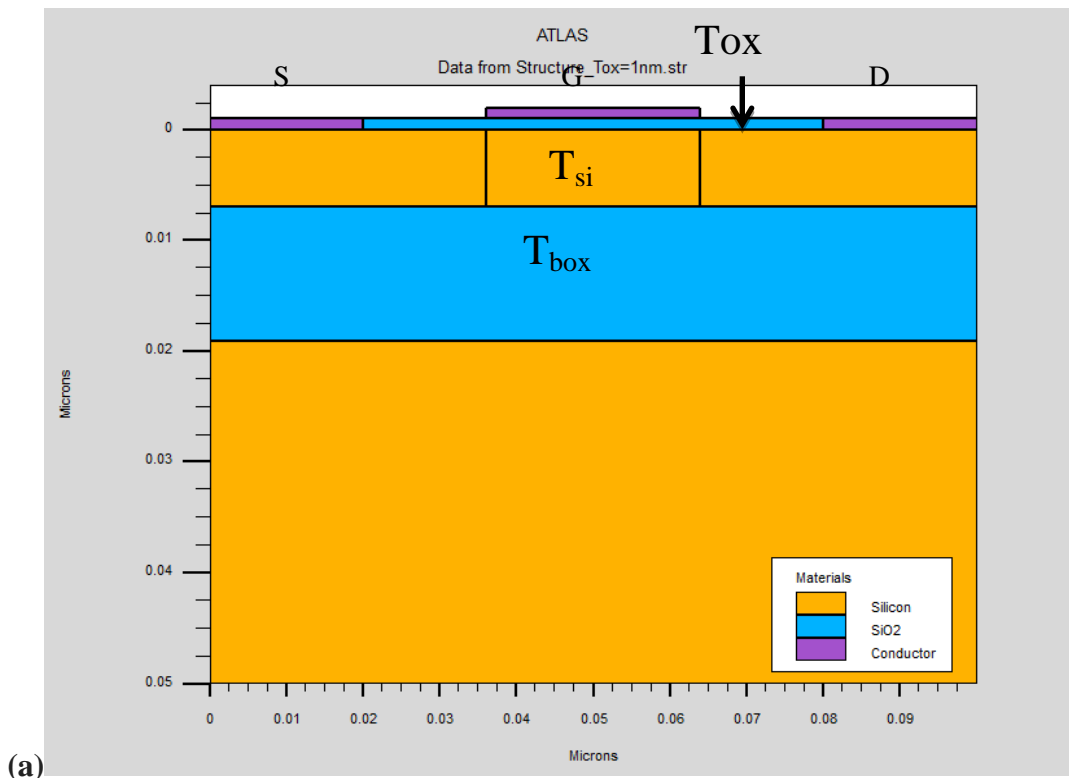
4.2 Simulation

4.2.1 Méthodologie de simulation

Des simulations bidimensionnelles (2D) sont effectuées pour les dispositifs MOSFET UTBB FDSOI en utilisant le simulateur Silvaco Atlas. Un canal métallurgique de longueur (L_g) de 28 nm est utilisé, l'épaisseur du diélectrique de la grille est de 1 et 2 nm d'oxyde (EOT). Le travail de sortie de la grille est de 4,74 eV. Un dopage uniforme est utilisé pour les régions source et drain avec une forte concentration type n de 10^{20} atomes / cm^3 , alors que la région de canal est faiblement dopée 10^{15} atomes / cm^3 type n. Les résultats présentés ici sont obtenus en utilisant le modèle de recombinaison Shockley-Read-Hall (SRH) et le modèle Lombardi (CVT) pour la mobilité.

4.2.2 Structure du dispositif simulé

Pour les simulations du FDSOI on utilise une épaisseur de canal (T_{si}) de 7 nm et une épaisseur d'oxyde enterré (T_{BOX}) de 10 nm. Les paramètres [4] [5] de conception adoptés dans ce travail des dispositifs fabriqués (Figure.4.2) sont présentés dans le Tableau 1. Différentes longueurs underlap (L_{UL}) de 0, 5 et 10 nm sont simulées.



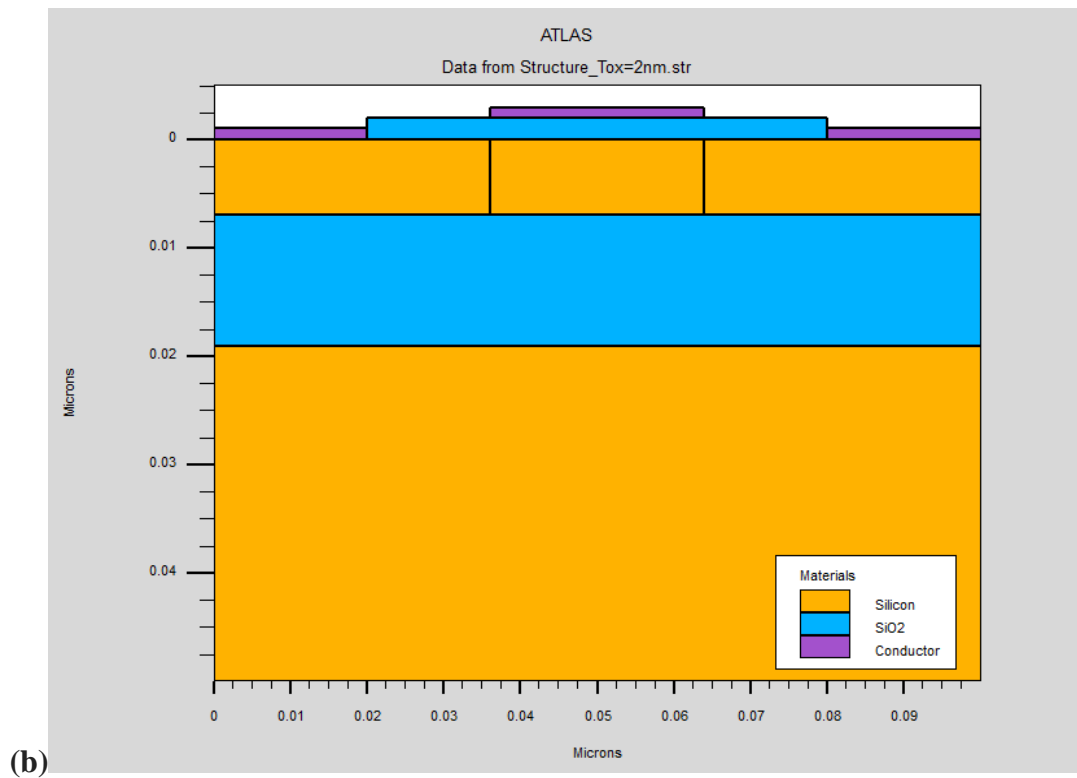


Figure. 4.2: dispositifs FDSOI utilisés dans les simulations (a) $T_{ox}=1\text{nm}$ (b) $T_{ox}=2\text{nm}$

Longueur de la grille (L_g)	28 nm
Dopage donneur (N_d)	$1 \times 10^{20} \text{ cm}^{-3}$
Épaisseur d'oxyde de grille (T_{ox}) et Matériel	1 et 2 nm, SiO ₂
Travail de sortie de la grille	4.74 eV
Tension de grille (V_g)	1,5 V
Tension de drain (V_d)	0.5 et 1 V
Épaisseur du silicium (T_{si})	7 nm
Épaisseur du BOX (T_{BOX})	10 nm

Tableau 4.1. Paramètres de conception

4.3 Résultats et discussion

4.3.1 L'effet de la variation de l'épaisseur de l'oxyde sur les caractéristiques I_d - V_g

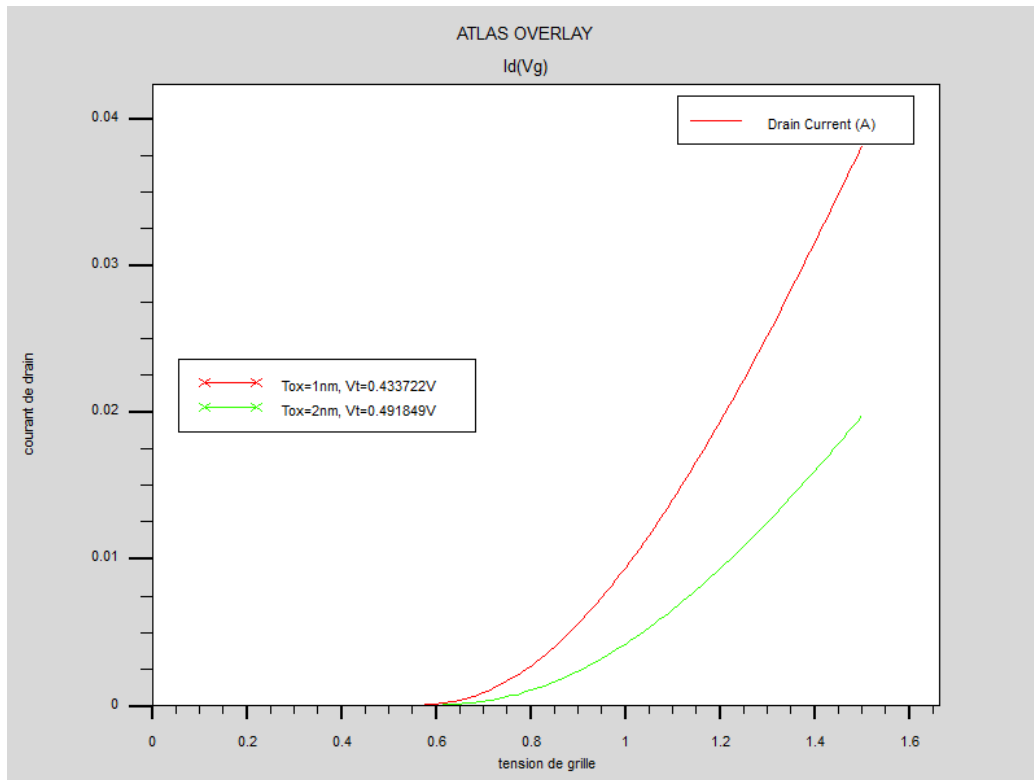


Figure. 4.3: caractéristique I_d - V_g pour différentes valeurs de T_{ox}

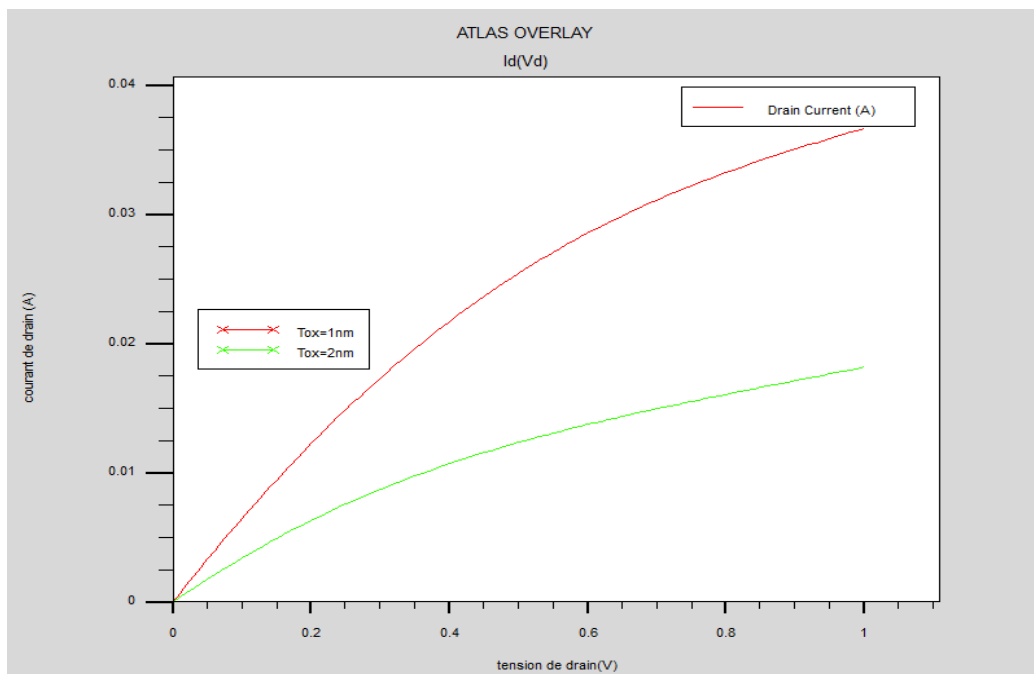


Figure. 4.4: caractéristique I_d - V_d pour différentes valeurs de T_{ox}

Pour observer l'effet de la variation de T_{ox} sur le courant I_d , nous avons choisi deux valeurs de l'épaisseur de l'oxyde $T_{ox} = 1\text{nm}$ et $T_{ox}=2\text{nm}$ afin d'examiner l'effet de cette variation. Les résultats de simulation que nous avons obtenus sont représentés sur les figures 4.3 et 4.4.

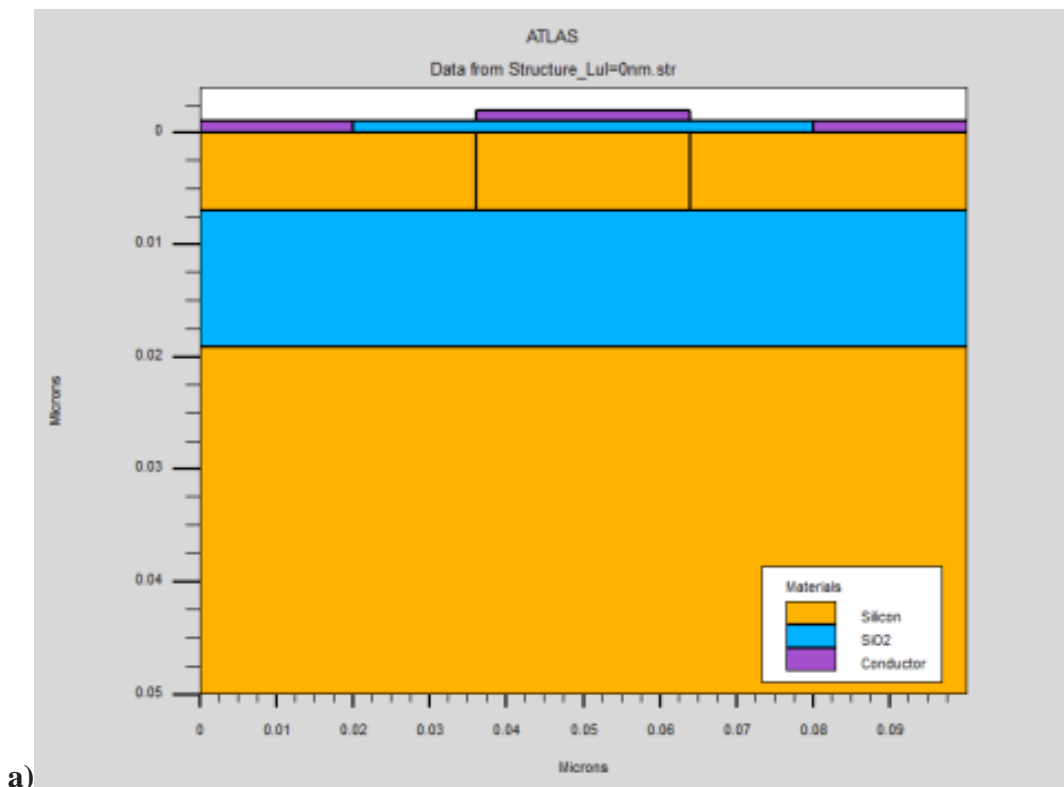
Tout d'abord à partir du réseau de caractéristiques I_d-V_g , on peut remarquer que la tension de seuil du transistor varie avec la variation de l'épaisseur de l'oxyde. En effet la tension de seuil augmente quand l'épaisseur de l'oxyde augmente à cause la réduction de l'intensité du champ au niveau de la grille Figure 4.3.

On observe par contre sur la caractéristique I_d-V_d (Figure 4.4) aisément le courant I_d augmenté lorsque T_{ox} diminue, et vice et versa. Ce qui revient à dire qu'une grande épaisseur d'oxyde pour des structures à faibles géométries a pour conséquence l'isolation de la grille qui ne commandera plus le canal. De ce fait l'épaisseur de l'oxyde doit être le plus mince possible mais tout en étant comprise dans des normes admissibles et non inférieure à une certaine valeur qui changerait la nature de la structure et ceci afin d'avoir un meilleur courant.

La réduction des dimensions au-dessous de 2 nm d'épaisseur d'oxyde, induit un passage des porteurs par effet tunnel direct. Ce passage est à l'origine d'un courant tunnel de grille, d'autant plus important que l'épaisseur de l'oxyde est fine. Une solution pour supprimer la poly-déplétion de grille et les fuites tunnel est l'utilisation des high-K avec une grille métallique. Une des conséquences supplémentaires de la miniaturisation est l'effet du confinement quantique sur le canal ce qui rajoute environ 0.2~0.4 nm d'épaisseur réelle du diélectrique dans le cas des électrons.

4.3.2 L'impact de l'underlap grille-source/drain sur le courant de drain

Pour le reste de notre travail on simulera la structure avec le $T_{ox}=1\text{nm}$.



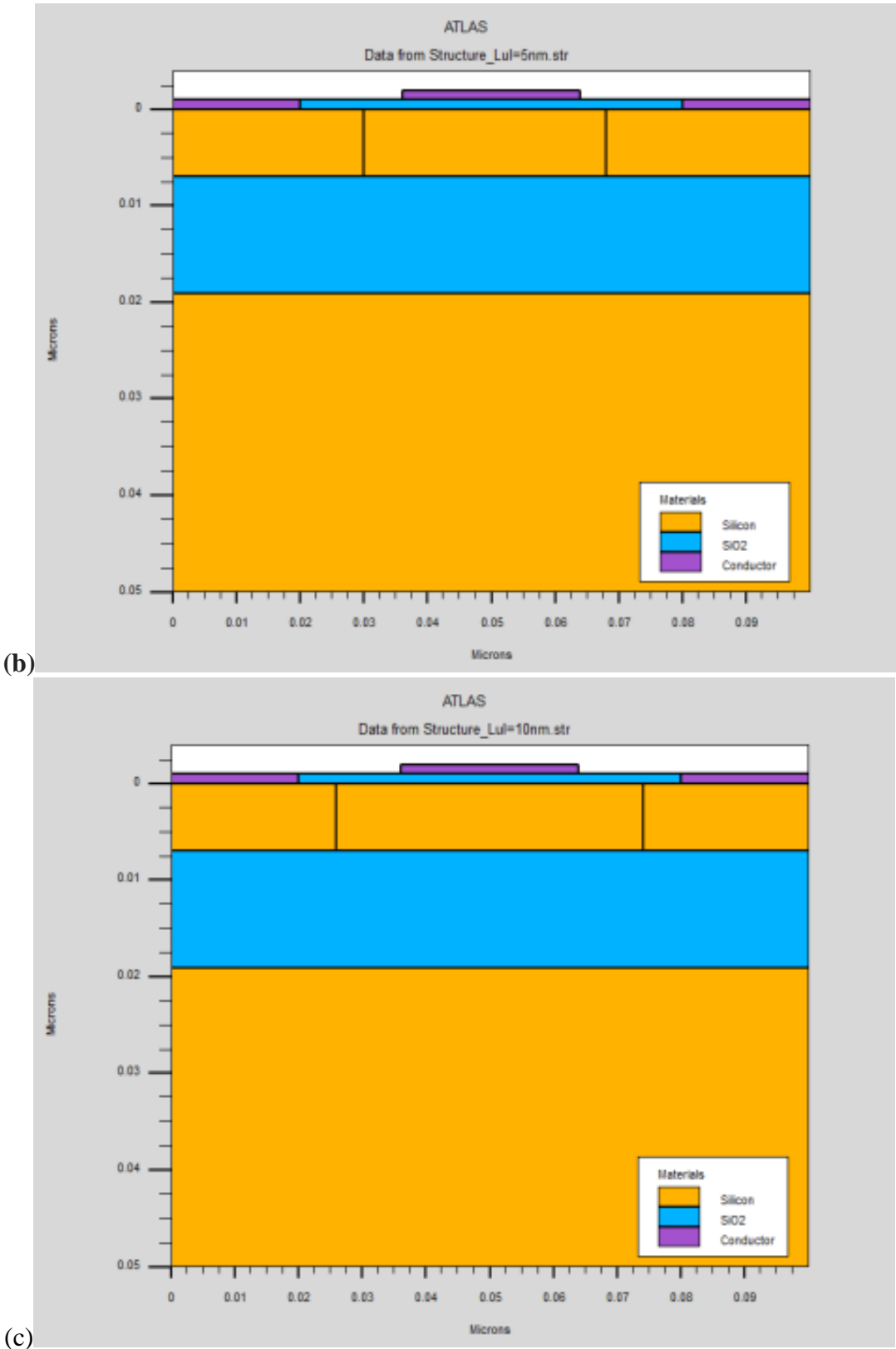


Figure. 4.5 : structures FDSOI montrant l'underlap (a) LUL=0nm (b) LUL=5nm (c) LUL=10nm

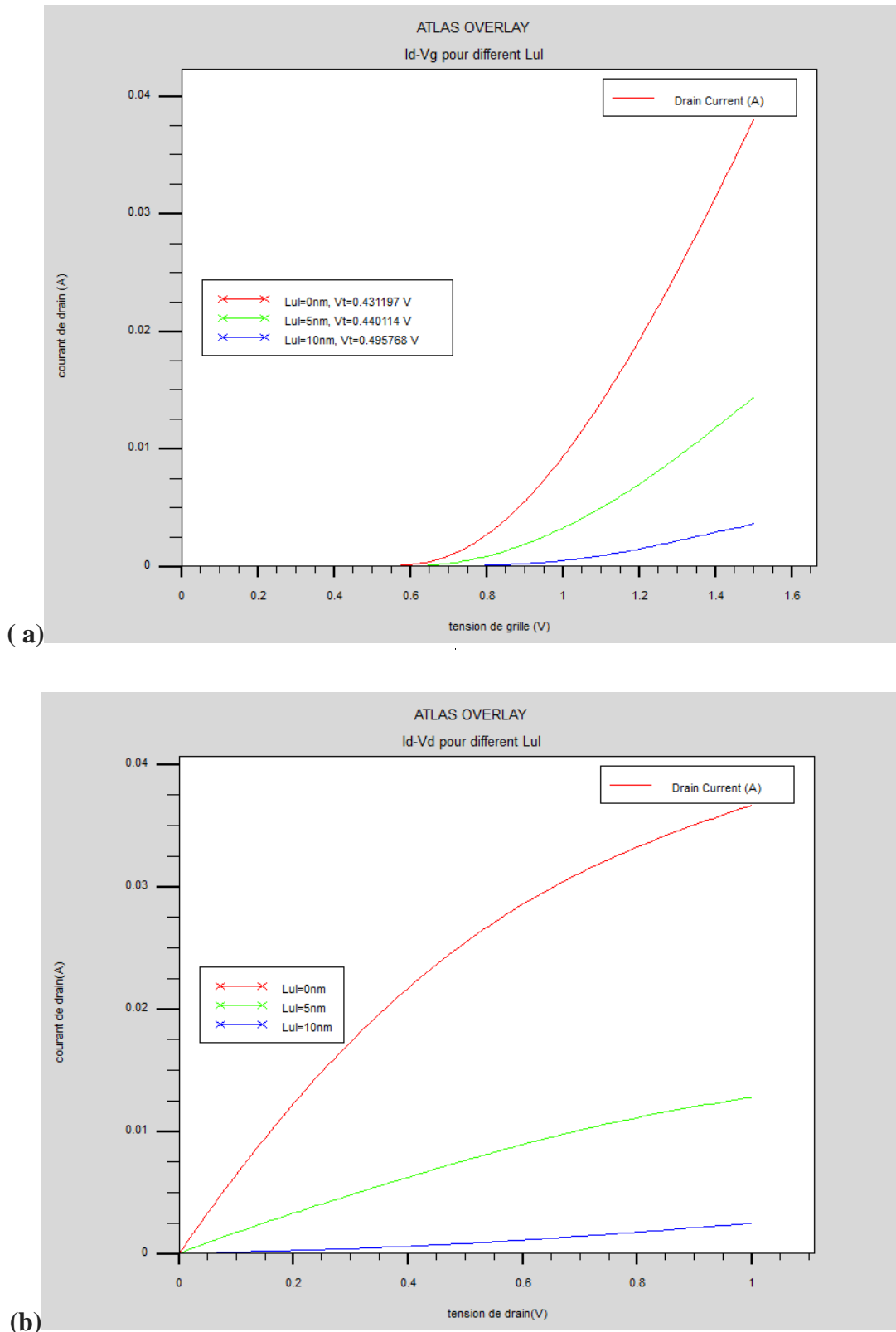


Figure. 4. 6: Caractéristiques du courant de drain pour $V_d=1V$ montrant l'impact de L' underlap sur le dispositif FDSOI (a) I_d - V_g (b) I_d - V_d .

On peut voir sur les caractéristiques que la tension de seuil et le courant I_d (Figure 4.6) diminuent en augmentant l'underlap (Lul), à cause d'une L_{eff} plus longue et du champ latéral plus grand.

4.3.3 La mise en évidence des courants I_{on} et I_{off} de la structure

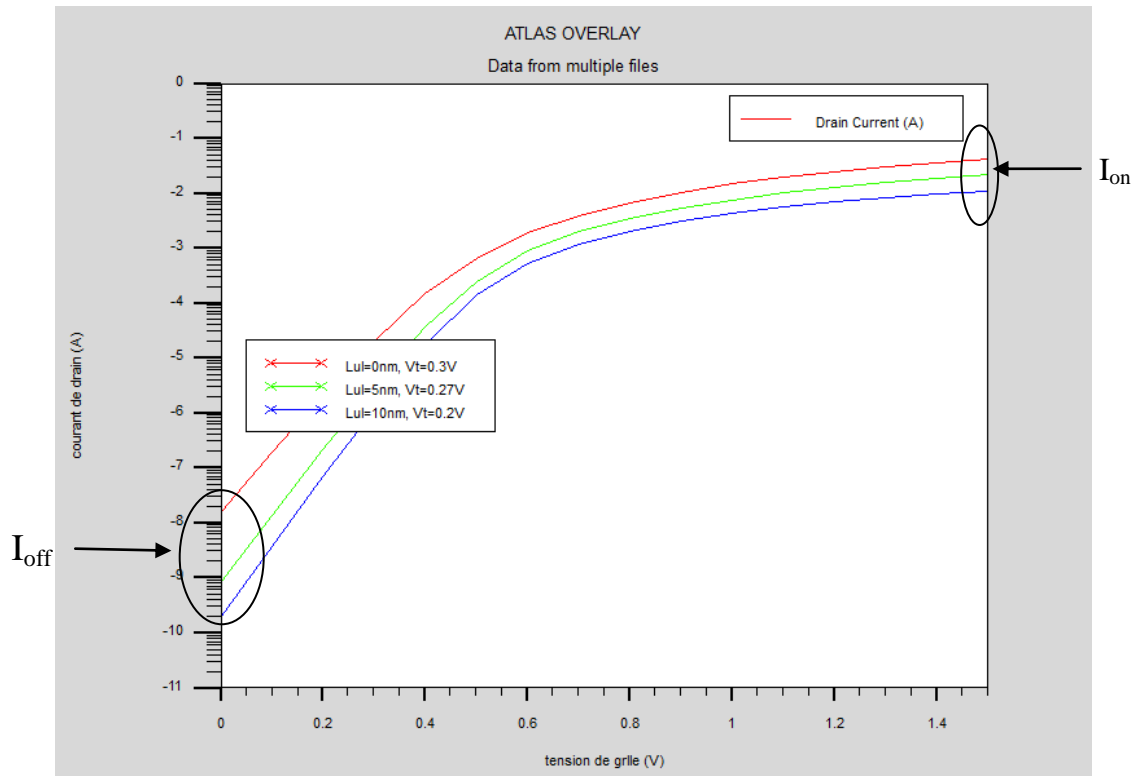


Figure. 4. 7: Influence de l'underlap sur les courants I_{on} et I_{off} pour $V_d=1V$.

Sur la figure 4.7 On peut voir qu'une augmentation de l'underlap présente un courant à l'état bloqué plus faible (I_{off}) en raison d'une L_{eff} plus longue en faible inversion. Finalement c'est le faible champ électrique latéral qui améliore les SCE cela est en accord [6]. Cependant, l'underlap le plus long présente également un courant plus faible (I_{on}) en raison de la résistance totale très élevée cela veut dire une augmentation de la résistance série au niveau de la source et du drain et aussi de L_{eff} . Par conséquent, il y a un compromis pour améliorer le comportement du canal court en réduisant les courants de fuites dans les dispositifs avec plus d'extension de la longueur [1] [7] [8].

I_{off} (courant de fuite) est défini comme le courant de drain à $V_d=1V$ et $V_g=0 V$, alors que I_{on} (courant débité) est défini comme le courant de drain à $V_d=1V$ et $V_g=1,5V$.

➤ T_0 =temps de commutation $=CV_d/I_{on}$

I_{on} élevé permet donc de réduire le délai de réponse du dispositif

Applications: CPU (on maintient V_d élevé)

➤ P =puissance statique dissipée par le dispositif= $V_d.I_{off}$

I_{off} détermine donc la puissance dissipée par un composant au repos

Intérêt du I_{off} faible: Equipement portable et Dissipation de chaleur limitée

Objectif du transistor: posséder le meilleur compromis I_{on}/I_{off}

Problème: l'amélioration d'un paramètre se fait toujours au détriment de l'autre!

- Transistors High-Performances : I_{on} élevé et I_{off} relaxé application CPU
- Transistors Low-Power : I_{on} relaxé et I_{off} très faible application portable

4.3.4 L'effet de l'underlap sur la transconductance (gm)

La transconductance (gm), est l'un des paramètres les plus importants pour la mesure du gain des dispositifs. La figure 4.8 montre les résultats de la transconductance (gm) pour différent underlap. Comme $gm = dI_d / dV_g$, un undelap plus long produit moins de gm en raison du faible courant de drain(I_d) déjà observé précédemment sur la figure 4.6 en raison de la résistance totale très élevée.

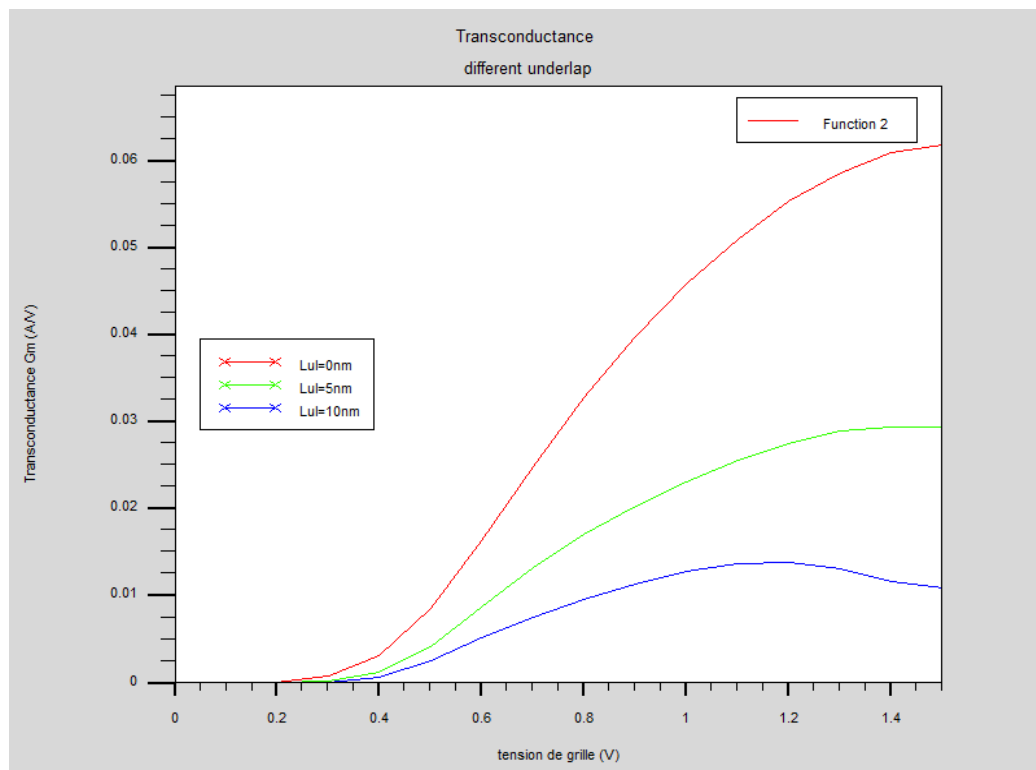


Figure. 4.8: Transconductance, G_m en fonction de l'underlap (L_{UL})

4.3.5 L'extraction du courant de fuite (leakage)

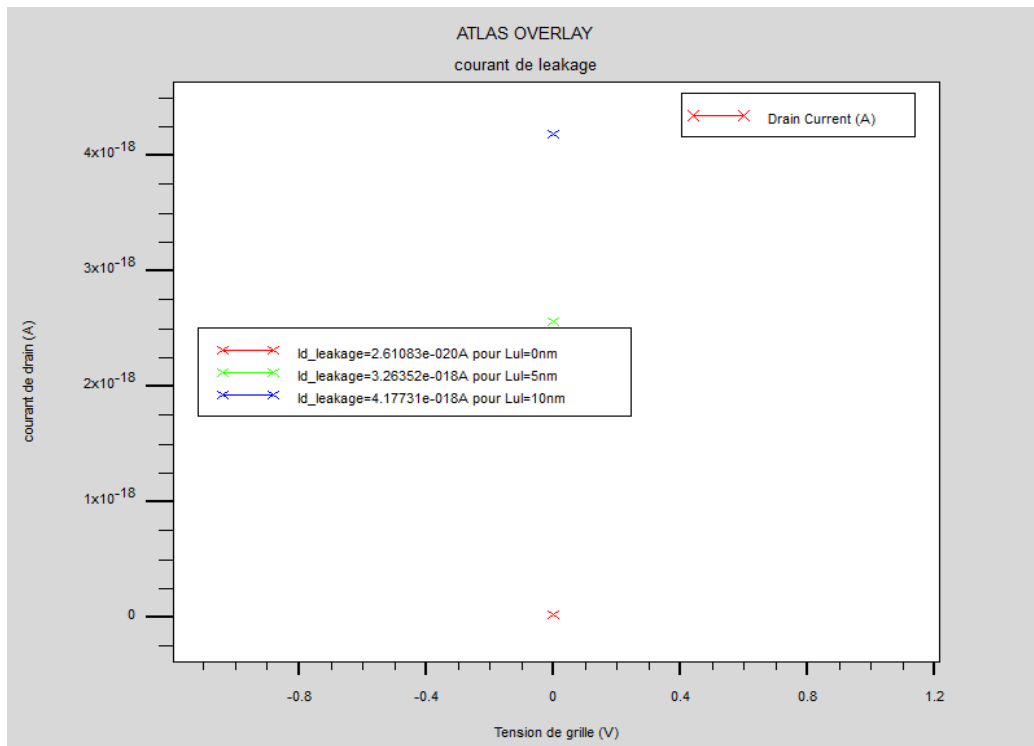
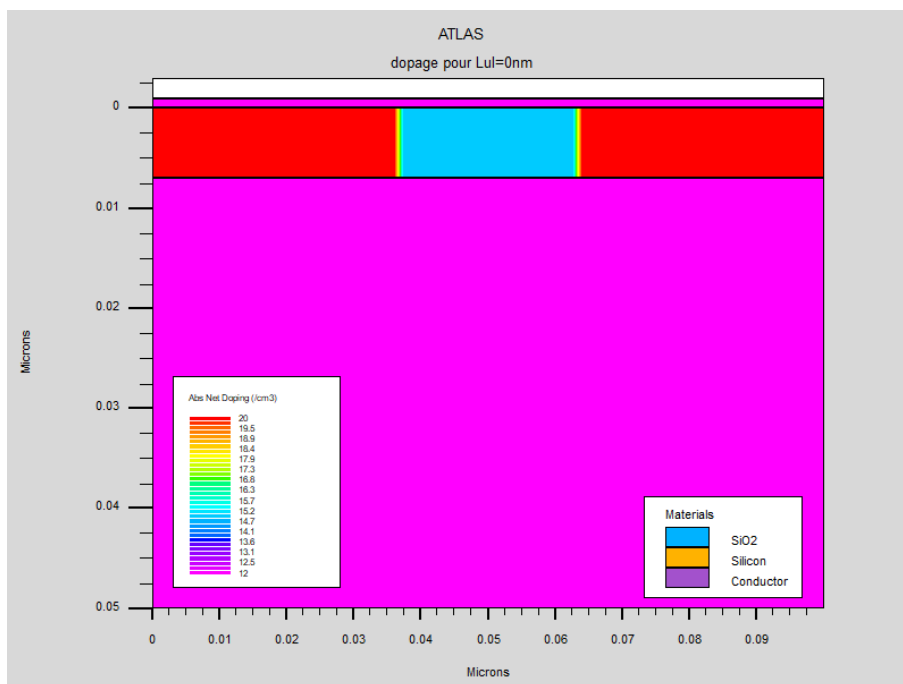
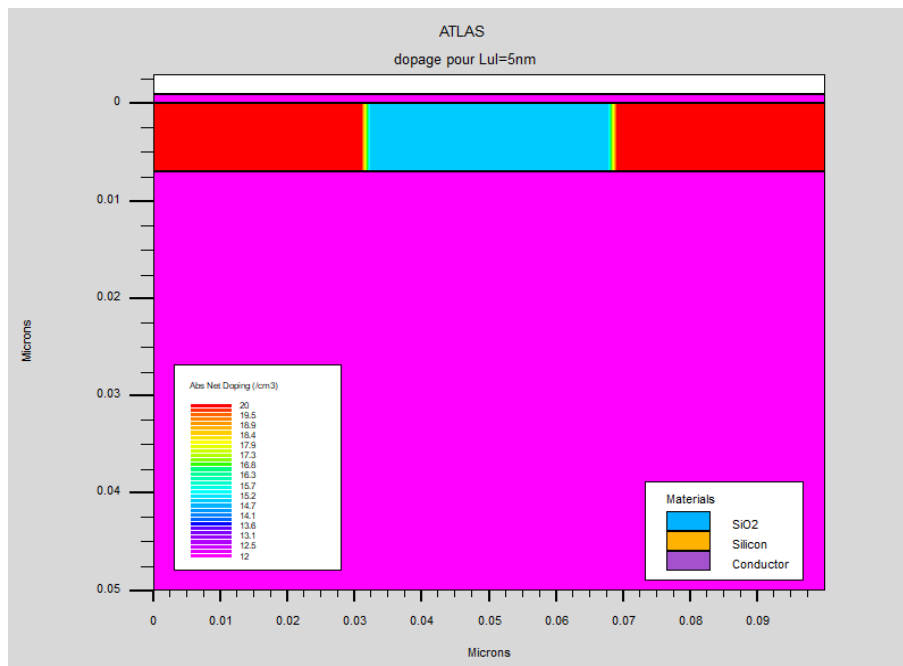


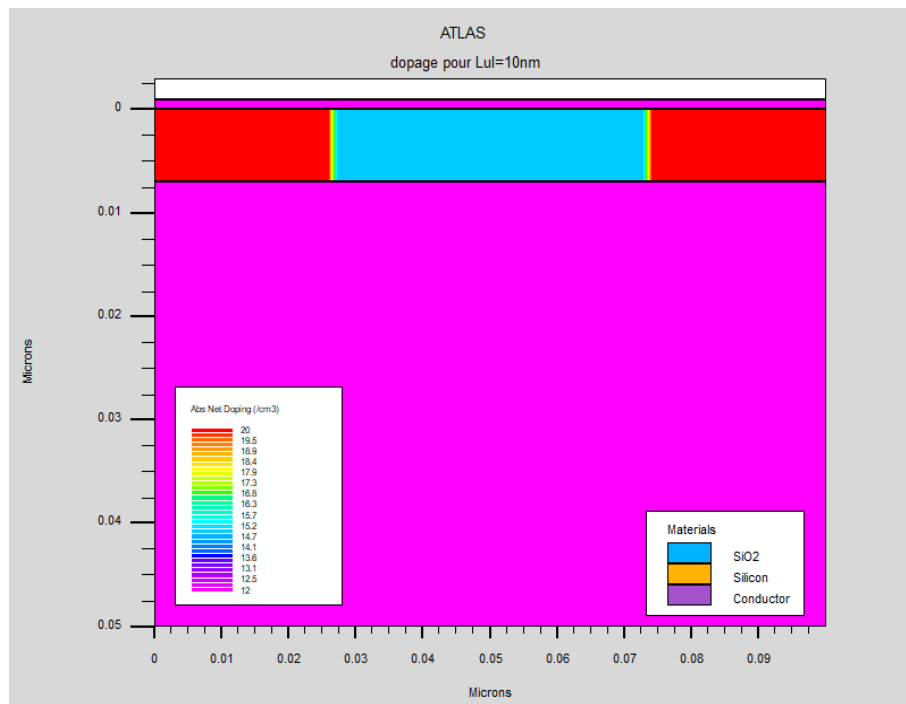
Figure. 4.9 : Le courant de fuite en fonction des différentes longueurs d'underlap



a) LUL=0nm



b) LUL=5nm



c) LUL=10nm

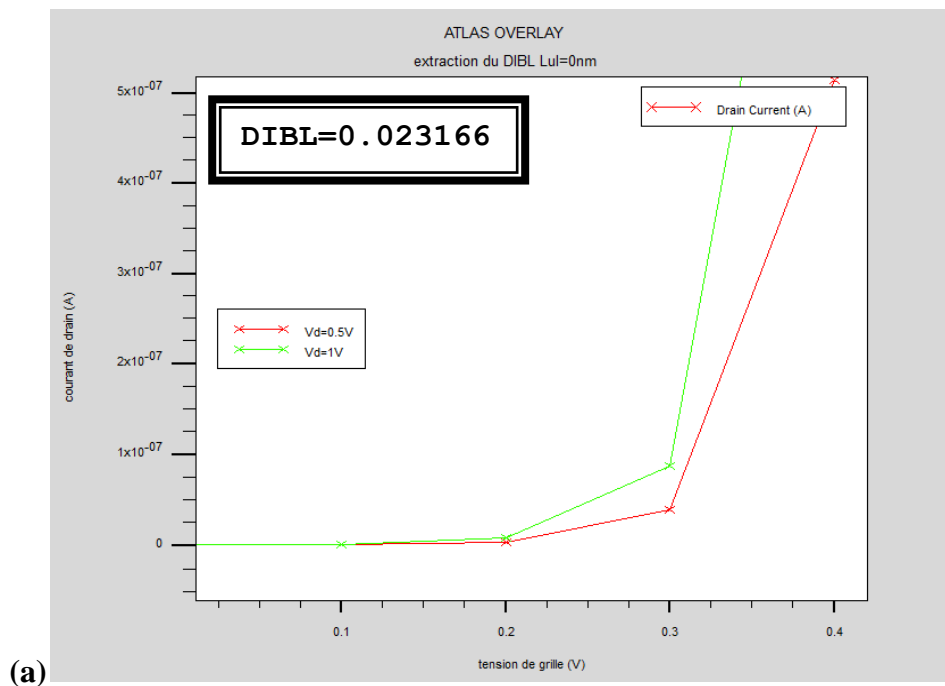
Figure. 4. 10: structures FDSOI montrant le dopage pour différentes longueurs de l'underlap (L_{UL}).

Le courant de fuite (leakage) est inversement proportionnel à la tension de seuil [9]. Cela signifie que la valeur du courant de fuite devient plus petite avec l'augmentation de la tension de seuil. Plus la tension de seuil est élevée, plus le courant de fuite est petit. Il y'a dégradation du dispositif en cas de courant de fuite excessif. Sur la Figure. 4.9, on peut constater que le courant de fuite pour le FDSOI est très petit et extrêmement faible dans le cas de l'underlap. Sachant que

le courant de fuite est plus fort dans les dispositifs conventionnels Bulk, causé par la génération de paires électron-trou due aux rayonnements ionisants. L'existence d'une couche d'oxyde enterrée dans le SOI permet d'éviter les impacts de rayonnement dans les dispositifs et circuits [10]. Le courant de fuite contribue à la dissipation de l'énergie statique, ainsi, en ayant un plus petit courant de fuite, la dissipation de la puissance statique sera moindre.

4.3.6 L'extraction du DIBL (Drain-Induced Barrier Lowering)

Le DIBL (abaissement de la barrière dû au drain) correspond à un abaissement supplémentaire de la barrière de potentiel entre source et drain sous l'effet d'une application d'un fort potentiel V_d sur le drain. En effet, la charge dans la zone de déplétion est équilibrée sur les trois électrodes source, drain et grille. Quand V_d augmente, la zone de déplétion entre drain et substrat augmente au dépend de celle au-dessous de la grille. Par conséquent, la grille va essayer de conserver cet équilibre de charges en attirant plus de porteurs dans le canal, ce qui affecte directement la tension de seuil. Ce phénomène parasite est aussi, la source de l'augmentation du courant du drain.



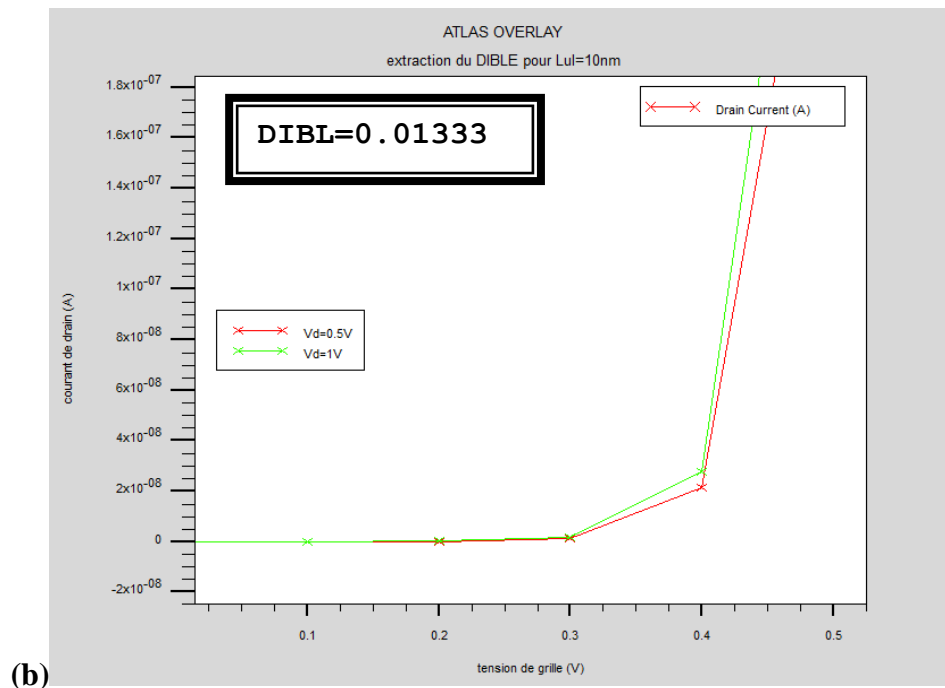


Figure. 4.11 : Illustration de l'effet du DIBL sur les caractéristiques I_d - V_g a) $L_{UL}=0\text{nm}$
b) $L_{UL}=10\text{nm}$

Le DIBL dans ce travail est défini comme la différence de la tension de seuil lorsque la tension de drain augmente de 0,5 V à 1 V ($\text{DIBL} = V_{th}(V_d=0,5\text{V}) - V_{th}(V_d=1\text{V})$), L'extraction de V_{th} doit être effectuée en considérant un niveau de courant constant $I_d = 1 \times 10^{-7} \text{ A} / \mu\text{m}$.

La figure 4.11 montre les résultats du DIBL pour divers L_{UL} , Lorsque L_{UL} augmente de 0 nm à 10 nm, les DIBL diminuent en raison de l'effet très faible du potentiel de drain lorsque les régions source/drain s'éloignent de la grille. Le fort impact de l'underlap des régions grille-source / drain sur les résultats de DIBL a été rapporté dans [11].

4.4 Conclusion

L'impact de l'underlap (L_{UL}) sur les performances des principaux paramètres des films a oxyde enterré ultra-mince (UTBB) (*Ultra-Thin Body and Buried Oxide*) entièrement *déplété* Silicium sur isolant (FD-SOI) est perceptible, à la fois sur le courant (I_{off}) et le courant (I_{on}) qui diminuent avec un underlap plus long, même chose pour la transconductance (g_m). Cependant, un underlap plus long sert bien à améliorer le DIBL.

Par conséquent, un compromis entre comportement du canal court amélioré avec un underlap réduit le courant de fuite des dispositifs.

Reste, l'impact sur les caractéristiques I_d - V_g et plus visibles pour un underlap plus long.

4.5 Références bibliographiques

- [1] V. Trivedi, J. G. Fossum, and M. M. Chowdhury, "NanoscaleFinFETs With Gate-Source/Drain Underlap," *IEEE Trans. Electron Devices*, vol. 52, no. 1, pp. 56–62, 2005.
- [2] J. G. Fossum, M. M. Chowdhury, V. P. Trivedi, T. J. King, Y. Choi, J. An, and B. Yu, "Physical Insights on Design and Modeling of NanoscaleFinFETs," *IEDM*, pp. 679–682, 2003.
- [3] F. Boeuf, T. Skotnicki, S. Monfray, C. Julien, D. Dutartre, J. Martins, P. Mazoyer, R. Palla, B. Tave, P. Ribot, E. Sondergard, and M. Sanquer, "16nm planar NMOSFET manufacturable within state-of-the-art CMOS process thanks to specific design and optimisation," *IEEE Electron Device Meet.*, no. 9, pp. 637–640, 2001.
- [4] M. K. MdArshad, V. Kilchytska, M. Emam, F. Andrieu, D. Flandre, and J.-P. Raskin, "Effect of parasitic elements on UTBB FD SOI MOSFETs RF figures of merit," *Solid.State.Electron.*, vol. 97, pp. 38–44, Jul. 2014.
- [5] S.-J. Chang, M. Bawedin, F. Andrieu, C. Navarro, Y. T. Kim, Y. Bae, and S. Cristoloveanu, "Unusual gate coupling effect in extremely thin and short FDSOI MOSFETs," *Microelectron. Eng.*, vol. 147, pp. 159–164, Nov. 2015.
- [6] K. R. A. Sasaki, M. Aoulaiche, E. Simoen, C. Claeys, and J. A. Martino, "Extensionless UTBB FDSOI Devices in Enhanced Dynamic Threshold Mode under Low Power Point of View," *J. Low Power Electron. Appl.*, pp. 69–80, 2015.
- [7] A. V. Thean, Z. Shi, L. Mathew, T. Stephens, H. Desjardin, C. Parker, T. White, M. Stoker, L. Prabhu, R. Garcia, B. Nguyen, S. Murphy, R. Rai, J. Conner, B. E. White, and S. Venkatesan, "Performance and Variability Comparisons between Multi-Gate FETs and Planar SOI Transistors," *IEEE Electron Device Meet.*, vol. 2, pp. 1–4, 2006.
- [8] A. Kranti and G. Alastair Armstrong, "Engineering source/drain extension regions in nanoscale double gate (DG) SOI MOSFETs: Analytical model and design considerations," *Solid.State.Electron.*, vol. 50, no. 3, pp. 437–447, Mar. 2006.
- [9] S. Cristoloveanu and S. Li, *Electrical Characterization of Silicon-on-insulator Materials and Devices*. Springer US, 2014.
- [10] J. Gupta, S. Choudhary and B. Prasad, "Comparative study of conventional and SOI inverters using Silvaco TCAD tool," *Adv. Res. Electr.Electron.Eng.*, 1(3), 61–65, 2014.
- [11] M. K. Arshad, J. Raskin, V. Kilchytska, F. Andrieu, P. Scheiblin, O. Faynot, and D. Flandre, "Extended MASTAR Modeling of DIBL in UTB and UTBB SOI MOSFETs," in *IEEE Transactions on Electron Devices*, 2012, vol. 59, no. 1, pp. 247–251.

Conclusion générale

La miniaturisation du transistor MOSFET nécessite une modélisation qui permet de prendre en compte les effets de la réduction de canal dans le but d'évaluer de nouvelles architectures prometteuses. C'est pour ça que nous avons choisi d'étudier une structure FDSOI avec underlap, à partir d'une analyse bidimensionnelle sous environnement SILVACO-TCAD.

Nous nous sommes inspirés pour notre étude d'une structure que nous avons retrouvée lors de notre recherche bibliographique. Notons alors que même si les MOSFETs ont gardé leurs structures initiales, l'industrie microélectronique a pu évoluer ce composant et par conséquent et bien entendu les circuits dans lesquelles ce composant est bien évidemment intégré et ceci afin de répondre aux exigences des consommateurs et ceci grâce aux processus technologiques modernes dans la fabrication des transistors et les circuits intégrés de manière générale, et particulièrement la photolithographie, les progrès ont touché non seulement la forme mais aussi les dimensions de la zone active des transistors et le passages des porteurs de charge dans les structures verticales est désormais vertical et donc perpendiculaire au « wafer », rendant ce type de transistors assez intéressant dans des applications de puissance.

Dans le chapitre un, de ce manuscrit, nous avons commencés par la présentation du transistor MOSFET avec ses différentes configurations et ses différents modes de fonctionnement, ensuite nous avons présenté quelques phénomènes parasites qu'on peut rencontrer dans ce type de transistor dans le cadre de la miniaturisation.

Dans Le chapitre deux, Nous sommes intéressé par la suite à présenter l'impact de la miniaturisation sur les caractéristiques électriques des dispositifs FDSOI, nous avons aussi passé en revue les principaux effets engendrés par la miniaturisation des transistors FDSOI. Cette réduction des dimensions engendre des phénomènes parasites tels que l'abaissement de la barrière de potentiel induit par le drain DIBL, modification de la tension de seuil, courant de fuite qui détériorent indéniablement les caractéristiques courant-tension du transistor.

Dans le chapitre trois, nous avons présenté le logiciel SILVACO TCAD, un des logiciels les plus puissants et les plus utilisés dans la recherche et la simulation, en montrant d'une façon non exhaustive les différentes étapes de simulation d'un dispositif FDSOI.

Dans le quatrième chapitre nous avons examiné les effets de la variation des paramètres de notre structure sur ses caractéristiques électriques à savoir son courant de drain, et sa tension de seuil. En dernier lieu, nous avons examiné l'effet DIBL qui se manifeste dans les transistors de petites dimensions dits transistors à canaux courts, en augmentant la longueur de l'underlap.

Cette étude a pour but de déterminer une structure FDSOI optimal avec un courant de drain important.

Sachant que les bonnes performances digital à faible consommation de la technologie proviennent de l'absence du courant de fuite le long du canal source/drain, d'une forte pente sous-seuil et d'une faible capacité source / drain avec le substrat. Les canaux minces de silicium de 7 nm du FDSOI empêchent le courant de fuite puisque le canal est totalement dépleté. La forte pente sous-seuil permet de maintenir une tension de seuil basse avec une faible fuite de courant.

Nous pouvons dire que les résultats de simulation que nous avons obtenus paraissent assez prometteurs en comparaison des résultats rencontrés en bibliographie.

PERSPECTIVES

Pour enrayer les fuites de courant, la technologie FDSOI consiste à utiliser une très fine couche de silicium posée sur une fine couche d'oxyde de silicium isolant. Agissant comme une barrière, cette dernière est posée sur le substrat de silicium qui ne nécessite plus d'être dopé. Les performances du transistor peuvent être augmentées en appliquant une tension sur sa face arrière, c'est des structures à polarisation face arrière « GROUND PLANE » (GP). La combinaison de cette tension et de la couche d'oxyde isolant agit alors comme une seconde grille. Et, en fonction des tensions relatives appliquées sur les faces avant et arrière du transistor, ses propriétés peuvent être modifiées à façon : le transistor FDSOI peut être soit très peu gourmand en énergie, soit très rapide.